

Elettronica Applicata

Alberto Tibaldi
Luca De Villa Palù

27 agosto 2009

Indice

1	L'Amplificatore Operazionale	6
1.1	Applicazioni, parte 1	7
1.1.1	Amplificatori Operazionali Ideali	7
1.1.2	Amplificatori Operazionali non ideali	9
1.2	Specchi di Corrente	13
1.2.1	Specchio di corrente a BJT	14
1.2.2	Specchio di corrente a MOSFET	20
1.3	Applicazioni, parte 2	22
1.3.1	Voltage Follower	24
1.3.2	Transresistenza	24
1.3.3	Amplificatore invertente	25
1.3.4	Integratore	27
1.3.5	Sommatore Invertente	28
1.3.6	Amplificatore differenziale	30
1.4	Stadio Differenziale	34
1.4.1	Transcaratteristica dell'amplificatore differenziale	38
1.5	Primo progetto di un amplificatore operazionale	43
1.6	Stadi di Potenza a Transistori Bipolari	46
1.6.1	Stadi di potenza convenzionali (Classe A)	47
1.6.2	Variante per stadi di potenza convenzionali	51
1.6.3	Amplificatori in classe B e AB	54
1.7	Amplificatore Operazionale - Reprise	60
1.7.1	Presenza di Offset	61
1.7.2	Dinamica di ingresso di modo comune	62
1.7.3	Dinamica di uscita	64
1.7.4	Impedenze di ingresso	64
1.7.5	Modello equivalente dell'amplificatore operazionale	66
1.8	Applicazione: Progetto di un amplificatore non invertente	66
1.9	Stabilità di un amplificatore operazionale	74
1.9.1	Prodotto banda-guadagno	80

1.9.2	Slew Rate	81
2	Filtri Attivi	85
2.1	Introduzione	85
2.1.1	Integratore	86
2.1.2	Derivatore	92
2.1.3	Filtro passa banda del I ordine	95
2.2	Generalità sui filtri attivi	96
2.2.1	Determinazione delle funzioni di trasferimento	97
2.3	Celle fondamentali	103
2.3.1	Cella di Sallen-Key	104
2.3.2	Configurazione K -RC	108
2.3.3	Celle a guadagno infinito	110
2.3.4	Filtri a variabili di stato	112
2.3.5	Cella di Tow-Thomas	117
2.3.6	Simulatore di induttanza	120
2.4	Filtri a condensatori commutati	124
2.5	Conclusioni	133
3	Applicazioni dell'amplificatore operazionale	135
3.1	Amplificatori da strumentazione	135
3.1.1	Introduzione	135
3.1.2	Realizzazione di amplificatori da strumentazione	137
3.2	Circuiti monoalimentati	145
4	Amplificatori non lineari	150
4.1	Amplificatore logaritmico	150
4.1.1	Esempio pratico di progetto	153
4.2	Raddrizzatore a singola semionda	159
4.2.1	Varianti	163
4.3	Raddrizzatore a doppia semionda	165
4.3.1	Varianti	169
4.3.2	Esempio di Progetto	173
4.3.3	Conclusione	175
5	Uso dell'amplificatore operazionale fuori linearità	176
5.1	Comparatori di soglia	177
5.1.1	Isteresi di un comparatore di soglia	179
5.1.2	Conclusioni	184
5.2	Multivibratori astabili	184
5.3	Generatore di onda triangolare	190

5.3.1	Esempio teorico/pratico di progetto	193
5.4	Oscillatori sinusoidali	203
5.4.1	Condizioni di Barkhausen	204
5.4.2	Realizzazione pratica	205
5.4.3	Oscillatore a ponte di Wien	206
5.4.4	Oscillatori a sfasamento	210
5.4.5	Oscillatori a tre punti	213
5.4.6	Oscillatori al quarzo	218
5.5	Voltage Controlled Oscillator (VCO)	219
6	Interruttori elettronici	226
6.1	Interruttori a BJT	227
6.1.1	Esempio pratico di progetto	230
6.2	Interruttori a MOSFET	231
6.2.1	Esempio pratico di progetto	233
6.3	Comportamento dinamico di un interruttore	234
6.3.1	Comportamento dinamico dei BJT	237
6.3.2	Comportamento dinamico dei MOSFET	239
6.4	Interruttori bidirezionali	241
6.4.1	Transmission gate	245
7	Alimentatori off-line	248
7.1	Introduzione	248
7.2	Alimentatori tradizionali	250
7.2.1	Esempio teorico/pratico di progetto	252
7.3	Alimentatori switching	258
7.4	Regolatori di tensione lineari	261
7.4.1	Partitore con elemento variabile parallelo	262
7.4.2	Partitore con elemento variabile serie	263
7.4.3	Regolatori di tensione “regolabili”	268
7.4.4	Regolatori LDO (Low Drop-Out)	269
7.5	Regolatori switching	272
7.5.1	Convertitore <i>buck</i>	273
7.5.2	Convertitore boost	285
7.5.3	Convertitore buck-boost	288
7.5.4	Convertitore flyback	293
8	Circuiti logici	295
8.1	Introduzione alle porte logiche: l’inverter	296
8.1.1	Cenni sulla famiglia logica TTL	300
8.1.2	Fan-out di una porta logica	302

8.2	Ingressi e uscite di porte logiche	304
8.2.1	Uscita totem-pole	304
8.2.2	Uscita tri-state	304
8.2.3	Uscita open collector (open drain)	305
8.2.4	Logica wired-or	305
8.2.5	Varianti sull'ingresso	306
8.3	Inverter CMOS	307
8.3.1	Variante allo schema: diodi di clamp	311
8.4	Realizzazione di porte logiche complesse	313
8.4.1	Sintesi di una generica porta logica invertente	316
8.5	Tecnologie alternative alla CMOS	317
8.5.1	Tecnologia nMOS-like	317
8.5.2	Logica dinamica	318
8.5.3	Circuiti logici pass-transistor	320
8.6	Esempi pratici	321
8.6.1	Esempio pratico 1	322
8.6.2	Esempio pratico 2	323
8.6.3	Esempio pratico 3	325
8.7	Comportamento dinamico delle porte logiche	327
8.8	Circuiti sequenziali	331
8.8.1	Metastabilità	331
8.8.2	Latch S-R	332
8.8.3	D-Latch	334
8.8.4	Flip-flop tipo D	337
8.8.5	Osservazioni	342
8.8.6	Contatore asincrono	344
8.8.7	Contatore sincrono	345
8.8.8	Meccanismo di Reset	347
9	Circuiti di interfacciamento: Interruttori Reprise	349
9.1	Interruttori low-side	350
9.2	Interruttori a BJT	350
9.2.1	Variante: porta logica open-collector	351
9.2.2	Variante: uso di una coppia Darlington	352
9.2.3	Pilotaggio di carichi con alimentazione negativa	354
9.2.4	Schemi a tre transistori	355
9.3	Interruttori a MOSFET	356
9.4	Interruttori high-side	358
9.4.1	Interruttori high-side con finale npn	359
9.4.2	Interruttori high-side con finale pnp	361
9.4.3	Interruttori high-side a MOSFET / Varianti	363

9.5	Carico reattivo: free wheeling	366
10	Sistemi di acquisizione dati	371
10.1	Introduzione	371
10.1.1	Quantizzazione	373
10.1.2	Errore di quantizzazione	375
10.2	DAC: Digital/Analog Converter	383
10.2.1	Trascuratistica di un DAC	383
10.2.2	Errori di linearità e di non linearità	384
10.2.3	Errori dinamici	389
10.2.4	DAC Potenziometrico	390
10.2.5	Convertitore a resistenze pesate	392
10.2.6	Convertitore con rete a scala	396
10.3	ADC: Analog/Digital Converter	400
10.3.1	Comportamento dinamico	403
10.3.2	Convertitore Flash	404
10.3.3	Convertitori A/D con D/A in reazione	405
10.3.4	Convertitori ad inseguimento (up/down)	406
10.4	Sample and Hold	409
10.4.1	Trascuratistica	410
10.4.2	Realizzazione pratica di un Sample / Hold	414

Capitolo 1

L'Amplificatore Operazionale

Indice

1.1	Applicazioni, parte 1	7
1.1.1	Amplificatori Operazionali Ideali	7
1.1.2	Amplificatori Operazionali non ideali	9
1.2	Specchi di Corrente	13
1.2.1	Specchio di corrente a BJT	14
1.2.2	Specchio di corrente a MOSFET	20
1.3	Applicazioni, parte 2	22
1.3.1	Voltage Follower	24
1.3.2	Transresistenza	24
1.3.3	Amplificatore invertente	25
1.3.4	Integratore	27
1.3.5	Sommatore Invertente	28
1.3.6	Amplificatore differenziale	30
1.4	Stadio Differenziale	34
1.4.1	Trascaratteristica dell'amplificatore differenziale	38
1.5	Primo progetto di un amplificatore operazionale	43
1.6	Stadi di Potenza a Transistori Bipolari	46
1.6.1	Stadi di potenza convenzionali (Classe A)	47
1.6.2	Variante per stadi di potenza convenzionali	51
1.6.3	Amplificatori in classe B e AB	54
1.7	Amplificatore Operazionale - Reprise	60
1.7.1	Presenza di Offset	61
1.7.2	Dinamica di ingresso di modo comune	62
1.7.3	Dinamica di uscita	64
1.7.4	Impedenze di ingresso	64
1.7.5	Modello equivalente dell'amplificatore operazionale	66

1.8	Applicazione: Progetto di un amplificatore non invertente	66
1.9	Stabilità di un amplificatore operazionale	74
1.9.1	Prodotto banda-guadagno	80
1.9.2	Slew Rate	81

1.1 Applicazioni, parte 1

1.1.1 Amplificatori Operazionali Ideali

PRIMA DI QUESTO CORSO, degli amplificatori operazionali normalmente si sa ben poco: essi sono sempre stati “osservati” dall’esterno, con un approccio “blackbox” (senza ossia avere idea di come sia costituito all’interno il dispositivo in questione).

La rappresentazione più comunemente utilizzata per l’amplificatore operazionale è quella di un “triangolino”, dotato di due morsetti di ingresso, due morsetti di alimentazione (spesso omessi nei circuiti), ed un morsetto di uscita; i morsetti di ingresso, caratterizzati dai simboli “+” e “-” (rispettivamente detti anche “ingresso non invertente” e “ingresso invertente”), sono gli ingressi dei segnali che l’amplificatore operazionale dovrà, per l’appunto, amplificare; i morsetti di alimentazione, come il nome suggerisce, hanno lo scopo di polarizzare il circuito contenuto all’interno dell’amplificatore operazionale, al fine di poterlo utilizzare correttamente.

Quali sono le equazioni di funzionamento di un amplificatore operazionale “ideale” ? Beh, vediamole immediatamente:

$$\begin{cases} i_+ = i_- = 0 \\ v_d = v_+ - v_- = 0 \end{cases}$$

Queste equazioni sono fondamentali al fine dello studio di un generico circuito contenente uno (o più) amplificatori operazionali. Dal momento che l’amplificatore operazionale ha guadagno (idealmente) infinito, si può intuire che, per avere un’uscita finita, ossia un risultato dell’operazione di prodotto tra tensione differenziale v_d (tensione tra i morsetti + e -) e guadagno differenziale A_d dell’amplificatore finito, si debba avere $v_d = 0$ ¹. Dal momento che nell’amplificatore operazionale ideale non vi è corrente in ingresso, si può pensare che i morsetti dell’operazionale oppongano alle correnti una resistenza differenziale $r_d \rightarrow \infty$.

¹Questa spiegazione non vuole assolutamente essere formale, tuttavia, intuitivamente, si può pensare che $0 \cdot \infty = c \neq 0$, per trucchi di “analisi non standard”

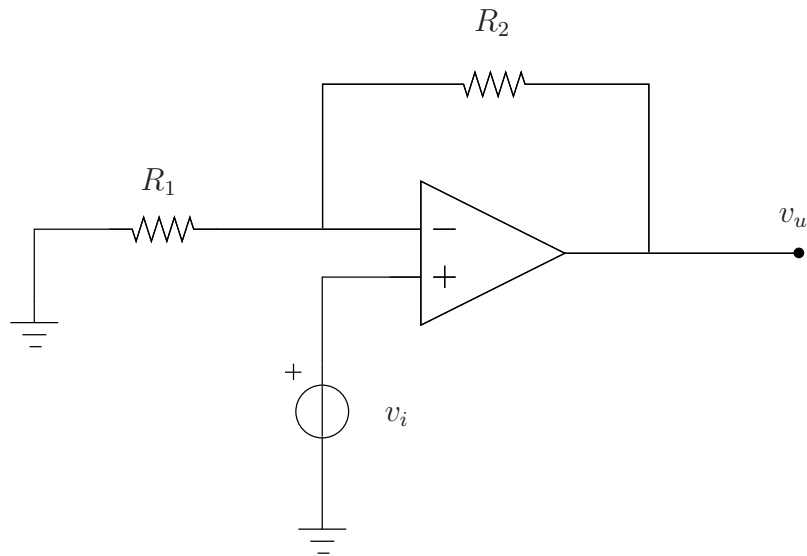


Figura 1.1: Amplificatore non invertente.

Riassumendo, le caratteristiche fondamentali dell'amplificatore operazionale ideale sono:

- Guadagno differenziale infinito;
- Resistenza differenziale infinita;
- Resistenza di uscita nulla;
- Tensione differenziale nulla;
- Correnti entranti nulle.

Proviamo ad utilizzare le nozioni appena apprese in un esempio pratico.

Esempio Pratico 1 Consideriamo il circuito di esempio della figura 1.1.

Questo circuito, come vedremo tra breve, è un amplificatore non invertente, ossia che amplifica un segnale senza invertirne la fase (o aumentarla/diminuirla di 180°). In quanto amplificatore, esso avrà un certo guadagno, identificabile come rapporto tra tensione di uscita, v_u , e tensione di ingresso, v_i .

Si può vedere facilmente, tenendo conto delle equazioni di funzionamento del dispositivo, che:

$$v_u \cdot \frac{R_1}{R_1 + R_2} = v_i$$

Ma dal momento che $v_+ = v_- = v_i$:

$$\frac{v_u}{v_i} = \frac{R_1 + R_2}{R_1} = \left(1 + \frac{R_2}{R_1}\right)$$

Vogliamo, a questo punto, trarre alcune conclusioni riguardo l'esempio pratico appena presentato:

- In questa prima parte della trattazione, l'amplificatore operazionale verrà sempre e comunque utilizzato retroazionato, ossia con una retroazione (dapprima negativa, poi positiva e/o inesistente). La reazione negativa comporterà, come in qualsiasi tipo di sistema dotato di reazione, gli effetti già noti dai primi corsi di Elettronica: variazioni delle impedenze di ingresso o uscita, aumento della banda passante, e altro.
- Quando la reazione è collegata al morsetto “-” dell'operazionale, essa è “negativa”, in quanto il segnale va sempre in contrapposizione all'ingresso, diminuendolo. Una reazione sul morsetto non invertente sarà positiva;
- Nel caso degli amplificatori operazionali, è spesso semplice distinguere il blocco A dal blocco β ; il blocco β , come si sa dalla teoria della retroazione, è il dispositivo (rete passiva, in questo caso) in grado di “riportare” una parte del segnale di uscita all'ingresso. Dal momento che, con questa topologia, il segnale “riportato al morsetto invertente” è pari a:

$$v_u \cdot \frac{R_1}{R_1 + R_2} = v_- = v_+$$

Si può dire che:

$$\beta = \frac{R_1}{R_1 + R_2}$$

1.1.2 Amplificatori Operazionali non ideali

Il nostro discorso ha qualche problemino: gli amplificatori operazionali, non sono ideali.

Abbiamo visto che si può realizzare un amplificatore non invertente semplicemente selezionando le resistenze del blocco di retroazione, in modo da ottenere un certo rapporto. Ma il rapporto è veramente l'unica cosa che conta? Per porre la domanda in un modo diverso: utilizzare resistori da 1Ω e 9

Ω produce lo stesso risultato dell'uso di un resistore da 1 M Ω e 9 M Ω , o di 1 m Ω e 9 m Ω ?

La risposta ovviamente è no: gli amplificatori operazionali reali presentano effetti di non idealità tali da essere condizionati dall'ordine di grandezza delle resistenze utilizzate. Come si può evincere da uno studio dell'amplificatore operazionale a livello di transistori, si vedrà perchè non sia possibile utilizzare qualsiasi resistore. Sostanzialmente, le non-idealità sono:

- Guadagno A_d non infinito;
- Resistenza differenziale r_d non infinita, e resistenza di uscita non nulla;
- Correnti entranti non nulle;
- Tensione differenziale non nulla.

Procediamo per gradi, presentando modelli via via più perfezionati rispetto a quello ideale; si noti che l'approccio in uso non motiva le non idealità, bensì le prevede in maniera del tutto quantitativa, ma assolutamente non qualitativa. Lo studio qualitativo dell'interno dell'amplificatore operazionale è riservato ad un'altro capitolo della trattazione.

Modello 1

Presentiamo un primo perfezionamento del nostro modello: consideriamo, delle non idealità prima presentate, il fatto che $A_d < \infty$. Il fatto che A_d non sia infinito comporta il fatto che, per avere un'uscita non nulla, serva una $v_d = c \neq 0$. Il nuovo modello del dispositivo, dunque, sarà quello della figura 1.2.

Si avrà che:

$$v_- = v_i - v_d = v_u \cdot \beta$$

Però, si può anche dire che:

$$v_d = \frac{v_u}{\beta}$$

Da qui:

$$v_i - \frac{v_u}{A_d} = v_u \cdot \beta \longrightarrow v_u \left(\beta + \frac{1}{A_d} \right) = v_i$$

Quindi:

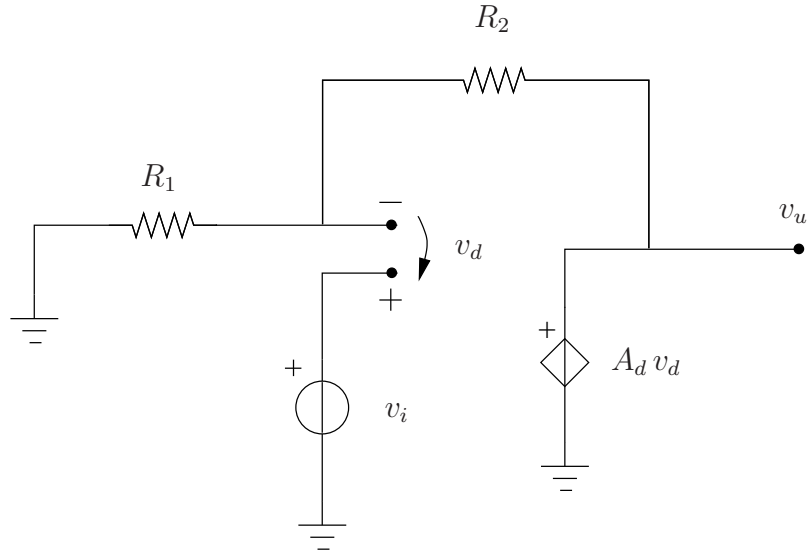


Figura 1.2: Primo modello circuitale dell'amplificatore operazionale.

$$v_u \cdot \frac{\beta A_d + 1}{A_d} = v_i \longrightarrow \frac{v_u}{v_i} = \frac{A_d}{1 + \beta A_d} = \frac{1}{\beta} \cdot \frac{\beta A_d}{1 + \beta A_d} = \frac{1}{\beta} \cdot \frac{T}{1 + T}$$

Nella teoria dei circuiti retroazionati, $T \triangleq \beta A_d$ è il “guadagno di anello”.

Si noti, da questo modello, che il caso ideale non fornisce informazioni particolarmente significative in meno rispetto ad esso: per avere uno scostamento del 50 % dal caso ideale, si dovrebbe avere un guadagno di anello, T , pari a 1. Ciò è praticamente impossibile: nella realtà, i peggiori degli amplificatori operazionali potrebbero avere un guadagno differenziale, A_d , pari a 10000 (essendo veramente molto, molto pessimisti); con una retroazione veramente elevata, ossia portando una parte enorme del segnale in uscita all'ingresso, β potrebbe essere nell'intorno di 1000. In tal caso:

$$T \simeq \frac{10000}{1000} = 10$$

Si ha ancora, in queste condizioni decisamente non realistiche per quanto estreme, un buon guadagno di anello.

Modello 2

Finora il modello presentato non ha comportato grosse novità; abbiamo tuttavia ancora una “carta da giocare”: le impedenze degli amplificatori oper-

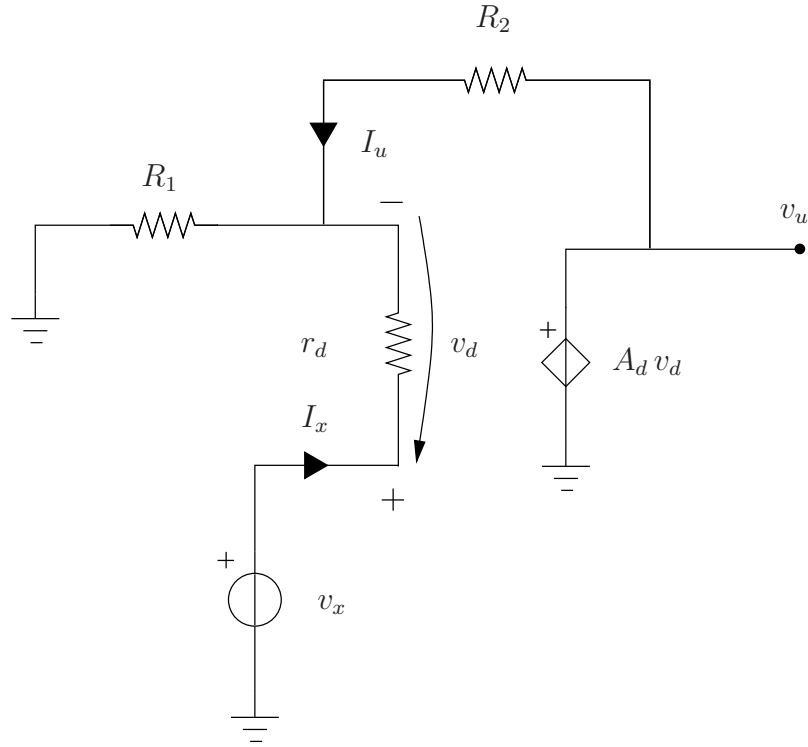


Figura 1.3: Secondo modello circuitale dell'amplificatore operazionale.

azionali. Consideriamo una resistenza differenziale r_d non infinita (non consideriamo per ora la resistenza di uscita, dunque la tensione viene considerata ancora prelevata da un generatore ideale di tensione).

Si vuole calcolare r_d e, per far questo, al posto di v_i si introduce un generatore di tensione noto di prova, V_x . Al fine di determinare la resistenza differenziale, si vuole calcolare la corrente uscente da V_x ;

$$V_x = I_x \cdot r_d + R_1 \cdot (I_u + I_x)$$

$$v_d = r_d \cdot I_x; \quad v_u = A_d v_d = A_d r_d I_x$$

Inoltre:

$$v_u = R_2 I_u + R_1 (I_u + I_x) \longrightarrow A_d r_d I_x = R_2 I_u + R_1 (I_u + I_x)$$

Raccogliendo I_u :

$$I_u (R_1 + R_2) = A_d r_d I_x - R_1 I_x \longrightarrow I_u = \frac{A_d r_d I_x - R_1 I_x}{R_1 + R_2}$$

Sostituendo ciò nell'espressione di V_x , si può determinare:

$$V_x = I_x r_d + R_1 I_x + \left(\frac{A_d r_d I_x + R_2 I_x}{R_1 + R_2} \right) R_1$$

Svolgendo le moltiplicazioni, si può ottenere:

$$V_x = I_x r_d + \frac{R_1}{R_1 + R_2} A_d r_d I_x + \frac{R_1 R_2}{R_1 + R_2} I_x$$

Ricordando che $\beta = \frac{R_1}{R_1 + R_2}$

Si ottiene che:

$$\frac{V_x}{I_x} = r_d(1 + \beta A_d) + R_1 \oplus R_2$$

Il secondo termine si può spesso considerare trascurabile rispetto al primo; cosa interessante, è il fatto che anche questo modello, decisamente perfezionato rispetto a quello ideale, continua a non dirci nulla di nuovo, e a non provocarci problemi particolari: la retroazione con confronto in serie fa aumentare notevolmente l'impedenza di ingresso del circuito, rendendo ancora una volta accettabile l'ipotesi di amplificatore operazionale reale, in molti dei nostri conti.²

1.2 Specchi di Corrente

Lo specchio di corrente è uno dei “mattoncini fondamentali” dell'amplificatore operazionale: si tratta di un circuito a transistori in grado di fornire, data una certa corrente di ingresso, una corrente “speculare” in uscita. Questo tipo di topologia può dunque essere utilizzata al fine di creare generatori di corrente “quasi ideali”, con una dinamica molto elevata (ossia in grado di fornire un range di correnti molto grande).

In tutti gli amplificatori operazionali “standard”, a meno di particolari casi, gli specchi di corrente sono uno degli elementi costantemente presenti.

Qual è la struttura di uno specchio di corrente? Esaminiamone due implementazioni: una basata sull'uso di transistori bipolari, BJT, e una basata sull'uso di MOSFET³.

²Si sappia comunque che, se la retroazione fosse stata con confronto in parallelo, l'impedenza sarebbe comunque stata alta abbastanza da rendere ancora accettabile il modello ideale.

³Si sappia che le differenze tra i due tipi di specchi sono lievi, dunque la descrizione verrà fatta prevalentemente per quanto riguarda i BJT

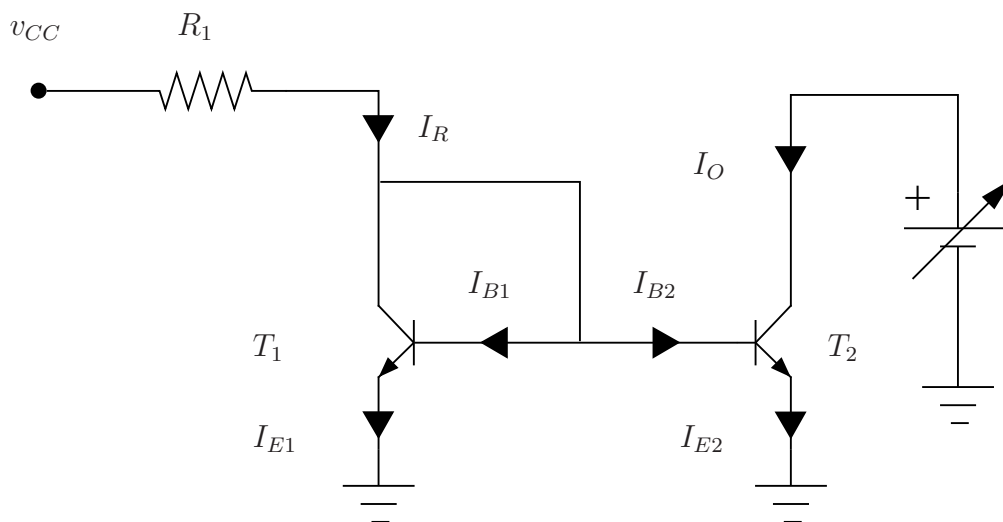


Figura 1.4: Specchio di corrente realizzato con transistori bipolari.

1.2.1 Specchio di corrente a BJT

Esaminiamo lo schema di uno specchio di corrente come in figura 1.4.

Come funziona questo oggetto? I_R è una corrente di “riferimento”, che può essere generata in diversi modi; nel nostro esempio, è stato utilizzato il modo più semplice per generare una corrente, ossia l’uso di una resistenza tra il morsetto di ingresso e la tensione di alimentazione (esistono ovviamente molti altri modi per polarizzare qualcosa); I_O dipende invece da un generico carico del circuito (in questo caso, si sceglie di utilizzare, come carico, un generatore di tensione a tensione variabile. Il lato di T_1 è detto “lato debole” dello specchio di corrente, il lato di T_2 “lato forte”.

Del transistor T_1 è “acceso” solo il diodo modellizzante la giunzione base-emettitore perché $V_B = V_C$: il corto circuito fa scorrere infatti su di sé tutta la corrente che arriva dalla resistenza. Dal momento che si intende studiare il solo comportamento del circuito, ignoriamo l’origine delle correnti I_R e I_O , per concentrarci solo sui loro legami interni al circuito in questione. Vogliamo, nella fattispecie, determinare una funzione di I_O al variare di I_R .

Al fine di semplificare i calcoli in questione, è necessario aggrapparsi ad alcune ipotesi semplificative: osserviamo che, nel circuito disegnato, $V_{BE1} = V_{BE2}$; inoltre, supponiamo che I_{B1} e I_{B2} siano trascurabili rispetto a I_R : ciò permette di dire che $I_{E1} \simeq I_R$, e che $I_{E2} \simeq I_O$. Tutte queste ipotesi sono sensate, nell’ambito dei circuiti integrati: nello stesso strato di silicio è più che ragionevole pensare che vi sia la stessa temperatura (da qui la stessa V_T) e la stessa V_{BE} ; detto ciò, ricordiamo le equazioni di funzionamento del

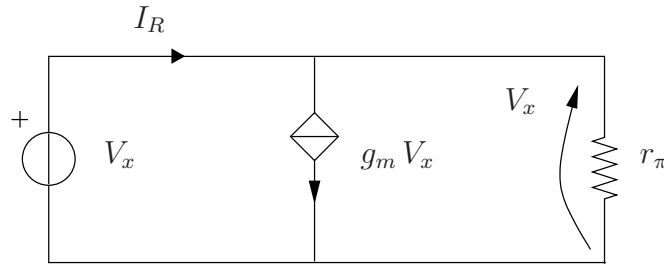


Figura 1.5: Schema per il calcolo dell'impedenza di ingresso dello specchio.

transistore bipolare:

$$I_E = I_S \cdot \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \simeq I_S \cdot e^{\frac{V_{BE}}{V_T}}$$

Le correnti di saturazione avrebbero una notevole dipendenza dalla temperatura ma, poichè supponiamo di lavorare su circuiti integrati, la dipendenza dalla temperatura si riduce semplicemente alla dipendenza dell'area di integrazione dei dispositivi:

$$\frac{I_O}{I_R} = \frac{I_{S2}}{I_{S1}} = \frac{A_2}{A_1}$$

Gli specchi di corrente, per come li abbiamo introdotti, funzionano solo su di un circuito integrato; su circuiti discreti, realizzare questo tipo di topologia, è abbastanza assurdo, in quanto servirebbe una coppia differenziale (circuito oramai non più in commercio).

Caratterizziamo a questo punto i parametri fondamentali del circuito: impedenza di ingresso e di uscita.

Per quanto riguarda T_1 , la sua impedenza di ingresso si può ricavare dallo schema di figura 1.5

Dal momento che si ha un corto-circuito tra base e collettore, che “mette in parallelo” r_π e il “generatore pilotato” con il quale si modella il BJT, $g_m V_x$ (dove V_x è il solito generatore di tensione di prova), sulla giunzione base-emettitore cadrà una tensione pari a quella del generatore di prova, V_x ! La resistenza di ingresso sarà dunque calcolabile semplicemente come:

$$I_x = I_R = g_m V_x$$

$$Z_i = \frac{V_x}{I_x} = \frac{1}{g_m}$$

Per quanto riguarda l'impedenza di uscita, si può fare un ragionamento duale. Si fa riferimento alla figura 1.6

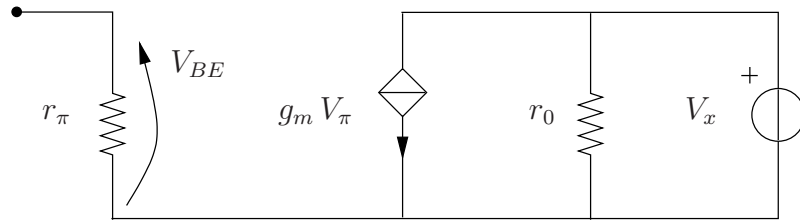


Figura 1.6: Schema per il calcolo dell'impedenza di uscita dello specchio.

Ci sono due casistiche, a questo punto: l'effetto Early trascurabile, o non trascurabile.

Se l'effetto Early non fosse trascurabile, la corrente emessa da V_x sarebbe pari a:

$$I_x = \frac{V_x}{r_o}$$

Quindi:

$$Z_o = \frac{V_x}{I_x} = r_o$$

Se invece l'effetto Early fosse trascurabile, potremmo eliminare la r_o , e tutta la V_x cadrebbe sull'impedenza (infinita) del generatore di corrente pilotato; V_x non potrebbe dunque in alcun modo alterare V_{BE} , dare luogo ad una corrente, e dunque $I_x = 0$. Ma:

$$Z_o = \frac{V_x}{I_x} = \frac{V_x}{0} \rightarrow +\infty$$

Spesso, r_o è talmente elevata che si può ritenere trascurabile.

Cosa abbiamo capito? Poichè l'impedenza sul ramo utile come generatore di corrente è elevata, questo circuito sarà di sicuro un buon generatore di corrente (dal momento che non si avranno dispersioni sulla ipotetica r_o). Se la tensione di polarizzazione di T_2 è abbastanza elevata da mandare in zona lineare il transistor, lo specchio di corrente funziona!

Piccola nota: lavorando sulle aree di integrazione si può ottenere uno specchio "amplificatore" o "attenuatore"; si dà priorità tuttavia alle dimensioni di T_1 , che deve essere "il più miniaturizzato possibile"; per ottenere uno specchio attenuatore, dunque, una soluzione è quella di introdurre un resistore sull'emettitore di T_2 (figura 1.7), in modo da provocare una differenza tra le tensioni base-emettitore dei transistori, e così ridurre la corrente di emettitore del secondo transistor.

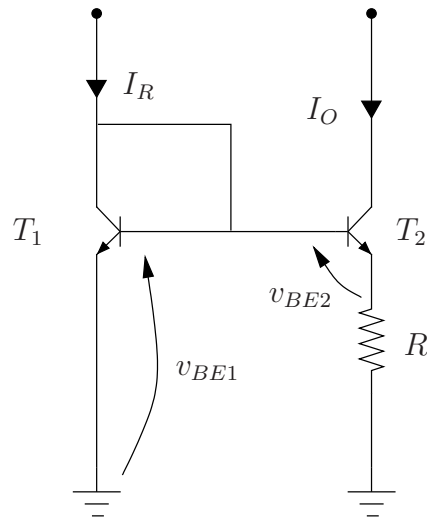


Figura 1.7: Schema dello specchio con resistenza.

Vediamo che su R cade una tensione pari a $V_{BE1} - V_{BE2}$; la corrente I_O , dunque, trascurando ancora le correnti di base, sarà pari a:

$$I_O = \frac{V_{BE1} - V_{BE2}}{R}$$

Rileggendo da qualche pagina prima le equazioni dei transistori, le V_{BE} , invertendo le suddette equazioni, sono pari a:

$$V_{BE1} = V_T \ln \left(\frac{I_R}{I_{S1}} \right); \quad V_{BE2} = V_T \ln \left(\frac{I_R}{I_{S2}} \right)$$

Sostituendo e usando le proprietà dei logaritmi, si ottiene:

$$V_{BE1} - V_{BE2} = V_T \ln \left(\frac{I_R}{I_{S1}} \cdot \frac{I_{S2}}{I_O} \right)$$

Dal momento che però supponiamo di avere correnti di saturazioni uguali, dal momento che ci troviamo in un circuito integrato, si ha che:

$$I_O = \frac{V_{BE1} - V_{BE,2}}{R} = \frac{V_T}{R} \ln \left(\frac{I_R}{I_O} \right)$$

Ora incominciano i problemi: la relazione appena ricavata non è esatta, bensì approssimata, dal momento che non tiene conto delle correnti di base, I_{B1} e I_{B2} . Sarebbe bello capire, a questo punto, di quanto l'attuale modello del circuito da noi presentato sia sbagliato, rispetto al caso reale.

La domanda da porci è: tenendo conto delle due correnti di base, quanto vale I_{E1} ? Vediamo che abbiamo, per quanto riguarda il transistor al lato debole:

$$I_{E1} = I_{B1} + I_R - (I_{B2} + I_{B1}) = I_R - I_{B2}$$

Per quanto riguarda T_2 , invece:

$$I_{E2} = I_O + I_{B2}$$

Dal fatto che le tensioni V_{BE} sono uguali, e le correnti di saturazione sono altrettanto uguali, abbiamo una cosa piuttosto interessante: $I_{E1} = I_{E2}$!!!

$$I_{E1} = I_{E2} \longrightarrow I_R - I_{B2} = I_O + I_{B2}$$

Ma, dal momento che:

$$I_{B2} = \frac{I_O}{\beta_2}$$

Si ha che:

$$I_O = I_R - 2 \frac{I_O}{\beta_2}$$

Dunque:

$$I_O = \frac{I_R}{1 + \frac{2}{\beta_2}}$$

Abbiamo dipendenza dal β del transistor, il che non è molto bello, dal momento che β varia con moltissimi parametri; il risultato ottenuto è comunque accettabile, dal momento che β è di solito un numero sufficientemente elevato da eliminarne almeno parzialmente gli effetti, ma non sicuramente strepitoso.

Come è possibile modificare il circuito, in modo da ottenere uno specchio di corrente di precisione? La soluzione tipica è quella di aggiungere un ulteriore transistor, in modo da ottenere una topologia come in figura 1.8.

Aggiungendo T_3 , la I_{B3} prelevata da I_R sarà sensibilmente più bassa rispetto alla precedente; infatti, si ha che:

$$I_{B3} = \frac{I_{B1} + I_{B2}}{\beta_3 + 1}$$

Supponendo che i β_i siano tutti uguali, e che β sia ben più grande di 1:

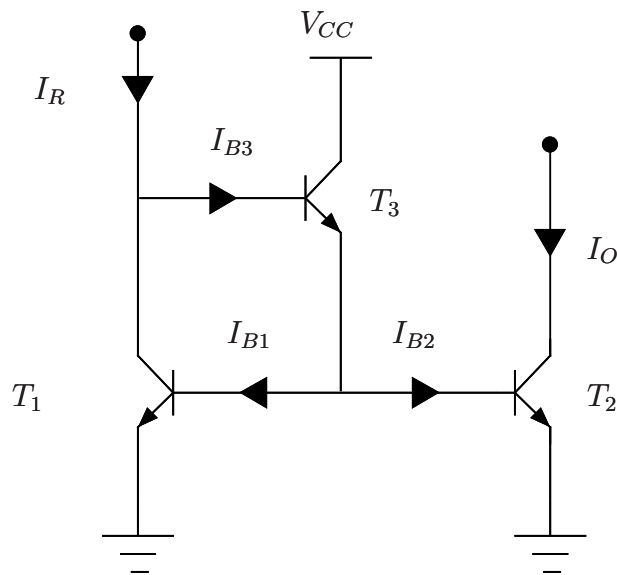


Figura 1.8: Specchio di corrente ad alta precisione ottenuto con un l'aggiunta di un transistore.

$$\beta = \beta_1 = \beta_2 = \beta_3; \quad \beta \simeq \beta + 1$$

Si può dire che:

$$I_{B3} = \frac{I_{B1} + I_{B2}}{\beta_3 + 1} \simeq \frac{I_{B1} + I_{B2}}{\beta} = \frac{2I_{B1}}{\beta}$$

$$I_{E1} = I_R - I_{B3} + I_{B1}$$

$$I_{E2} = I_O + I_{B2}$$

Per gli stessi motivi di prima, si ha che $I_{E1} = I_{E2}$ e da ciò segue che

$$I_R - I_{B3} + I_{B1} = I_O + I_{B2}$$

Si può notare, tuttavia, che:

$$I_R - I_{B3} = I_{C1} \quad \Longrightarrow \quad I_{B1} = \frac{I_R - I_{B3}}{\beta}$$

$$I_O = I_{C2} \quad \Longrightarrow \quad I_{B2} = \frac{I_O}{\beta}$$

Dunque:

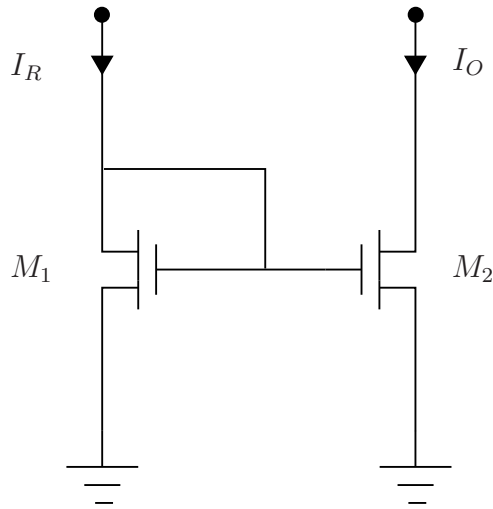


Figura 1.9: Specchio di corrente realizzato con transistori MOS.

$$I_R - I_{B3} + I_{B1} = (I_R - I_{B3}) \left(1 + \frac{1}{\beta}\right)$$

$$I_O + I_{B2} = I_O \left(1 + \frac{1}{\beta}\right)$$

Da qui, ricordando che $I_{B3} = 2I_{B1}/\beta$:

$$\left(I_R - \frac{2I_{B1}}{\beta}\right) \left(1 + \frac{1}{\beta}\right) = I_O \left(1 + \frac{1}{\beta}\right)$$

Quindi dato che $I_{B1} \simeq I_R/\beta$:

$$I_R - \frac{2I_R}{\beta^2} = I_O$$

Questo circuito è dunque molto meglio del precedente: se $\beta = 100$ (ad esempio), si avrà $\beta^2 = 10000$, e quindi la differenza tra le correnti sarà estremamente ridotta!

1.2.2 Specchio di corrente a MOSFET

Lo specchio di corrente basato sull'uso di transistori a effetto di campo MOS, avrà l'aspetto del circuito in figura 1.9.

Niente di nuovo nell'apparenza, anche se nella sostanza qualcosa cambia: le equazioni dei MOSFET infatti non sono più esponenziali, bensì quadratiche:

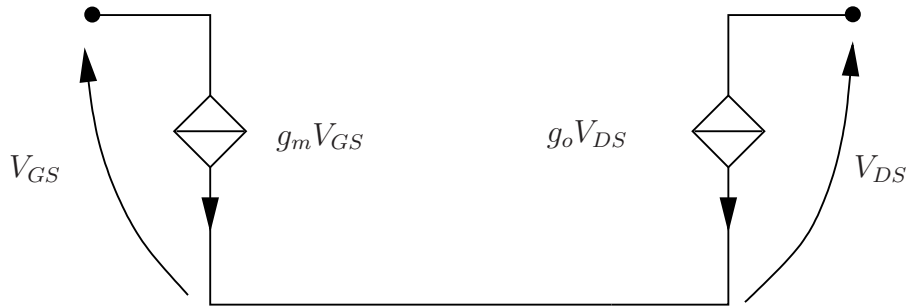


Figura 1.10: Sviluppo dello specchio di corrente a MOSFET secondo i modelli dei componenti.

$$I_D = k_n(V_{GS} - V_{Tn})^2(1 + \lambda V_{DS})$$

Dove:

$$k_n = \frac{1}{2}\mu_n C_{OX} \frac{W_n}{L_n}$$

E W_n è la lunghezza, L_n la larghezza del dispositivo. Spesso l'effetto di channel length modulation del mosfet (λ) verrà trascurato.

Consideriamo le seguenti equazioni, per i due MOSFET:

$$I_R = I_{D1} = k_1(V_{GS} - V_{Tn,1})^2$$

$$I_O = I_{D2} = k_2(V_{GS} - V_{Tn,2})^2$$

Date $V_{Tn,1} = V_{Tn,2}$, cosa ragionevole in un circuito integrato, come anche μ_n e C_{OX} , si può ricondurre tutto alla geometria dei transistori:

$$\frac{I_O}{I_R} = \frac{k_2}{k_1} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}}$$

Terminiamo la caratterizzazione del dispositivo, parlando di impedenze di ingresso e uscita, con il solito sistema: sviluppando i MOSFET nei loro modelli, si ottiene il circuito di figura 1.10.

Bisogna determinare due parametri: la transconduttanza g_m e la g_o , ossia un parametro legato al classico parametro ibrido h_{oe} .

Si sa che:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = 2k_n(V_{GS} - V_{Tn})$$

Quindi:

$$g_m = \frac{2I_D}{V_{GS} - V_{Tn}}$$

Si ha che:

$$Z_i = \frac{1}{g_m} = \frac{V_{GS} - V_{Tn}}{2I_D}$$

Allo stesso modo, si calcola il g_o al variare di V_{DS} :

$$g_o = \frac{\partial I_O}{\partial V_{DS}} = \lambda I_O \longrightarrow Z_o = \frac{1}{\lambda I_O}$$

In alcune situazioni, purtroppo, questa impedenza non è sufficientemente grande; si può tuttavia rimediare a questo problema, utilizzando due specchi di corrente anzichè uno. Per il resto, non vi sono moltissime differenze rispetto ai BJT.

1.3 Applicazioni, parte 2

Tornando a parlare di amplificatori operazionali visti come “blocco esterno”, “circuitale”, c’è da fare ancora una cosa, al fine di perfezionare il modello già presentato: considerare gli eventuali effetti dell’impedenza di uscita. Consideriamo dunque il modello dell’amplificatore operazionale di figura 1.11.

Vogliamo calcolare a questo punto l’impedenza di uscita; per fare ciò, colleghiamo all’uscita un generatore di tensione di prova, il solito V_x , e dunque consideriamo spenti tutti gli altri generatori indipendenti del circuito (i pilotati ovviamente no!). La corrente I_x sarà composta di due contributi: uno che entrerà verso il pilotato e uno che andrà verso R_2 ; la cosa interessante è però il fatto che, di sicuro, $I_2 \ll I_1$: dal momento che r_o è una resistenza molto più piccola di R_1 , R_2 , e anche del loro parallelo, potremmo dire senza paura che $I_x \simeq I_1$, e quindi che:

$$I_x \simeq I_1 = \frac{V_x - A_d v_d}{r_o}$$

Però, sappiamo anche che v_d è esprimibile come:

$$v_d = -\beta V_x = -\frac{R_1}{R_1 + R_2} V_x$$

Possiamo dunque dire che:

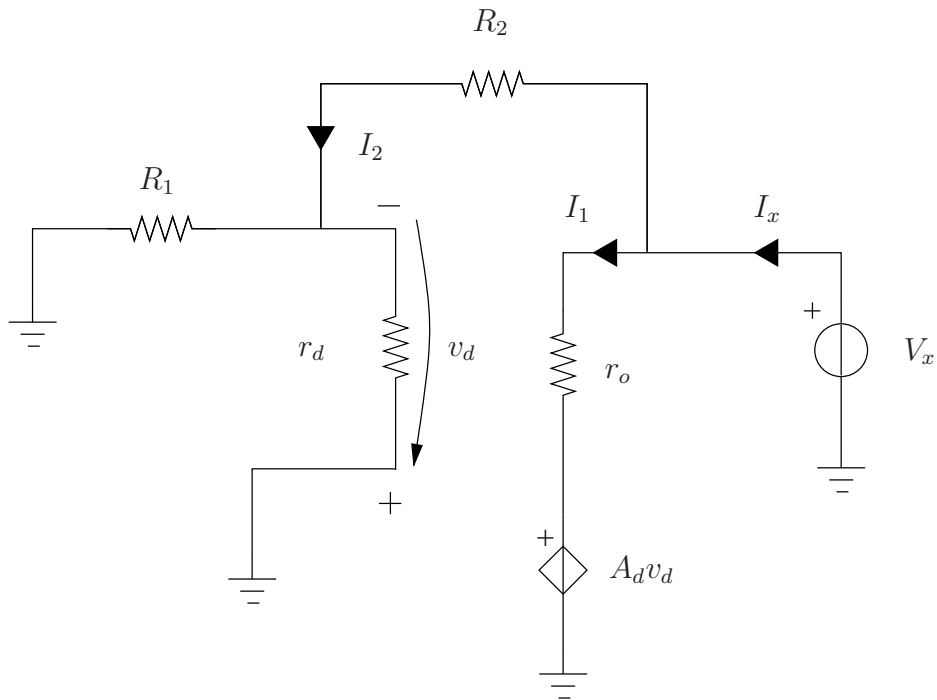


Figura 1.11: Modello completo dell'amplificatore operazionale.

$$I_x \simeq \frac{V_x + A_d \beta V_x}{r_o}$$

Da qui:

$$\frac{I_x}{V_x} = \frac{1 + \beta A_d}{r_o}, \quad \beta A_d = T$$

Quindi:

$$Z_o = \frac{V_x}{I_x} = \frac{r_o}{1 + T}$$

Supponendo di avere una resistenza (in casi veramente pessimi, dunque molto elevata) pari a 100Ω ; se il guadagno di anello fosse intorno a 1000, ridurremmo di 3 ordini di grandezza la resistenza, che diverrebbe pari a $100 \text{ m}\Omega$! Possiamo dunque supporre, in maniera definitiva, che questo circuito (amplificatore non invertente), da noi sviscerato e considerato in ogni suo aspetto, considerando qualsiasi effetto di non idealità, sia un buon amplificatore di tensione: impedenza elevatissima di ingresso, in modo da "far cadere molta tensione" ai propri morsetti di ingresso, e impedenza bassissima di

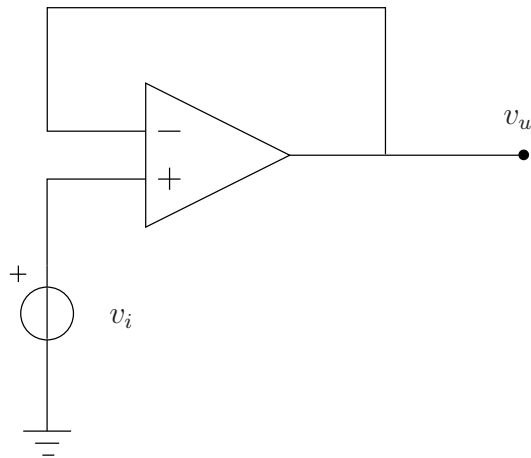


Figura 1.12: Schema del *voltage follower*.

uscita, in modo da poter “prelevare direttamente” la tensione dal generatore pilotato con il quale si modella l’effetto di amplificazione del dispositivo.

1.3.1 Voltage Follower

Una variante del circuito del quale abbiamo ampiamente parlato, è quella della figura 1.12.

In questa topologia, si ha la massima retroazione possibile: il fatto di avere come retroazione un corto circuito, aumenta il segnale che si dirige verso il “-”; i risultati della cosa saranno da un lato abbassare il guadagno del circuito, ma d’altra parte aumentare moltissimo l’impedenza di ingresso, e ridurre dello stesso fattore quella di uscita; questo circuito assorbirà dunque pochissima corrente, e in uscita sarà sostanzialmente un generatore ideale di tensione (ossia a impedenza pressochè nulla).

1.3.2 Transresistenza

Un’ulteriore topologia circuitale basata sull’amplificatore operazionale è la cosiddetta *transresistenza* (figura 1.13).

L’ingresso è in corrente, uscita è in tensione; poichè il rapporto tra l’uscita e l’ingresso è dimensionalmente modellizzabile con una resistenza, questa topologia è detta “transresistenza”. Dal momento che la corrente non entra nel morsetto invertente del dispositivo, la corrente va tutta verso R_2 , quindi si avrà una tensione di uscita pari a:

$$V_u = -I_R R_2$$

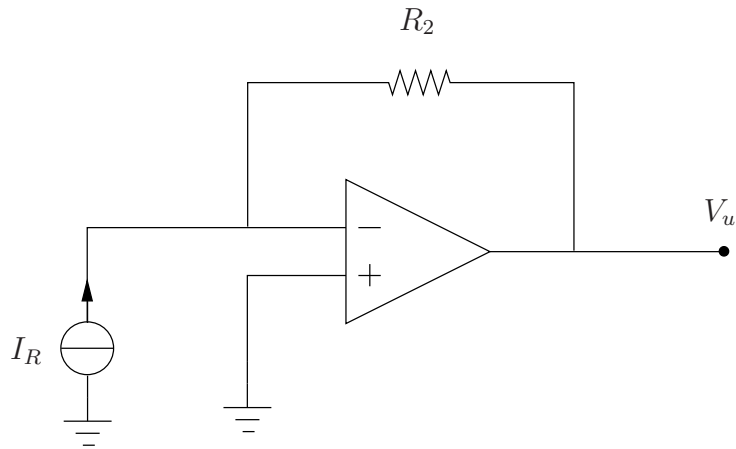


Figura 1.13: Modello completo dell'amplificatore operazionale.

In sostanza, questa topologia circuitale “trasforma” la corrente in tensione, fornendo un'uscita per l'appunto in tensione, proporzionale della resistenza R_2 (come si può immaginare dalla legge di Ohm: a parità di correnti su di una resistenza, vi sarà una caduta di tensione maggiore con resistenze maggiori!).

1.3.3 Amplificatore invertente

La transresistenza è stata presentata sostanzialmente come preludio a questa topologia, rappresentante, assieme all'amplificatore non invertente, una delle massime applicazioni per quanto riguarda l'utilizzo lineare dell'amplificatore operazionale. Nella fattispecie, come vedremo tra breve, questa topologia sarà alla base di molti altri circuiti lineari basati sul dispositivo attivo.

Una piccola nota, riguarda questo termine, “lineare”, utilizzato per quanto riguarda la modalità di utilizzo dell'amplificatore operazionale. Cosa significa “lineare”? Per come stiamo utilizzando l'amplificatore operazionale, esso fornisce, ad una variazione lineare dell'ingresso (su punti di tensione equispaziati, equidistanti), una variazione lineare dell'uscita: a variazioni dell'ingresso vi sono variazioni proporzionali, seguendo dunque una legge lineare (una retta) dell'uscita. Come vedremo in seguito nella trattazione, esistono applicazioni dell'amplificatore operazionale che non prevedono un uso lineare, bensì logaritmico, o di altro genere.

Dopo questo cappello introduttivo, vogliamo presentare qualcosa di nuovo, a partire dalla precedente topologia: proviamo a sostituire il generatore di corrente con un generatore di tensione, seguito da una resistenza in serie come in figura 1.14.

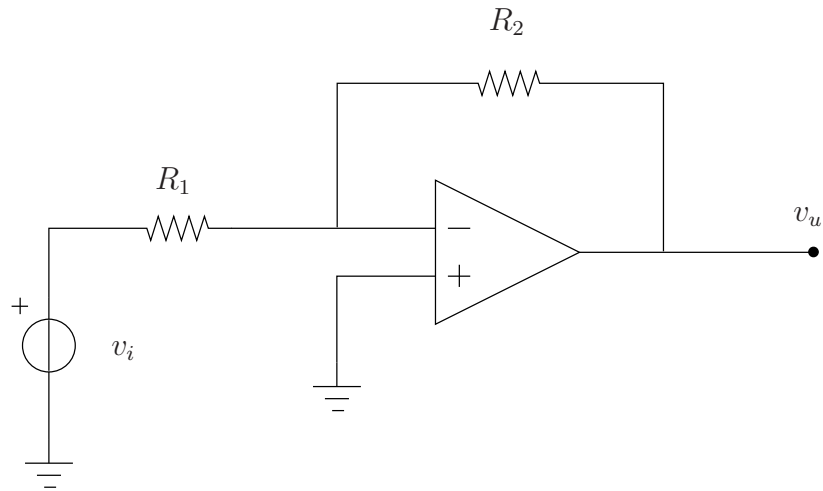


Figura 1.14: Schema dell'amplificatore invertente.

Prima di esporre il (breve) calcolo del guadagno di questo circuito, presentiamone subito il punto debole: la resistenza di ingresso, R_i , è pari a R_1 , ossia alla resistenza in serie al generatore di tensione di ingresso. Infatti, dal momento che R_1 è collegata tra un generatore di tensione e uno “0 V virtuale”, ossia un morsetto con una differenza di potenziale nulla rispetto ad un morsetto collegato a 0 V (il morsetto non invertente), si può dire valga l'equazione alla maglia verso lo 0 V passando per il “-”; introducendo un generatore di prova di tensione, V_x , si avrà, su R_1 , una corrente I_x pari a:

$$I_x = \frac{V_x}{R_1} \longrightarrow R_i = \frac{V_x}{I_x} = R_1$$

Cosa possiamo dire a questo punto? Beh, sappiamo quanta corrente va in R_1 , ma sappiamo anche che nell'operazionale non vada corrente (usando il modello ideale, che finora si è verificato piuttosto valido; eventualmente si ridiscuterà la cosa); tutta la corrente (già quantificata come rapporto tra la tensione di ingresso e R_1) andrà dunque verso R_2 , così che si avrà:

$$V_u = -\frac{V_i}{R_1} \cdot R_2$$

Da qui:

$$\frac{V_u}{V_i} = -\frac{R_2}{R_1}$$

Questo amplificatore, dunque, è in grado di amplificare (con un'espres-

sione molto semplice, dipendente esclusivamente dal rapporto delle resistenze), ed invertire di fase (ruotare di 180°) il segnale di ingresso.

Abbiamo dunque ottenuto un altro tipo di amplificatore, con però un “piccolo” problema: questo non è un vero amplificatore di tensione. Dal momento che la sua impedenza di ingresso, pari a R_1 , è tutt’altro che elevata, non si avrà la massima caduta di tensione possibile all’interno del dispositivo. Si potrebbe dimostrare, con gli stessi conti utilizzati per quanto riguarda l’amplificatore non invertente, che la resistenza di uscita del sistema invertente e di quello non invertente coincidono (la dimostrazione si basa sull’uso dei soliti generatori di test).

Usi *secondari* della configurazione invertente

La cosa interessante di questa configurazione è il fatto che l’espressione della sua transcaratteristica è estremamente semplice: essa consiste sostanzialmente nel rapporto tra due elementi resistivi. Supponendo di voler estendere questo tipo di topologia, mediante l’uso di elementi con memoria, si otterrebbe, con due generiche impedenze Z_1 e Z_2 (al posto dei corrispondenti resistori R_1 e R_2), qualcosa di molto più generale:

$$\frac{V_u}{V_i} = -\frac{Z_2}{Z_1}$$

Questo significa che, scegliendo Z_1 e Z_2 idonee, è possibile sintetizzare con enorme facilità funzioni di trasferimento a nostra scelta, ottenendo risultati anche molto differenti da quello che potrebbe essere un banale amplificatore come quelli appena ottenuti. Per questo si suol dire che l’amplificatore invertente sia la “madre” di un po’ tutti i circuiti lineari basati sull’uso dell’amplificatore operazionale, quali filtri attivi o circuiti di vario tipo. Nella prossima sottosezioni della trattazione inizieremo a presentare un primo esempio di schema basato sull’amplificatore invertente. Come capiremo presto, il nome *operazionale* del dispositivo di amplificazione sul quale ci stiamo basando deriva proprio dal fatto che, a partire dal suo uso, è possibile, in maniera molto semplice, ottenere operazioni matematiche di vario tipo sui segnali (derivazione, logaritmo, integrazione, combinazioni lineari).

1.3.4 Integratore

Consideriamo il circuito della figura 1.15.

Si può vedere facilmente che, nel dominio di Laplace, la funzione di trasferimento di questo oggetto sia pari a:

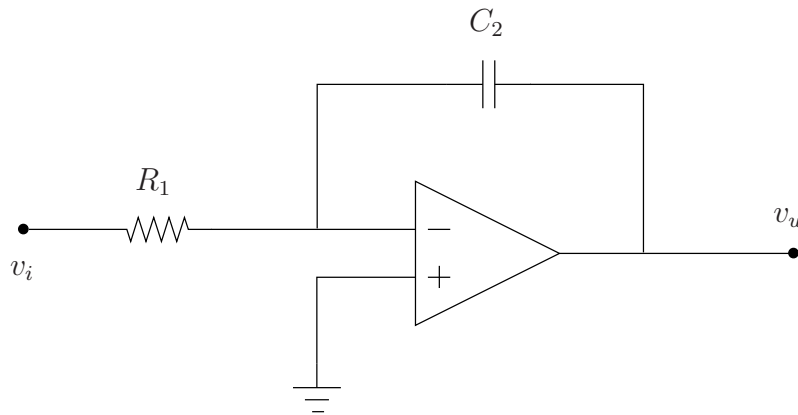


Figura 1.15: Schema circuitale dell'integratore.

$$\frac{V_u}{V_i} = -\frac{1}{sC_2R_1}$$

Questa topologia è detta *integratore*; volendo analizzare l'andamento del segnale nel dominio del tempo, applicando l'operatore "antitrasformata di Laplace" alla funzione di trasferimento, vedremmo:

$$v_u(t) = \mathbb{L}^{-1} \{V_u(s)\} = v_u(0) - \frac{1}{R_2C_2} \int_0^t v_i(t)dt$$

Questo circuito integra il segnale in ingresso, studiando nel dominio del tempo; da qua il nome *integratore*. Purtroppo, in linea teorica il circuito funziona bene, ma come vedremo presto esso presenta problemi assolutamente non indifferenti, che andranno risolti mediante uno studio più attento della topologia in questione.

Si noti che, invertendo condensatore e resistore, si ottiene un circuito dal funzionamento del tutto duale: un derivatore!

1.3.5 Sommatore Invertente

Qual è l'operazione più facile da fare, in termini di algebra? Beh, sicuramente, la somma. E circuitalmente, come si può fare la somma? Esiste dunque un modo di realizzare, mediante l'amplificatore operazionale, un circuito in grado di sommare due segnali tra di loro?

Un'idea potrebbe essere lo schema 1.16.

Da un lato si collega allo 0 V il morsetto non invertente; al morsetto invertente si collegano invece i segnali di tensione, mediante una differente resistenza. Dal momento che tutti gli elementi del circuito sono in stato lineare, è

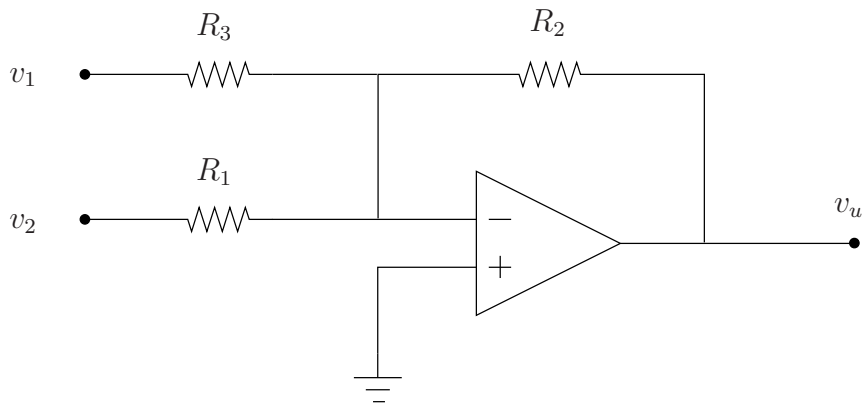


Figura 1.16: Schema circuitale del sommatore invertente.

possibile sfruttare la natura lineare del circuito e utilizzare la sovrapposizione degli effetti.

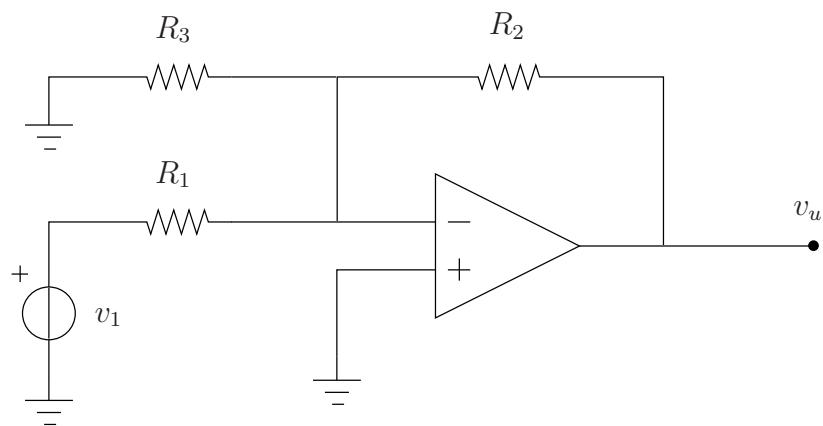


Figura 1.17: Schema circuitale del sommatore invertente con una tensione su un solo terminale di ingresso.

Consideriamo solo il generatore di segnale V_1 acceso, e gli altri spenti (fig. 1.17). Vediamo che da un lato il morsetto non invertente è sempre collegato allo 0 V, ma di conseguenza anche il morsetto non invertente si trova a “0 V virtuale”. Dal momento che solo R_1 ha il proprio generatore attivo, si può dire che R_3 sia collegata a 0 V su entrambi i terminali, quindi in essa non vi sarà caduta di tensione, e perciò neanche circolazione di corrente per la legge di Ohm. Di fatto R_3 nei calcoli potrà non essere considerata. La transcaratteristica parziale del circuito si potrà ricondurre a quella di un normale amplificatore invertente, e dunque si avrà che:

$$\left. \frac{V_u}{V_i} \right|_{V_1} = -\frac{R_2}{R_1}$$

Facendo lo stesso ragionamento per V_2 , collegato alla resistenza R_3 , si vede che:

$$\left. \frac{V_u}{V_i} \right|_{V_2} = -\frac{R_2}{R_3}$$

Utilizzando la linearità della rete, e quindi il principio di sovrapposizione degli effetti, si può dire che:

$$V_u = -\frac{R_2}{R_1} V_1 - \frac{R_2}{R_3} V_2$$

La cosa, ovviamente, è estensibile per un numero non determinato di generatori.

1.3.6 Amplificatore differenziale

Abbiamo fatto le somme (invertite) ma.. possiamo anche fare generiche combinazioni lineari di un certo numero di segnali? Vorremmo, ad esempio, avere un'uscita con la forma:

$$V_u = K(V_1 - V_2)$$

Perchè usiamo un K uguale per entrambi? Beh, sarebbe bello poter attribuire lo stesso peso ai segnali, in modo da poter semplicemente amplificare una somma o differenza tra due segnali.

Cosa facciamo? Possiamo andare a tentoni; il primo tentativo fattibile potrebbe essere un circuito analogo a quello di fig. 1.18

Considerando un circuito del tutto analogo al precedente, se non nel fatto che sul morsetto non invertente si introduce il segnale che si vuole sommare, si ottengono i seguenti contributi sfruttando la sovrapposizione degli effetti:

$$V_u|_{V_1} = \left(1 + \frac{R_2}{R_1}\right) \cdot V_1$$

$$V_u|_{V_2} = -\frac{R_2}{R_1} \cdot V_2$$

Sovrapponendo gli effetti:

$$V_u = \left(1 + \frac{R_2}{R_1}\right) V_1 - \frac{R_2}{R_1} V_2 = K_1 V_1 - K_2 V_2$$

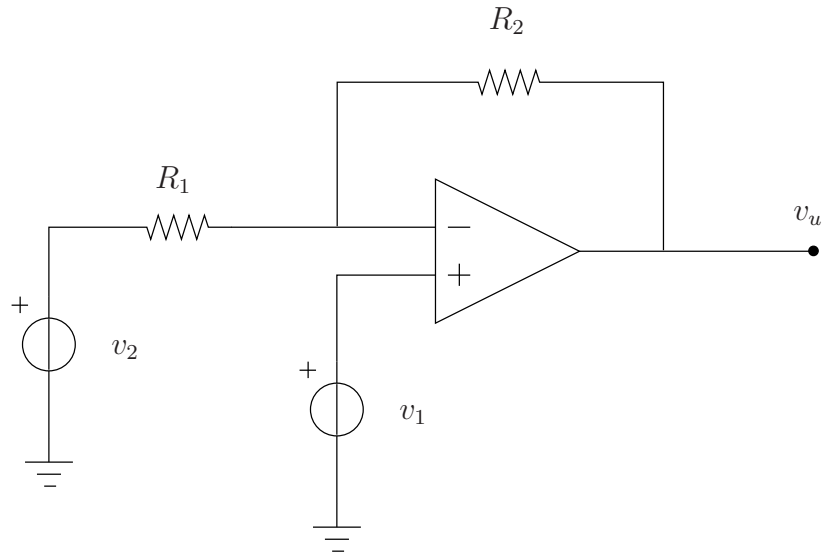


Figura 1.18: Circuito candidato al titolo di *amplificatore differenziale*.

Uhm, ma abbiamo che $K_1 \neq K_2$; tentativo fallito! Così, si può ottenere una certa combinazione lineare, ma non quella che ci piace!

Il passo di partenza è buono: abbiamo scoperto che i segnali sul “+” vengono amplificati e non invertiti (sommati), quelli sul “-” amplificati e invertiti (sottratti), ma non siamo riusciti ad attribuire ai due segnali il medesimo peso. Al fine di fare ciò, serve introdurre nel circuito alcuni elementi aggiuntivi, in modo da aumentare i gradi di libertà delle nostre equazioni, e poter meglio regolare il guadagno.

Come possiamo dunque fare per avere $K_1 = K_2$? Beh, un’idea potrebbe essere quella di ridurre V_1 , mediante un partitore di tensione sul morsetto sommanente (non invertente), con una topologia come in figura 1.19.

Avremo, questa volta, utilizzando all’ormai solito modo la sovrapposizione degli effetti, i seguenti contributi:

$$V_+ = V_1 \cdot \frac{R_4}{R_3 + R_4}$$

$$V_u = V_1 \cdot \frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) - \frac{R_2}{R_1} V_2$$

Per ottenere lo stesso K , è necessario che i due coefficienti di moltiplicazione per i segnali di ingresso siano uguali, e dunque si abbia che:

$$\frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) = \frac{R_2}{R_1} \longrightarrow \frac{R_4}{R_3 + R_4} = \frac{R_2}{R_1} \cdot \frac{R_1}{R_1 + R_2} = \frac{R_2}{R_1 + R_2}$$

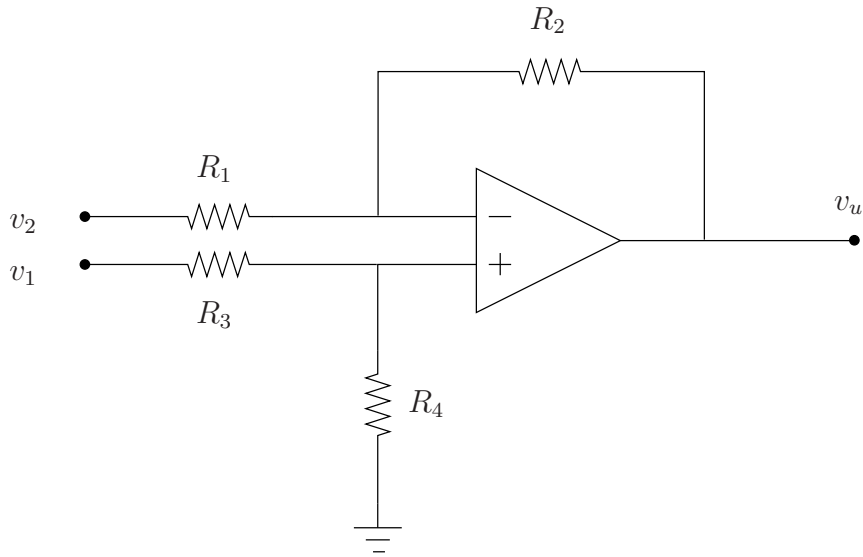


Figura 1.19: Secondo circuito candidato al titolo di *amplificatore differenziale*.

Se l'eguaglianza è verificata, allora lo è anche per i reciproci:

$$\frac{R_4 + R_3}{R_4} = \frac{R_2 + R_1}{R_2} \longrightarrow 1 + \frac{R_3}{R_4} = 1 + \frac{R_1}{R_2}$$

Da qua:

$$\frac{R_1}{R_2} = \frac{R_3}{R_4}$$

Abbiamo ora trovato la condizione tale per cui un amplificatore è differenziale, e cioè è in grado di fare la *sottrazione tra due segnali*, senza attribuire ad uno dei due segnali un peso, ossia un'amplificazione in ingresso differente. Si sappia che, a causa dei parametri parassiti dell'amplificatore operazionale, la scelta ottimale delle resistenze è:

$$\begin{cases} R_1 = R_3 \\ R_2 = R_4 \end{cases}$$

A sua volta, l'amplificatore differenziale è la "madre" di un'ampia famiglia di amplificatori: gli amplificatori da strumentazione. Si noti che il problema base dell'amplificatore invertente non è stato ancora risolto: questo amplificatore, come si vedrà in seguito, deve subire ancora evoluzioni, al fine di divenire un buon amplificatore di tensione, a causa della propria bassa impedenza di ingresso.

Guadagno di modo comune

Al fine di introdurre una problematica che verrà sviluppata in seguito, vogliamo studiare sotto un altro punto di vista questo circuito: la reiezione del modo comune.

Introducendo un *segnale di modo comune* nell'amplificatore differenziale, ossia lo *stesso segnale su entrambi i morsetti*, da un buon amplificatore differenziale ci aspetteremmo che l'uscita sia nulla: la differenza di un segnale con sè stesso, è uguale a 0, segnale costantemente nullo.

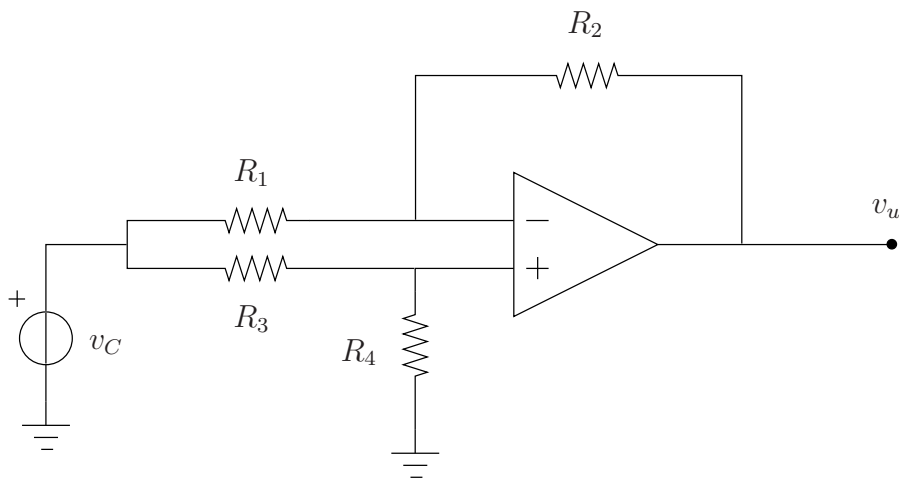


Figura 1.20: Schema dell'amplificatore differenziale al quale è applicato il segnale di modo comune.

Consideriamo il circuito di fig. 1.20. Si vede che, a causa del segnale V_C introdotto all'ingresso, si ha una corrente, sul resistore R_1 , pari a:

$$I_1 = \frac{1}{R_1} \left[V_C - \frac{R_4}{R_4 + R_3} V_C \right] = V_C \frac{R_3}{R_4 + R_3} \cdot \frac{1}{R_1}$$

La tensione di uscita, V_u , sarà:

$$V_u = \frac{R_4}{R_4 + R_3} V_C - I_2 R_2$$

Dove I_2 è la corrente sul resistore R_2 ; dal momento che nell'operazionale non entra corrente (idealmente), e che abbiamo l'espressione operativa di I_1 , possiamo dire che $I_2 = I_1$; quindi, sostituendo:

$$V_u = \frac{R_4}{R_3 + R_4} V_C - \frac{R_2}{R_1} \cdot \frac{R_3}{R_3 + R_4} V_C =$$

$$= \frac{R_4}{R_3 + R_4} \left(1 - \frac{R_2}{R_1} \cdot \frac{R_3}{R_4} \right) V_C$$

Il guadagno di modo comune A_C , ossia il guadagno dell'amplificatore rispetto alle componenti di modo comune, ossia alle componenti "uguali" dei due segnali, è:

$$A_C = \frac{V_u}{V_C} = \left(\frac{R_4}{R_3 + R_4} \right) \cdot \left(1 - \frac{R_2}{R_1} \cdot \frac{R_3}{R_4} \right)$$

Continuando a rispettare la formula ottimizzata, ossia la condizione $R_1 = R_3$ e $R_2 = R_4$, si ridurrà al minimo (tendenzialmente e idealmente, a 0) il guadagno di modo comune.

1.4 Stadio Differenziale

Studiando lo specchio di corrente, abbiamo già introdotto il primo dei mattoncini che comporrà l'amplificatore operazionale. Quello che ora sarà introdotto sarà un altro di questi mattoncini fondamentali, probabilmente molto più importante dello specchio di corrente. L'amplificatore operazionale, in una rappresentazione "a blocchi", potrebbe essere rappresentato da tre elementi, disposti in cascata:

1. Stadio di ingresso. stadio differenziale (ciò che stiamo per introdurre);
2. Guadagno in tensione (talvolta omissso, se lo stadio differenziale è realizzato con tecnologie CMOS);
3. Stadio di uscita di potenza: stadio in grado di guadagnare circa 1 in tensione, ma di aumentare notevolmente la corrente, e di conseguenza la potenza.

Ora ci concentreremo sullo studio del solo amplificatore differenziale o stadio differenziale (non si faccia confusione con la topologia utilizzata per realizzare la differenza di due segnali con l'amplificatore operazionale!).

Supponendo che il dispositivo che siamo sul punto di presentare sia rigorosamente in zona lineare, possiamo incominciare la trattazione; il blocchetto con il quale si potrebbe modellizzare questo stadio di amplificazione ha due ingressi, un'uscita, e due terminali di alimentazione; si vorrebbe che l'uscita abbia una forma simile alla seguente:

$$V_u = A_1 V_1 + A_2 V_2$$

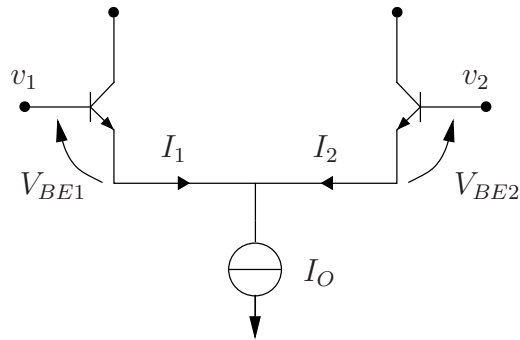


Figura 1.21: Realizzazione dello stadio differenziale con BJT.

Ossia una combinazione lineare della tensione di ingresso. Poichè lo stadio sia *differenziale*, si deve avere che:

$$A_1 = -A_2$$

I coefficienti devono dunque essere uguali in modulo e opposti in segno (quantomeno, in un sistema ideale).

Cerchiamo di quantificare e studiare al meglio questo tipo di configurazione, introducendo un “cambio di base”, finalizzato a realizzare la separazione dei modi di funzionamento: anzichè osservare l’uscita V_u espressa in termini di combinazione lineare degli ingressi, si potrebbe lavorare con la tensione differenziale v_d , ossia la differenza degli ingressi (tensione di modo differenziale). La nuova base di ingressi per essere sufficiente a rappresentare l’uscita necessita di un ulteriore elemento, che sarà V_C : la tensione di modo comune. Il nuovo sistema di equazioni sarà:

$$\begin{cases} v_d = V_1 - V_2 \\ V_C = \frac{V_1 + V_2}{2} \end{cases}$$

A partire da questa nuova base, si può esprimere l’uscita, come:

$$V_u = A_d v_d + A_C V_C$$

Dove:

$$A_d = \frac{A_1 - A_2}{2}; \quad A_C = A_1 + A_2$$

Ciò che abbiamo fatto con questa operazione è *separare i modi di funzionamento* dell’amplificatore operazionale, ossia considerarne due diversi tipi di amplificazione: una riguardante esclusivamente il segnale differenziale (ossia le differenze tra due segnali) e una riguardante l’amplificazione di modo

comune, ossia la componente di segnale presente in entrambi i segnali. Un esempio di componente di modo comune potrebbe essere un offset: se entrambi i segnali sono sinusoidali e hanno lo stesso valor medio, esso sarà una componente di modo comune.

L'amplificatore differenziale ideale ha A_d molto grande, e A_C nullo, in modo quindi da non amplificare le componenti di modo comune del segnale in ingresso. Questo fatto è indicato anche dal nome: *differenziale* significa proprio che in uscita deve mantenere le sole differenze dei segnali in ingresso, e non considerare contributi comuni ai segnali dei quali si intende amplificare la differenza.

Idealmente, si vorrebbe che l'uscita di un amplificatore differenziale, V_u , sia pari a:

$$V_u = A_d v_d$$

Tuttavia, l'espressione completa sarà:

$$V_u = A_d v_d \left[1 + \frac{A_C}{A_d} \frac{V_C}{v_d} \right]$$

Questo significa che tanto più il termine di guadagno di modo comune, A_C , è elevato, e tanto più si avranno errori rispetto al funzionamento ideale del dispositivo.

Al fine di determinare la bontà di un amplificatore differenziale, si introduce un parametro fondamentale, in grado di quantificare l'errore commesso a causa dell'amplificazione di modo comune. Questo parametro è chiamato CMRR (Common Mode Rejection Ratio), ed è definibile come:

$$(CMRR)_{dB} \triangleq \left(\frac{A_d}{A_C} \right)_{dB} = 20 \cdot \log_{10} \left| \frac{A_d}{A_C} \right|$$

Più il CMRR è elevato, e migliore sarà lo stadio differenziale realizzato.

Come qualunque altro circuito attivo, lo stadio differenziale deve essere alimentato; dall'alimentazione, dipenderanno la dinamica di ingresso di modo comune e la dinamica di ingresso di modo differenziale. Cosa sono queste "dinamiche"? La risposta è abbastanza semplice: come abbiamo detto all'inizio della trattazione, il dispositivo in questione funziona bene se è in stato di linearità. Lo stato di linearità va dunque tutelato, ossia bisogna ricavare dei limiti di funzionamento dello stato di linearità. Ciò da cui bisogna proteggersi, dunque, sono sostanzialmente due fattori:

- Segnali di modo comune estremamente elevati tali per cui, a causa dell'amplificazione di modo comune del sistema, potrebbero portare

fuori linearità l'amplificatore operazionale; la dinamica di modo comune è dunque il range di ampiezze dei segnali di modo comune tali per cui nei dispositivi attivi contenuti all'interno dell'amplificatore non intervengano fenomeni di non linearità;

- Segnali di modo differenziale in grado di variare (o comunque raggiungere) valori di tensione eccessivamente elevati per il guadagno di modo differenziale, in modo da far intervenire fenomeni di non linearità nei dispositivi attivi; il range di valori che i segnali di modo differenziale possono assumere è detto *dinamica di modo differenziale*.

Le due dinamiche di ingresso appena esposte avranno una violenta dipendenza dalla tensione di alimentazione dello stadio differenziale. Per quanto riguarda le dinamiche di ingresso differenziali, non avremo grossi problemi, dal momento che, di solito, l'amplificatore differenziale è utilizzato per “piccoli segnali”, dunque le differenze che si intende amplificare dovrebbero essere piccole, e non mandare fuori linearità il dispositivo.

Discorso diverso riguarda la dinamica di ingresso di modo comune: in uno stadio differenziale basato su tecnologia a BJT (transistori bipolari), si avrà solitamente una topologia di questo genere (come già mostrato precedentemente):

Il valore superiore della dinamica di ingresso di modo comune è delimitato dal fatto che la tensione di ingresso, V_i , non possa crescere al di sopra del valore della tensione sui collettori dei BJT, senza rischiare di mandarli in stato di saturazione (e quindi farli uscire dalla linearità!); dal momento che l'amplificazione di modo comune è piuttosto bassa, variando V_i non si dovrebbero avere grosse variazioni della tensione sui collettori; definendo V_{CO} le tensioni sul punto di riposo ai collettori, data una certa V_i di modo comune in ingresso, il vincolo al funzionamento lineare del dispositivo sarà:

$$V_i < V_{CO}$$

La tensione sui collettori dipenderà sostanzialmente dalla differenza tra la tensione di alimentazione e la caduta di tensione sui resistori; quindi:

$$V_i < \left(V_{AL} - \frac{I_O}{2} R_C \right)$$

Ma quindi, anticipando una relazione che verrà espressa in seguito:

$$V_i < (V_{AL} - A_d V_T)$$

Cosa significa ciò? Per aumentare la dinamica di modo comune, bisognerebbe diminuire il guadagno differenziale!

Ciò che si fa in pratica di solito è evitare di usare un carico resistivo ed utilizzare, ad esempio, uno specchio di corrente (come vedremo in seguito).

Osserviamo ora sotto un punto di vista più "quantitativo" il nostro circuito:

1.4.1 Transcaratteristica dell'amplificatore differenziale

Osserviamo lo schema di partenza dell'amplificatore differenziale di fig. 1.22a. Date in ingresso ai morsetti dell'amplificatore due tensioni, V_1 e V_2 , si può dire che la tensione differenziale, amplificata, sia sostanzialmente riconducibile alla differenza delle tensioni di giunzione base-emettitore dei due transistori, e dunque che:

$$v_d = V_{BE,1} - V_{BE,2}$$

Si possono scrivere le equazioni di funzionamento dei BJT, ed esprimere le correnti I_1 e I_2 come:

$$I_1 = I_{S1} e^{\frac{V_{BE,1}}{V_T}}$$

$$I_2 = I_{S2} e^{\frac{V_{BE,2}}{V_T}}$$

Supponendo al solito di costruire questo stadio su di un circuito integrato, possiamo supporre di avere la stessa temperatura, e quindi le stesse correnti inverse di saturazione; da ciò, calcoliamo il rapporto delle due correnti, come:

$$\frac{I_1}{I_2} = \frac{I_{S1}}{I_{S2}} e^{\frac{V_{BE,1} - V_{BE,2}}{V_T}}$$

Da qua, si vede che:

$$I_1 = I_2 \cdot e^{\frac{v_d}{V_T}}$$

Osserviamo ora un attimo ancora la topologia del circuito: sotto al circuito si ha un generatore indipendente di corrente, I_O ; si può dunque scrivere, usando la legge di Kirchhoff dei nodi, che:

$$I_O = I_1 + I_2$$

Da qua:

$$I_O = I_2 \left(1 + e^{\frac{v_d}{V_T}} \right) \iff I_2 = \frac{I_O}{1 + e^{\frac{v_d}{V_T}}}$$

Da ciò, riprendendo l'equazione precedente, si ricava, con semplici passaggi algebrici, che:

$$I_1 = \frac{I_O \cdot e^{\frac{v_d}{V_T}}}{1 + e^{\frac{v_d}{V_T}}}$$

Studiamo ora graficamente queste funzioni, analizzandone gli andamenti asintotici (figura 1.22b).

Vediamo, facilmente, che:

$$\lim_{v_d \rightarrow +\infty} I_1 = I_O$$

$$\lim_{v_d \rightarrow -\infty} I_1 = 0$$

$$\lim_{v_d \rightarrow +\infty} I_2 = 0$$

$$\lim_{v_d \rightarrow -\infty} I_2 = I_O$$

Ma si può anche vedere che:

$$I_1(0) = I_2(0) = \frac{I_O}{2}$$

Cosa significa tutto ciò? La zona in cui entrambe le correnti sono attive è molto ridotta (dal momento che, in un intorno dell'origine, l'esponenziale presenta un andamento crescente molto accentuato); si può stimare che inoltre le curve siano, in un intorno dell'origine, linearizzabili, e ossia approssimabili con le rette tangenti, per:

$$v_d \in [-V_T; V_T]$$

La tensione differenziale dell'ingresso del circuito deve essere piccola, al fine di poter utilizzare un modello lineare; la cosa comunque, come già detto, non ci causa problemi, dal momento che lo stadio di amplificazione, all'interno di un amplificatore operazionale, sarà in cascata a quello differenziale: non si richiede, da uno stadio differenziale (a BJT), di avere un segnale in uscita dal valore elevato.

Qual è il guadagno in corrente dello stadio, considerando valida la linearizzazione in un intorno di $v_d = 0$? Sappiamo che, sviluppando in serie approssimando al primo ordine, si ottiene:

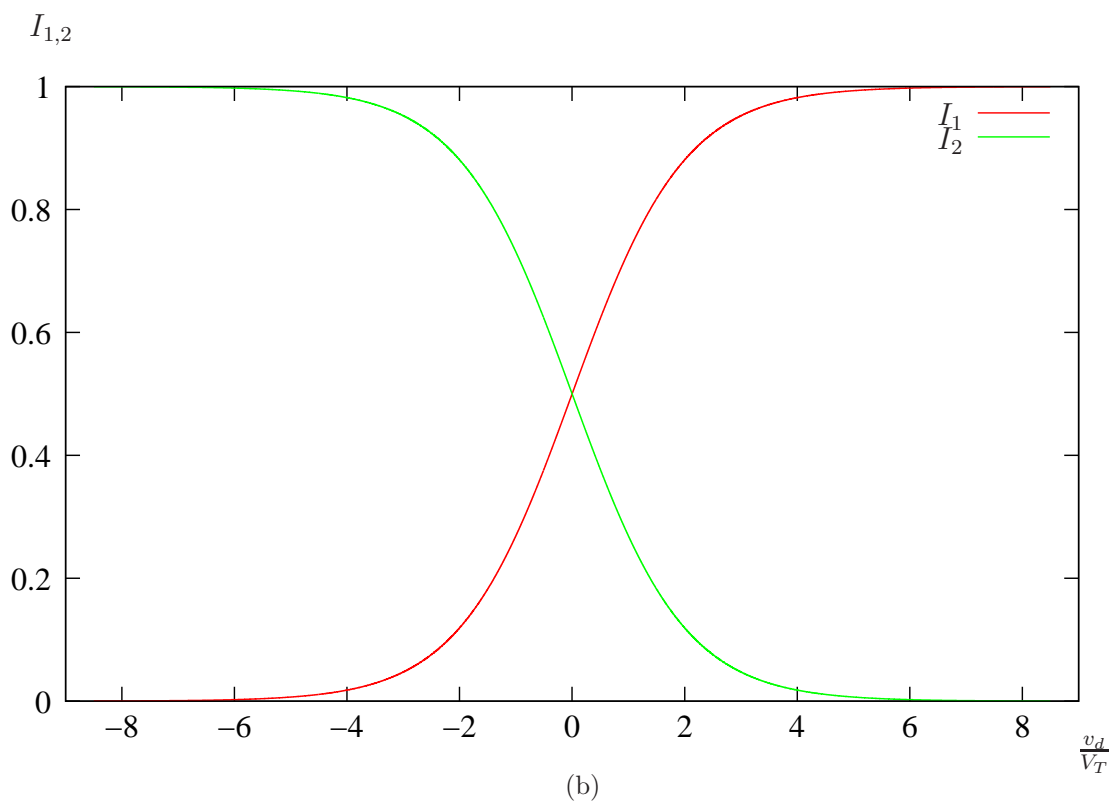
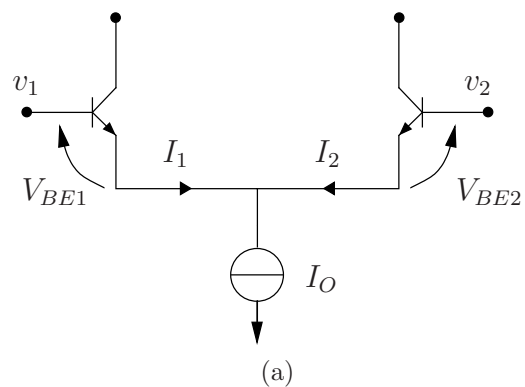


Figura 1.22: Dall'alto: realizzazione dello stadio differenziale con BJT; grafico delle correnti dello stadio differenziale al variare del segnale di modo differenziale.

$$I_1 \simeq \frac{I_O}{2} + \left. \frac{\partial I_O}{\partial v_d} \right|_{v_d=0} v_d = \frac{I_O}{2} + g_{m,0} \cdot v_d$$

Da qui:

$$I_2 = I_O - I_1 \simeq \frac{I_O}{2} - g_{m,0} \cdot v_d$$

Il termine $g_{m,0}$ è una *transconduttanza*, modellizzante un fattore di proporzionalità tra ingresso ed uscita dell'amplificatore; Cerchiamo di quantificare il termine $I_1 - \frac{I_O}{2}$:

$$I_1 - \frac{I_O}{2} = \frac{I_1 - I_2}{2}$$

Riprendendo le precedenti espressioni di I_1 e I_2 :

$$I_1 = \frac{I_O}{2} \frac{e^{\frac{v_d}{V_T}} - 1}{e^{\frac{v_d}{V_T}} + 1}$$

Ma, ricordando la definizione di tangente iperbolica, si può scrivere che:

$$I_1 = \frac{I_O}{2} \left[1 + \operatorname{tgh} \left(\frac{v_d}{2V_T} \right) \right]$$

Lo sviluppo in serie di Taylor della tangente iperbolica è:

$$\operatorname{tgh}(x) \simeq x - \frac{x^3}{3} + \frac{2}{15}x^5 + \dots$$

Quindi, linearizzando:

$$I_1 \sim \frac{I_O}{2} \left[1 + \frac{v_d}{2V_T} \right] = \frac{I_O}{2} + \frac{I_O}{4V_T} v_d$$

Da qua, si ricava, mediante confronto con la precedente espressione di I_1 , che:

$$g_{m,0} = \frac{I_O}{4V_T}$$

Questo termine rappresenta il guadagno in corrente di piccolo segnale del nostro stadio differenziale.

Quanto vale, nel circuito finora disegnato, l'amplificazione di modo comune? La risposta è: 0! La corrente generata dal generatore ideale di corrente modellizzante il funzionamento dei BJT è indipendente dalla tensione al nodo, e quindi siamo per ora contenti.

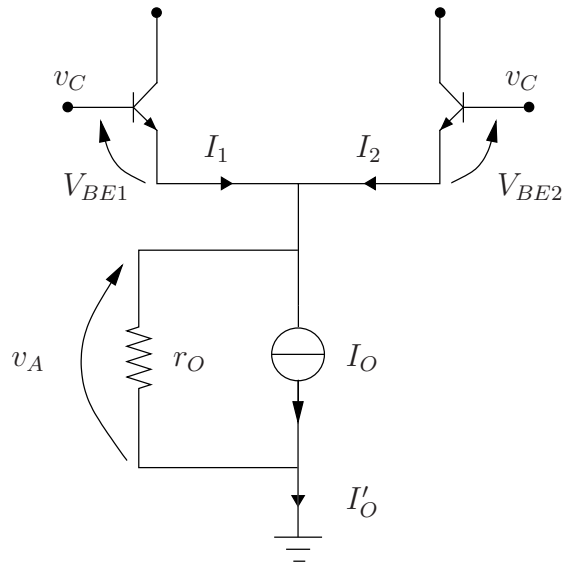


Figura 1.23: Schema dello stadio differenziale con generatore reale di corrente.

In realtà le cose non si mettono così bene: consideriamo qualcosa di più realistico, ossia un circuito nel quale il generatore indipendente I_O non sia ideale, bensì disponga di una resistenza r_o in parallelo ad esso (fig. 1.23).

Dato in ingresso ad entrambi i morsetti un segnale di modo comune, V_C , potremo valutare un'eventuale amplificazione di modo comune del segnale. La corrente I'_O è una corrente data dalla somma di I_O e della corrente che scorre nella resistenza modellizzante le non idealità del generatore; si avrà che:

$$I'_O = I_O + \frac{V_C - V_{BE}}{r_o}$$

Nel caso reale, tenendo dunque conto di r_o , I_O non è costante, bensì dipende da V_C , ossia dalla tensione di modo comune; questo significa che il nostro stadio di amplificazione, nella realtà, non è in grado di ignorare i modi comuni, ossia il segnali “uguali” tra loro nei due morsetti di ingresso. Quello che ci servirà, dunque, sarà un ottimo generatore I_O , in modo da alzare il CMRR e ridurre gli effetti di modo comune.

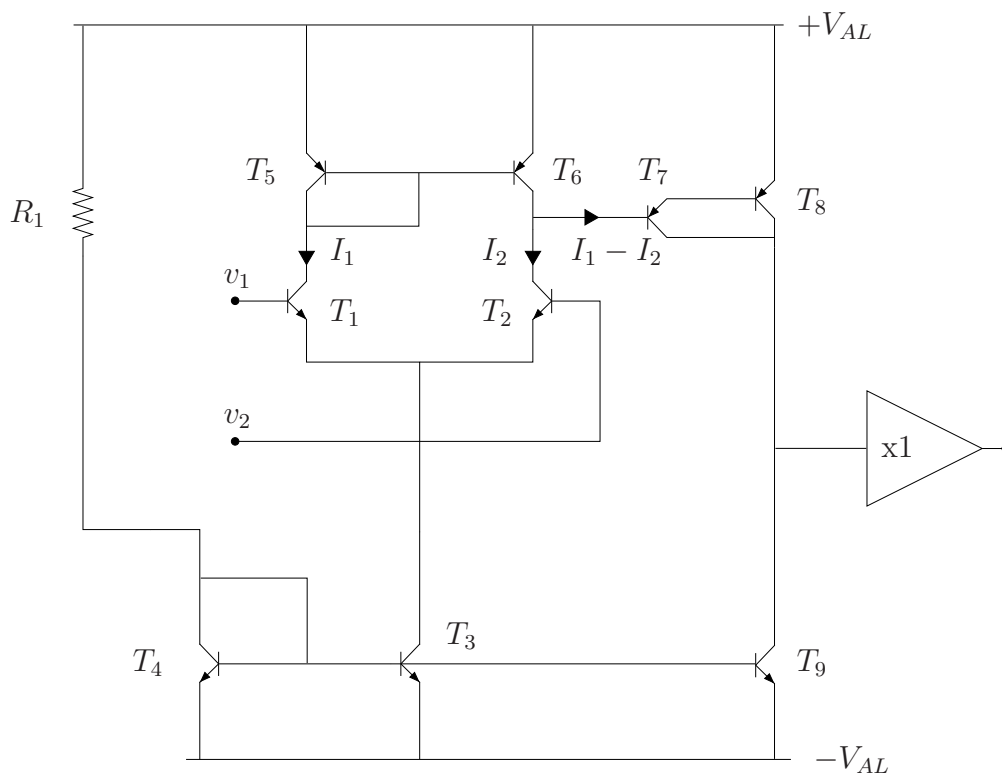


Figura 1.24: Schema circuitale di un amplificatore operazionale.

1.5 Primo progetto di un amplificatore operazionale

Abbiamo già osservato buona parte dei componenti fondamentali per la realizzazione di un amplificatore operazionale; cerchiamo dunque, al fine di avere una prima idea di come metterli assieme in modo da combinare qualcosa con le nostre attuali conoscenze, anche al fine di comprenderne meglio il funzionamento.

Presentiamo immediatamente lo schema di base in grado di fornire l'idea di cosa sia un amplificatore operazionale (fig. 1.24).

Discutiamo a questo punto questo “enorme” schema, trattandone ciascuna sezione.

- Prima di tutto, è necessario che il circuito sia polarizzato (alimentato) tra tensioni volendo positive e negative (esiste anche la possibilità di usare l'operazionale con uno dei morsetti riferito a 0 V); in questa descrizione, dunque, si supporrà di usare tensioni simmetriche, pari a $\pm V_{AL}$, però evidenziando il fatto che ciò non è necessario;

- Come generatore “quasi ideale” (collegato in uscita allo stadio differenziale) si avrà uno specchio di corrente, formato dai transistori T_3 e T_4 ; per polarizzarlo, si sceglie di percorrere una via semplice, utilizzando una banale resistenza R^4 collegata tra $+V_{AL}$ e il nodo di polarizzazione del lato debole dello specchio.
- Lo stadio differenziale è il cuore dell’ingresso dell’operazionale, e viene implementato con i transistori T_1 e T_2 . Abbiamo i due morsetti di ingresso e le due uscite. Ma.. a noi ne serve solo una! Una cosa bella da fare sarebbe poter riprodurre la corrente I_1 assieme a I_2 , ottenendo una sola corrente di uscita, pari a $I_1 - I_2$; come si può fare? Con un altro specchio di corrente, inserito però “sopra” lo stadio differenziale! Questo specchio cerca di riprodurre la corrente I_1 ma ad essa viene sempre di fatto sottratta I_2 , e così si ottiene, in uscita, proprio la corrente (unica) desiderata: $I_1 - I_2$! Inoltre, dal momento che lo specchio di corrente si comporta come un generatore quasi ideale di corrente, si risolve il problema precedentemente affrontato riguardo la dinamica di ingresso di modo comune: la tensione non varia più al variare della corrente, come si può intuire dallo studio precedentemente effettuato, quindi, in questo caso, abbiamo di fatto “preso due piccioni con una fava”.
- In uscita da questo ultimo specchio si vorrebbe avere uno stadio in grado di guadagnare in tensione: come abbiamo detto finora, gli stadi differenziali non sono fatti per amplificare, bensì per fornire semplicemente un segnale indicante la differenza di altri due segnali. Dall’uscita amplificata dello specchio ci servirebbe, ad esempio, un transistoro dal guadagno molto elevato. Il fatto di avere una corrente pari a:

$$I_1 - I_2$$

Ha già raddoppiato il $g_{m,0}$: come si può vedere dalle espressioni precedenti, riguardo lo stadio differenziale, infatti:

$$I_1 - I_2 = 2g_{m,0}$$

Il problema è che il transistoro deve avere un guadagno in tensione molto elevato poichè il finale innalzerà esclusivamente la potenza, mediante la corrente (guadagno *unitario* in tensione). Ciò che si potrebbe

⁴Si noti che una resistenza non è una scelta particolarmente ottimizzata: per aumentare la reiezione di disturbi di vario tipo, si utilizzano circuiti a transistori ben più congeniali e complicati, che però per semplicità non mostriamo

utilizzare, al fine di aumentare notevolmente il guadagno in tensione, è usare un Darlington Pair (coppia Darlington), i cui parametri sono:

$$I_C = I_{C1} + I_{C2} = I_{B1} \cdot \beta_1 + \beta_2(\beta_1 + 1)I_{B1}$$

$$\beta_{eq} \simeq \beta_1\beta_2$$

$$V_{BE,eq} = V_{BE,1} + V_{BE,2} \simeq 2V_{BE}$$

(quest'ultima è sicuramente valida in circuiti integrati).

Come si vede nello schema iniziale, la coppia Darlington viene realizzata mediante due *npn*; questo perchè (come anche per quanto riguarda lo specchio), se avessimo collegato l'emettitore del Darlington a $-V_{AL}$, esso avrebbe avuto come potenziale di riferimento $-V_{AL}$, e quindi la base del Darlington sarebbe stata a $-V_{AL} + 2V_{BE}$, e così, a causa del corto circuito, anche l'uscita dello stadio differenziale. Un circuito del genere di sicuro non può funzionare: la dinamica di T_2 sarebbe infatti estremamente limitata, poichè i due morsetti hanno sostanzialmente $2V_{BE}$ come massimo range di tensione assumibile, e quindi poco più di 1 V di dinamica. Con i *npn* si usa come tensione di riferimento la $+V_{AL}$, e si elimina questo tipo di problema.

- A cosa serve T_9 ? Beh, lo stadio sinora presentato esce in corrente, ma noi vogliamo che amplifichi in tensione! Per la legge di Ohm, si ha che:

$$V = R \cdot I$$

Quindi, volendo avere a parità di correnti una tensione maggiore, è necessaria una resistenza molto elevata! Dal momento che è più semplice realizzare un elemento resistivo mediante un BJT che con un substrato resistivo, in un circuito integrato, T_9 rappresenta esattamente questa resistenza.

Ora ci chiediamo: a quanto ammonta il guadagno di questo circuito? La risposta è: **BOH**. Bisognerebbe effettivamente fare i calcoli con un circuito a 9 transistori, e ciò non è assolutamente banale, ma in questo caso neanche necessario: ci basta che il guadagno sia molto elevato! Questo circuito deve avere un guadagno idealmente infinito, al fine di essere poi retroazionabile e gestibile in zona lineare senza problemi, ossia senza avere un guadagno post-retroazione troppo basso!

1.6 Stadi di Potenza a Transistori Bipolari

Un altro elemento fondamentale per quanto riguarda gli amplificatori operazionali, ma anche generali circuiti elettronici, è lo stadio di potenza. Si tratta di circuiti (ovviamente, attivi), che devono aumentare la potenza del segnale in ingresso, in modo da fornire ad un carico una potenza “importante”. Si tratta di circuiti concettualmente diversi da quelli finora analizzati, dal momento che, finora, per “amplificatori” abbiamo considerato soprattutto circuiti in grado di aumentare la sola tensione di un segnale; però, da ciò che abbiamo visto finora, si potrebbe pensare che un trasformatore sia un amplificatore!

Questo non è vero: si usano sempre e comunque elementi attivi quando si parla di *amplificazione* per un semplice motivo: si intende **amplificazione di potenza**. Si punta ad aumentare la tensione o la corrente di un segnale, mantenendo tuttavia circa inalterata l'altra grandezza; un trasformatore da un lato aumenta la tensione di un certo fattore di proporzionalità, ma dall'altro riduce, dello stesso fattore, la corrente; la potenza in teoria rimane invariata (in pratica no, a causa delle non idealità delle induttanze e dei nuclei ferromagnetici). Oltre ai parametri già mostrati finora, sarà necessario evidenziare gli effetti delle dinamiche di uscita, e soprattutto il rendimento di circuiti, intesi come rapporto tra la potenza uscente, P_u , e quella entrante, P_a , prelevata dall'alimentazione. Nella realtà non è assolutamente possibile semplicemente aggiungere la potenza da noi desiderata, traendola dall'alimentazione: sarà sempre e comunque necessario prelevare, dall'alimentazione, una potenza maggiore (praticamente mai uguale) rispetto a quella che si intende aggiungere al segnale. Tutta la potenza prelevata dall'alimentazione ma non attribuita al segnale viene di fatto dissipata, “sprecata” sotto forma di calore (sostanzialmente per effetto Joule). Si può intuire che il nostro obiettivo sarà quello di minimizzare queste perdite, e dunque di aumentare al massimo il rendimento. Il rendimento sarà, come si può intuire, proprio un indicatore della potenza “aggiuntiva” necessaria, per un circuito, per ottenere gli incrementi di potenza da noi desiderati. Oltre al rendimento, i due parametri fondamentali per quanto riguarda uno stadio di amplificazione sono una bassa impedenza di uscita (al fine di prelevare idealmente il segnale direttamente da un generatore pilotato), ed un'elevata dinamica del segnale in uscita.

Quella che ora si intende fare è la presentazione di una carrellata di stadi di amplificazione (di potenza), basati sull'idea di mantenere il livello di tensione di uscita pressochè pari a quello di ingresso, e amplificare esclusivamente la tensione; mostreremo quindi quelle che sono le più note topologie, ed alcuni piccoli accorgimenti su di esse attuabili.

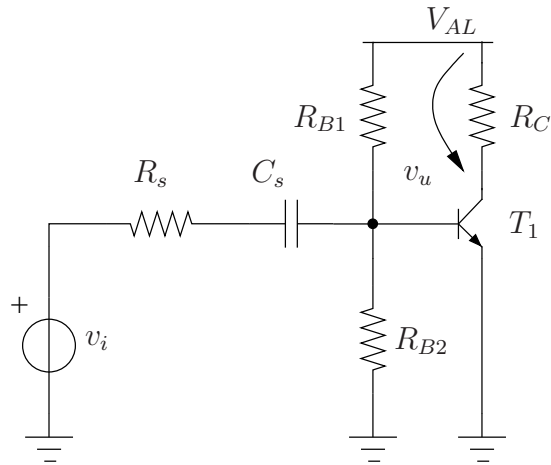


Figura 1.25: Stadio amplificatore di potenza ad emettitore comune.

1.6.1 Stadi di potenza convenzionali (Classe A)

Il più semplice amplificatore di potenza realizzabile è sicuramente uno stadio di amplificazione a emettitore comune (per quanto esso amplifichi notoriamente tensione).

Il guadagno in tensione del circuito, A_V , è pari a:

$$A_V = -R_C g_m$$

Più che di questo ci interesseremo al suo stadio duale, a collettore comune (detto anche emitter follower), che si chiama così in quanto, anziché l'emettitore, a 0 V ha il collettore del transistor; *comune* indica infatti, in queste topologie basilari, il terminale del transistor collegato al potenziale di riferimento (“al comune”). Questo stadio ha un guadagno in tensione, A_V , prossimo a 1, ma guadagna in corrente: proprio quello che volevamo!

Abbiamo dunque trovato un primo stadio di amplificazione di potenza, nel senso che ci interessa: amplificatore di corrente! La dinamica di uscita è sostanzialmente vincolata dall'alimentazione (a meno di cadute di tensione tra collettore ed emettitore), e l'impedenza di uscita è assolutamente valida (quella di ingresso all'emettitore in parallelo alla resistenza sull'emettitore, dunque decisamente ridotta); lo schema inoltre è molto semplice da realizzare, e da dimensionare. Ovviamente, però, ci sono dei problemi, e questi sono estremamente gravi: il rendimento di questo circuito è estremamente basso. Supponiamo di voler amplificare ed avere in uscita 100 W di potenza media del segnale: quanta potenza dovremo dare al sistema amplificatore?

Una risposta banale è: sicuramente almeno 100 W. Ma *almeno* significa

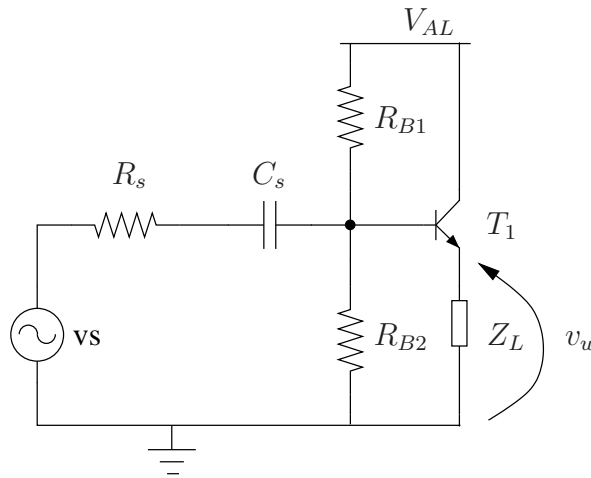


Figura 1.26: Stadio amplificatore di potenza a collettore comune.

che potremmo doverne dare molti di più: fornendo solo 100 W, una parte della potenza andrebbe dissipata in calore, e così l'uscita acquisirebbe una potenza inferiore da quella che ci piacerebbe avere.

Proviamo a fare due conti: sappiamo che la caratteristica del transistor bipolare, elemento centrale del nostro sistema di amplificazione, segue il modello di Ebers-Moll; la rete che pilota il “generatore pilotato” modellizzante il nostro transistor, essendo lineare, è modellizzabile mediante una retta di carico; quella che si avrà, dunque, è una transcaratteristica analoga a quella del grafico 1.27.

A seconda della tensione di polarizzazione avremo una differente caratteristica di uscita, dal momento che cambia la tensione V_{AL} indicante l'inizio e la fine della retta di pilotaggio del transistor. Supponiamo per ipotesi di aver dimensionato il circuito in modo da avere, come punto di lavoro, una tensione pari a metà di quella di alimentazione, e dunque pari a $\frac{V_{AL}}{2}$; qual è la potenza entrante nel carico, a queste condizioni? Possiamo supporre che, se la tensione abbia questo punto di lavoro, allora anche la corrente si trovi più o meno a metà della corrente che assumerebbe, per un punto di lavoro posto in corrispondenza della tensione di alimentazione; definendo dunque I_0 la corrente corrispondente a $V_{OP} = \frac{V_{AL}}{2}$ (dove V_{OP} sta per *tensione di punto di lavoro*, Operating Point), si può dire che il punto di lavoro sia:

$$\left(\frac{V_{AL}}{2}; I_0\right)$$

Introducendo dunque una tensione alternata in ingresso, come ad esempio in modo sinusoidale, si avrà sostanzialmente una variazione di tensione

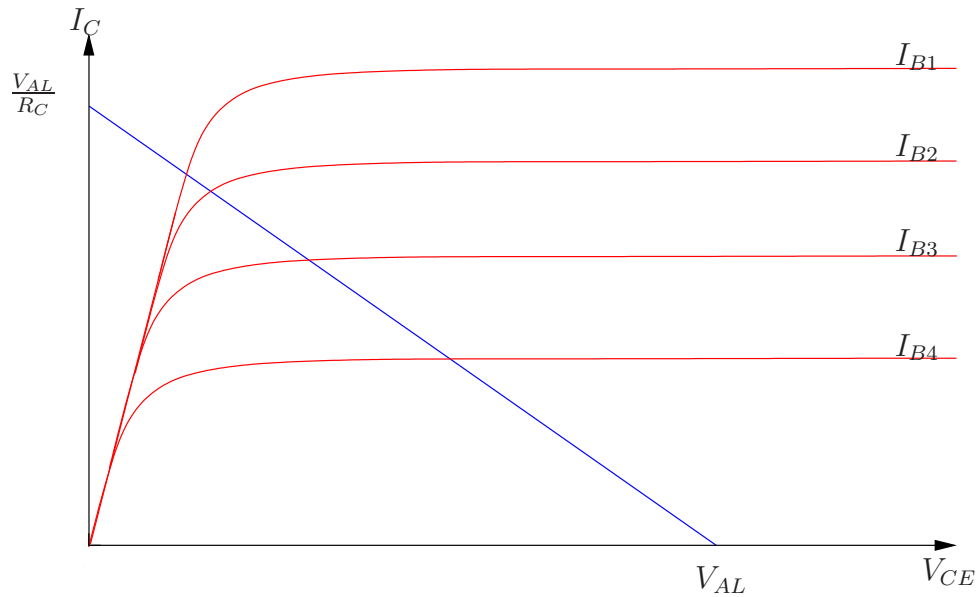


Figura 1.27: Transcaratteristica del BJT con carico lineare.

sovrapposta al punto di lavoro. La scelta di avere un punto di lavoro situato a metà tra la massima tensione ottenibile e il riferimento di tensione è molto felice in quanto, in questo modo, si massimizza la dinamica di ingresso per quanto riguarda i segnali a valor medio nullo: in questo modo è possibile, in egual maniera, amplificare segnali positivi o negativi rispetto al valore nullo (come una sinusoide). Naturalmente, rispetto a I_0 , il segnale di corrente deve essere piccolo: se non fosse così, la sinusoide avrebbe un'ampiezza eccessiva, e si andrebbe a modificare la polarizzazione del circuito, facendo uscire il circuito, temporaneamente, dallo stato di linearità (verso uno stato di saturazione); d'altra parte, I_0 non deve neanche assumere valori eccessivamente bassi, altrimenti si manderebbe il circuito in stato di interdizione, facendolo nuovamente uscire dallo stato di linearità. Ciò ci porta a intuire un fatto: il segnale deve sempre rispettare la polarizzazione, e quindi non andare mai al di sopra o al di sotto di essa (e possibilmente neanche prossimo ad esso!!!).

Come si può intuire, il miglior punto di lavoro è quello che noi abbiamo scelto, poichè, per i segnali a media nulla, permette la massima dinamica per i vari valori di fase assumibili dal segnale.

Calcoliamo a questo punto l'efficienza η dello stadio, definendola per la prima volta come:

$$\eta = \frac{P_L}{P_{AL}}$$

Dobbiamo dunque calcolare due parametri: la potenza sul carico, P_L , e di alimentazione, P_{AL} ; vediamo che:

$$P_{AL} = \frac{1}{T} \int_0^T V_{AL} \cdot I_C dt$$

Si ha che:

$$I_C = I_0 + I_p \sin(\omega t)$$

Dove I_0 è la corrente sul punto di lavoro, e il secondo termine è il segnale che varia rispetto al punto di lavoro; si avrà che:

$$P_{AL} = \frac{V_{AL}}{T} \int_0^T [I_0 + I_p \sin(\omega t)] dt = V_{AL} \cdot I_0 + V_{AL} \cdot I_p \cdot (-\cos(\omega t)|_0^T) = V_{AL} I_0$$

(sfruttando il fatto che un segnale sinusoidale, dunque a media nulla, integrato nel periodo vale 0).

Per quanto riguarda la potenza sul carico, P_L , si ha che:

$$\begin{aligned} P_L &= \frac{1}{T} \int_0^T I_p \sin(\omega t) \cdot I_p R_L \sin(\omega t) dt = \\ &= \frac{I_p^2 \cdot R_L}{T} \int_0^T \sin^2(\omega t) dt = \frac{T I_p^2 \cdot R_L}{2 T} = \\ &= \frac{I_p^2 \cdot R_L}{2} \end{aligned}$$

Dal momento che I_p è un valore di picco, si può calcolare il valore efficace ad esso corrispondente, come:

$$I_{eff} = \frac{I_p}{\sqrt{2}}$$

Quindi:

$$\eta = \frac{P_L}{P_{AL}} = \frac{\frac{I_p^2 \cdot R_L}{2}}{\frac{2V_{AL}}{V_{AL}}} = \frac{I_p^2}{4I_0^2}$$

Dal momento che al massimo $I_p = I_0$ (tirando al massimo l'ampiezza del segnale sinusoidale, senza sforare in termini di dinamica), si ha che:

$$\eta = \frac{1}{4} = 25\%$$

Ciò non è molto bello: per avere 100 W in uscita, ne abbiamo bisogno 400 in ingresso, e soprattutto se ne dissipano 300! Quello che si ottiene qua, più che un amplificatore, è una stufa!

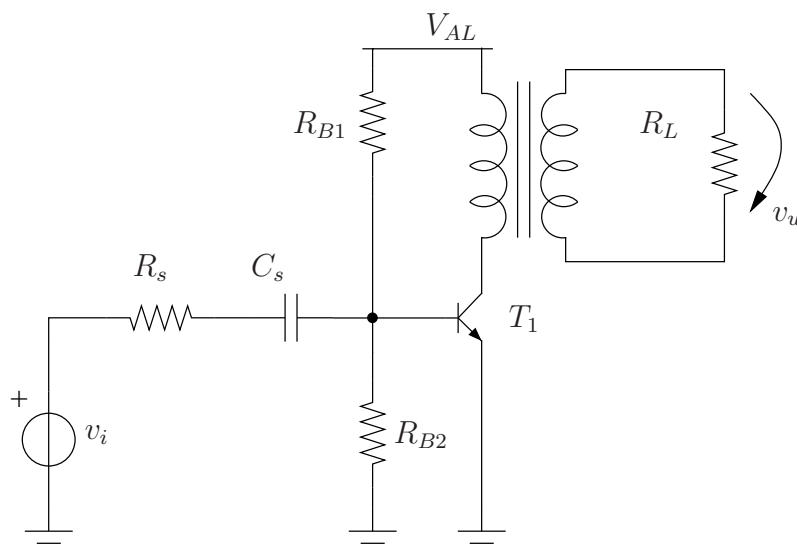


Figura 1.28: Variante dello stadio a emettitore comune che impiega un trasformatore.

1.6.2 Variante per stadi di potenza convenzionali

Abbiamo visto che il rendimento degli stadi di potenza convenzionali è a dir poco penoso: si parla di dissipare più potenza di quella fornita, ottenendo risultati assolutamente inutilizzabili in ambito di microelettronica. Quello che si può fare, su questo tipo di amplificatori, è utilizzare una piccola variante, che mostra come si potrebbe migliorare, con un piccolo accorgimento, questo tipo di circuiti.

Tenendo conto immediatamente dello svantaggio che questo schema porta, ossia l'introduzione di un polo a frequenza inferiore rispetto al precedente, notiamo un fatto: al posto del resistore di carico, si avrà questo trasformatore, che presenta un enorme vantaggio, sotto il punto di vista del rendimento: il precedente circuito, anche in assenza di segnali, ossia sul punto di riposo, presentava una notevole dissipazione di potenza *in continua*: sul resistore di carico vi era in ogni istante una caduta di tensione, e dunque una dissipazione, sotto forma di calore, di potenza media. Quello che si sa di un trasformatore reale è che, in continua, non funziona: l'induttore tende a caricarsi, e a non "far vedere" il secondario, in modo che (a meno che nei transistori), non si possa vedere il carico resistivo, dunque la corrente non fa cadere alcuna tensione (poichè scorre come su di un corto circuito). Dinamicamente, invece, l'induttore si comporterà da vero induttore, e il trasformatore farà il suo lavoro, mostrando il carico e quindi permettendo al circuito di lavorare

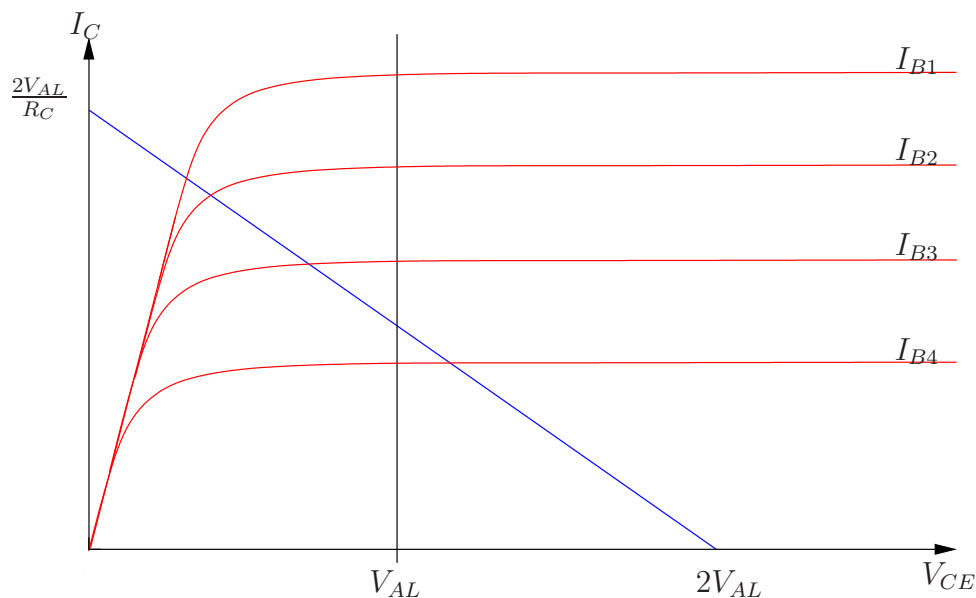


Figura 1.29: Transcaratteristica traslata nell'amplificatore con trasformatore.

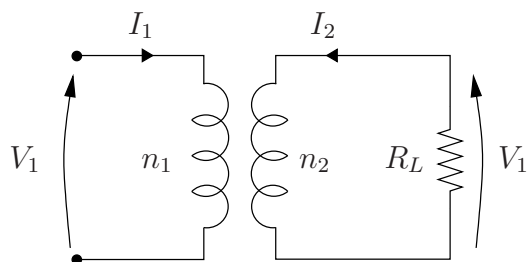


Figura 1.30: Trasformatore

normalmente, esattamente come prima. Quello che abbiamo fatto, in altre parole, è tagliare parte dei consumi dovuti alla componente continua del segnale, ossia al punto di lavoro del circuito. Il circuito, in altre parole, ora, avrà una caratteristica come in figura 1.29.

Nella transcaratteristica viene anche indicata l'iperbole di massima dissipazione del BJT (Safe Operating Area): questo perchè conviene, al fine di sfruttare al meglio le potenzialità dello stadio, utilizzare un punto di lavoro prossimo alla curva; contemporaneamente, al fine di massimizzare la dinamica di ingresso per quanto riguarda segnali a media nulla, conviene prendere "a metà altezza" il punto di lavoro; da qua, il punto qualitativamente selezionato nella caratteristica.

Sappiamo che il trasformatore ha un comportamento del genere:

$$V_2 = V_1 \cdot \frac{n_2}{n_1}; \quad I_2 = \frac{V_2}{R_L}; \quad I_1 = I_2 \frac{n_2}{n_1}$$

Da qui:

$$I_1 = \frac{n_2}{n_1} \cdot \frac{1}{R_L} \cdot \frac{n_2}{n_1} V_1$$

Quindi:

$$R_{eq} = \frac{V_1}{I_1} = \frac{V_1}{\left(\frac{n_2}{n_1}\right)^2 \frac{1}{R_L} V_1} = \frac{R_L}{\left(\frac{n_2}{n_1}\right)^2}$$

Supponiamo per semplicità che $n_1 = n_2$, in modo da vedere, in alternata, esattamente il carico R_L . Il fatto di avere la transcaratteristica precedentemente presentata, traslata, permette di spostare il punto di lavoro ottimale da $\frac{V_{AL}}{2}$ a V_{AL} ; poichè tuttavia la pendenza è sempre la stessa, con i criteri di similitudine dei triangoli è facilmente intuibile il fatto che la corrente massima sarà la doppia, rispetto alla precedente:

$$I_{max} = \frac{2V_{AL}}{R_C}$$

Dualmente, sarà quindi anche raddoppiata la tensione massima assumibile dal circuito, e sarà pari a $2V_{AL}$; ciò è possibile dal momento che il nucleo ferromagnetico e gli induttori costituenti il trasformatore sono “accumulatori di energia”, dunque è possibile ottenere, in un semiperiodo, una tensione superiore a quella di alimentazione, senza andare a fregare la termodinamica!.

Abbiamo quindi traslato in avanti il punto di lavoro, ma cosa ci cambia? Vediamo l'efficienza η :

$$\begin{aligned} \eta &= \frac{P_L}{P_{AL}} = \frac{\frac{V_{AL}}{\sqrt{2}} \cdot \frac{V_{AL}}{\sqrt{2}} \cdot R_L}{V_{AL} \cdot \frac{2V_{AL}}{2R_C}} = \\ &= \frac{1}{2} = 50\% \end{aligned}$$

Abbiamo quindi di fatto raddoppiato il massimo rendimento del circuito (considerando di usare la massima corrente possibile, e trascurando i vari effetti di perdita dell'induttore). Abbiamo dunque migliorato lo stadio di amplificazione classe A, al prezzo di introdurre un induttore, e dunque un elemento reattivo, che aumenta le costanti di tempo del circuito e dunque ne diminuisce la frequenza di taglio. Un trasformatore è inoltre un elemento brutto da introdurre in un sistema: è pesante, costoso, rumoroso (dal momento che, in questo caso, deve lavorare per frequenze anche basse). Il valore del

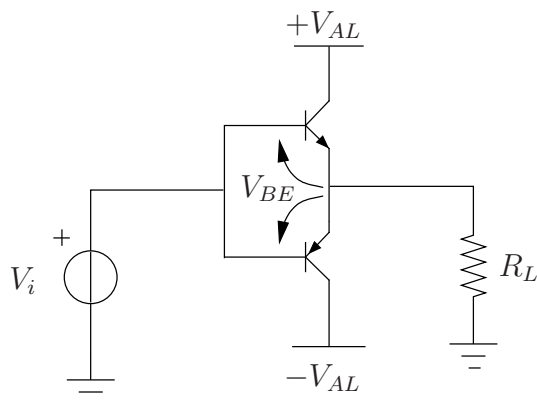


Figura 1.31: Schema di base di amplificatore di classe B.

rendimento inoltre non è costante nel tempo, ma dipende anche dal segnale utilizzato: solo quando l'ampiezza del segnale è massima, ossia $I_p = I_0$, si ha il rendimento calcolato (che rappresenta un *best case*, per quanto ridotto esso sia).

Gli amplificatori di classe A, ossia quelli che noi abbiamo appena descritto, dunque, sono caratterizzati dal fatto che la corrente di collettore del transistor non raggiunge mai lo zero durante tutto il periodo T.

Continuiamo ora la nostra “carrellata”, mostrando la seconda delle topologie più importanti per quanto riguarda gli stadi di potenza.

1.6.3 Amplificatori in classe B e AB

Il tipico schema di base di un amplificatore a simmetria complementare (la cui origine del nome sarà comprensibile osservando lo schema) è quello di figura 1.31.

Questo circuito rappresenta probabilmente il più tipico degli amplificatori di classe B (per quanto la classe comprenda anche altri tipi di topologie); il nostro obiettivo, ad ogni modo, è quello di migliorare il rendimento del precedente stadio di amplificazione, rendimento che lasciava alquanto a desiderare. L'idea alla base di questa topologia è la seguente: supponiamo di avere uno stadio di classe A, con però il punto di lavoro prossimo allo 0 V: si avrebbe una massima amplificazione per quanto riguarda segnali varianti in un intorno positivo dello 0, ma “taglio” (dovuto all'ingresso in zona di non linearità di funzionamento) per quanto riguarda segnali prossimi e inferiori allo 0. Volendo usare, al posto di un transistor npn, un pnp, si ottiene un risultato

del tutto duale, e dotato dei problemi di fatto “inversi”: amplificazione delle porzioni negative di segnali, ma taglio di quelle positive.

Cosa fa il circuito appena disegnato? Beh, semplicemente, prende dai due circuiti i pregi: quando il segnale di ingresso, V_i , è positivo, il transistor T_1 è in zona di conduzione, mentre il transistor T_2 è in zona di interdizione; dualmente, quando V_i è negativo, T_1 è interdetto, T_2 conduce. Questo tipo di sistema di amplificazione funziona *in classe B*, proprio perchè solo uno dei due transistori conduce, mentre l’altro rimane interdetto. Ognuno dei transistori si comporta di fatto come in uno stadio a collettore comune, e il risultato finale, dall’esterno, è quello di “vedere un solo emitter follower”: i due stadi, separati, si dividono i compiti, dal momento che uno si occupa del solo segnale positivo, l’altro del solo segnale negativo, riducendo notevolmente gli sprechi di corrente, dal momento che l’unica corrente richiesta dall’alimentazione è quella necessaria per pilotare il carico del sistema di amplificazione.

Le equazioni di funzionamento dei due sono le seguenti:

$$\begin{cases} V_{u,npn} = V_i - V_{BE} \\ V_{u,pnp} = V_i + V_{BE} \end{cases}$$

Le V_{BE} sono state al solito supposte uguali, pensando di trovarci su di un integrato. Finchè $V_i - V_{BE} > 0$, la tensione del segnale sarà sufficientemente alta da polarizzare il transistor; quando $V_i + V_{BE} < 0$, invece, si polarizzerà l’altro transistor!

Distorsione di Crossover: stadio di classe AB

Quello che abbiamo appena detto non è tanto bello: abbiamo appena mostrato il primo dei difetti di questo stadio di amplificazione, ossia il fatto che esso non funziona in ogni istante: la conduzione non avviene di fatto solo quando si ha il segnale appena maggiore o appena minore di 0 V, bensì quando è tale da polarizzare la giunzione base-emettitore di uno dei due transistori. La forma d’onda amplificata da uno stadio del genere dunque sarà simile a quella in figura 1.32.

Questo fenomeno è detto *distorsione di crossover*, e, come abbiamo descritto, dipende dal fatto che, per un certo range di ampiezze, i transistori non sono in condizioni di condurre, rimangono quindi interdetti e provocano una distorsione (apprezzabile) del segnale, non riproducendo di fatto una porzione di segnale.

Quelle che ci servirebbero, a questo punto, sarebbero due batterie, ma non è possibile introdurre ulteriori fonti di alimentazione in un circuito: servirebbero due utilizzatori che però simulino, in qualche modo il comportamento di una batteria. Uhm, ma... questa è la descrizione del modello

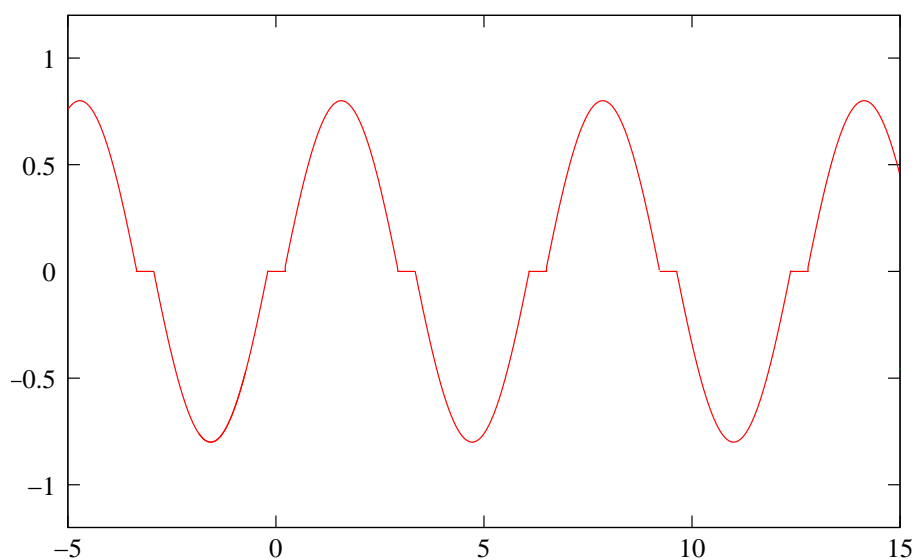


Figura 1.32: Distorsione di crossover sulla forma d'onda amplificata.

di un diodo! Di fatto, introducendo due diodi in serie sugli ingressi, polarizzandoli direttamente mediante due resistori, è possibile ottenere queste batterie-utilizzatrici!

Esistono diversi modi di polarizzare i diodi: una tecnica basilare è quella di utilizzare due semplici resistenze; altre, più elaborate, coinvolgono l'uso di circuiti a transistori di vario tipo. Il senso del discorso è semplicemente il fatto che i due diodi devono essere polarizzati, in modo da compensare, con le loro V_γ , le zone di interdizione dei transistori.

La variante appena introdotta rappresenta di fatto uno stravolgimento dello stadio di amplificazione, tant'è che esso non è più nemmeno catalogabile come stadio di classe B, dal momento che, in alcuni istanti di tempo (o meglio, per alcuni valori di ampiezze dei segnali, nella fattispecie in un intorno dello zero), entrambi i transistori si trovano di fatto in stato di conduzione; il fatto che tuttavia questo sia solo uno stato "breve", tuttavia, ha influenzato la nascita di un nome differente per questo tipo di topologia, detto anche appartenente alla *classe AB*.

Protezione dalla deriva termica

I problemi sono terminati qui? Ovviamente no! L'introduzione dei diodi ha sicuramente eliminato il problema del crossover, ma di fatto ce ne han creati altri: il fatto che sui transistori sia sempre presente una minima caduta di tensione, dovuta alla presenza dei diodi, di fatto introduce una corrente sem-

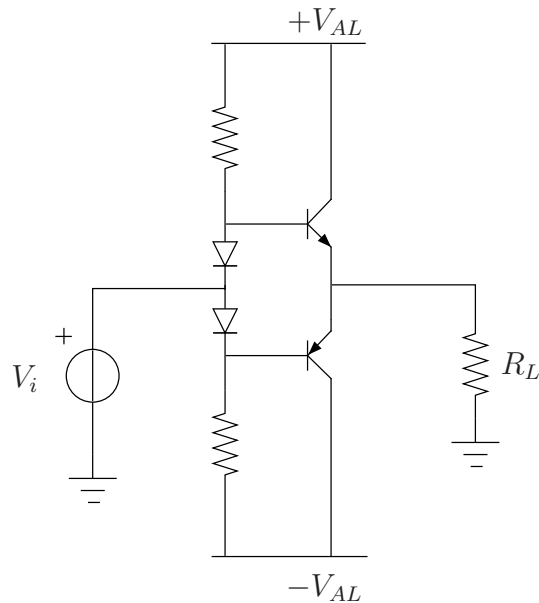


Figura 1.33: Realizzazione pratica dell'amplificatore di classe AB.

pre presente nel circuito, che dunque è traducibile in termini di “consumo” e “surriscaldamento”.

Un altro problema del circuito è il fatto che, a questo punto, la corrente sui BJT dipende dalla tensione ai loro capi, ma essa dipende da V_γ , e V_γ dipende violentemente dalla temperatura; in altre parole, la tensione di compensazione alla distorsione di crossover, ha una dipendenza dalla differenza di temperatura tra gli stadi di ingresso e quelli di uscita.

La soluzione a problemi di questo genere è piuttosto semplice da realizzare (fig ??).

L'unica differenza dallo stato precedente è rappresentata, di fatto, dalle resistenze presenti sugli emettitori dei transistori bipolari. Queste resistenze presentano diverse proprietà, disposte mediante questa topologia, proprietà che si intende ora presentare:

- Introducendo le resistenze in questione, si protegge il circuito dalle eventuali derive termiche dei diodi, nel seguente modo: quando una deriva termica aumenta di troppo V_γ , accade che le V_{BE} dei transistori aumentano di conseguenza, e con esse la corrente che scorre nei transistori, e la relativa potenza dissipata. Le resistenze, di fatto, “contropolarizzano” i BJT: dal momento che scorre su di esse una corrente troppo elevata per i nostri gusti, cade su di loro una tensione che fa aumentare la tensione di emettitore, abbassando di fatto le tensioni $V_{CE,1}$ e $V_{CE,2}$, ma

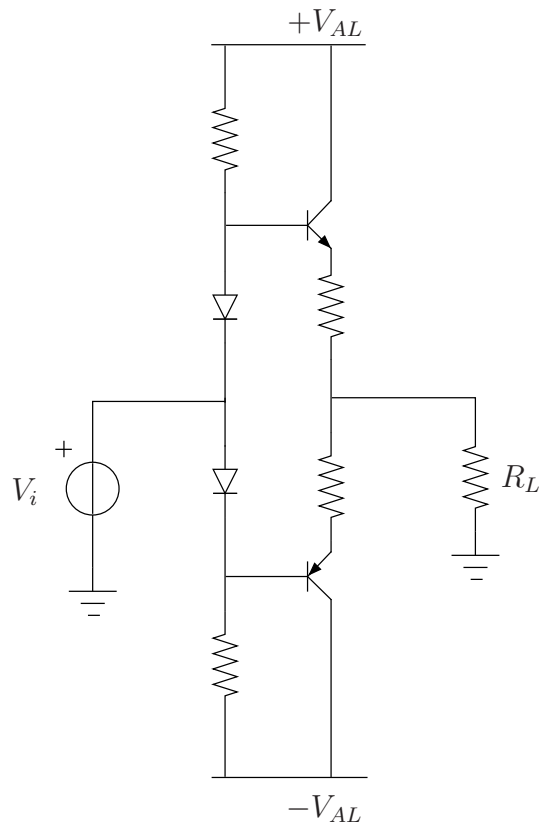


Figura 1.34

quindi riducendo il punto di lavoro e così riducendo anche la corrente che scorre;

- Per lo stesso motivo, si limita il consumo del circuito: dal momento che una caduta di tensione sulla resistenza riduce la tensione polarizzazione di uno dei BJT (quello che dovrebbe essere interdetto), si avrà una minore conduzione su di esso, dunque un risparmio di potenza da parte dell'alimentazione;
- Per lo stesso motivo, le resistenze forniscono una prima protezione per quanto riguarda le sovracorrenti sui BJT: una corrente eccessiva sulle resistenze, causata da una sovracorrente sull'emettitore di uno dei BJT, fa cadere una tensione in grado di limitare nuovamente la V_{BE} , e dunque ridurre la corrente stessa; questo meccanismo non è assolutamente una soluzione definitiva per quanto riguarda il problema delle sovracorrenti, ma di sicuro è un "buon inizio"!

- Proprietà negativa, purtroppo, è il fatto che queste resistenze sono resistenze, e dunque in quanto tali aumentano l'impedenza di uscita dello stadio di amplificazione; inoltre, la loro presenza, o meglio la caduta di tensione ai loro capi, provoca un abbassamento della dinamica di uscita dello stadio di amplificazione; dal momento che esse sono comunque così utili, non è assolutamente possibile eliminarle, per ottenere un buon risultato finale nel progetto di uno stadio di amplificazione, anche se esse andranno, sicuramente, dimensionate in modo da essere molto, molto piccole.

Protezione dai corto-circuiti

Abbiamo già introdotto una primordiale protezione dai corto-circuiti, ossia dalle eccessive correnti sui transistori bipolari costituenti il cuore dello stadio di amplificazione. Quella che potrebbe essere tuttavia necessaria, è una protezione ben superiore rispetto alla attuale: dal momento che l'uscita di uno stadio di amplificazione di potenza potrebbe essere accessibile anche ad un utente "sprovvisto", o dal momento che comunque è sempre bene prevedere guasti "sciocchi", bisogna prevedere il fatto che lo stadio abbia situazioni di carico spiacevoli, come ad esempio un corto circuito. Caricando uno stadio di potenza su di un corto circuito, gli si richiede la massima corrente possibile, e dunque la massima potenza possibile; quello che capita, dunque, è che il circuito tenta di fornirla, prelevando una grossa potenza dall'alimentazione, ma bruciando uno dei componenti attivi (nella fattispecie, non si brucia il silicio o comunque il core dei dispositivi, bensì i fili che collegano il core ai piedini esterni; il danno resta comunque irreparabile). Le resistenze sugli emettitori parzialmente sono in grado di attenuare fenomeni di sovracorrente, ma assolutamente non sono in grado di fornire una protezione ad un carico in corto circuito.

Quella che si utilizza, in questi casi, è una forma di protezione *attiva*, ossia basata sull'uso di componenti attivi come protezioni per eventuali corto circuiti. Questa protezione, sostanzialmente, deve continuare a "diagnosticare" lo stato dell'uscita, in modo da fornire una sorta di segnale di comando in grado di stabilire se continuare a pilotare l'amplificatore o stopparlo. Ciò che si può fare, nella fattispecie, è una sorta di misura della corrente che scorre negli elementi attivi dello stadio di potenza: imponendo in qualche modo una soglia di corrente, ed un sistema in grado di inibire l'ingresso in presenza di stati patologici di carico, è possibile realizzare un sistema di protezione da carichi scomodi quali i corto circuiti.

Una topologia finalizzata a realizzare questo tipo di protezione, è la seguente:

Basandosi ancora sulle ormai eroiche resistenze sugli emettitori, si collegano i transistori con questo modo, seguendo questo ragionamento: le resistenze (piccole) devono essere dimensionate in modo da avere una certa caduta di *tensione critica*, per una certa corrente (ritenuta scomoda dal progettista). Quando scorre una corrente tale da far cadere la tensione critica, i transistori di protezione appena inseriti vengono polarizzati, dal momento che la giunzione base-emettitore risulta essere in parallelo alle resistenze sugli emettitori dei transistori costituenti il cuore dello stadio di alimentazione, ma dunque, essendo in conduzione le protezioni, parte della corrente verrà assorbita dai transistori di protezione, tolta dai transistori fondamentali (In un sistema che deve gestire grosse correnti come questo, i transistori “fondamentali” (T_1 e T_2) devono essere BJT *di potenza*, ossia BJT progettati in modo da avere grosse correnti ai loro capi senza subire danni; dal momento che invece le protezioni servono esclusivamente a togliere parte della corrente, si può supporre (senza avere la certezza) che transistori normali (*di segnale*) possano essere ottimi per questo scopo, e quindi si preverranno i problemi di sovrariscaldamento degli elementi attivi del circuito. Il dimensionamento di queste resistenze può essere effettuato studiando i datasheet dei vari transistori.

1.7 Amplificatore Operazionale - Reprise

Conoscendo la struttura di base dell’amplificatore operazionale, e avendo studiato le principali topologie di stadi di potenza, è possibile perfezionare lo schema di un amplificatore operazionale, introducendo in uscita uno stadio in classe AB (fig. 1.35).

Con questo stadio finale abbiamo migliorato l’uscita del nostro amplificatore operazionale; si ricordi comunque che, nei datasheet, si troveranno sicuramente schemi più complicati di quello appena mostrato: esistono notevoli complicazioni che ora noi non tratteremo, o tratteremo in seguito.

Questo schema, per quanto semplificato, è stato presentato per un obiettivo particolare: capire da dove derivano le limitazioni finora affrontate, e altre limitazioni che non è stato possibile notare, per quanto riguarda il progetto di sistemi basati sull’amplificatore operazionale. Sappiamo che, in un amplificatore operazionale ideale, le correnti entranti nei morsetti di ingresso (che abbiamo scoperto essere costituiti dalle basi di due BJT disposti in modo da formare uno stadio differenziale) non possono sicuramente essere nulle: se fossero nulle, infatti, i BJT non avrebbero una corrente di pilotaggio, dunque non sarebbero polarizzati, e l’amplificatore non potrebbe funzionare in stato di linearità!

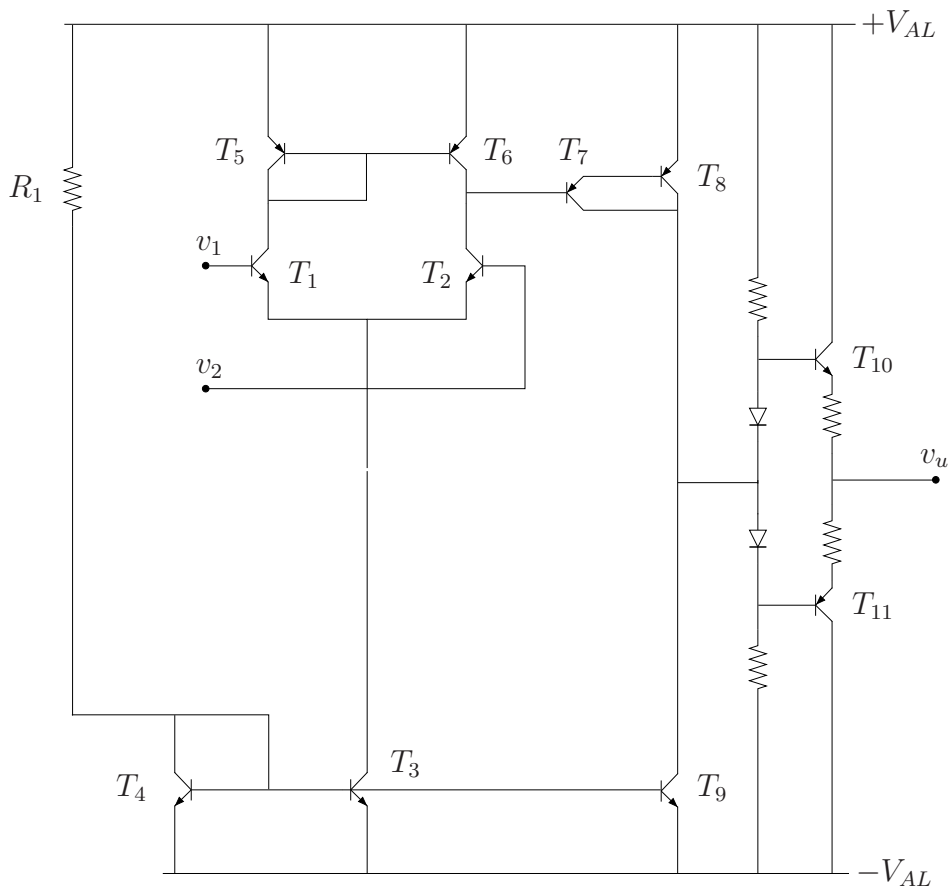


Figura 1.35: Schema circuitale di un amplificatore operazionale con amplificatore di potenza di classe AB.

La cosa fondamentale è che esista un percorso tra l'ingresso, ed un punto collegato al potenziale di riferimento del sistema; ciò ci fa intuire un fatto: non devono assolutamente esserci capacità di disaccoppiamento per la continua sugli ingressi di un amplificatore operazionale, poichè, se non entrasse più continua nel sistema, il dispositivo uscirebbe dallo stato lineare; al più, se proprio necessario, è possibile utilizzare una topologia come in figura 1.36.

In questo modo la resistenza in parallelo ha una corrente, che permette di polarizzare la base dei transistori.

1.7.1 Presenza di Offset

Riguardo l'uso in continua (DC) dell'operazionale, esistono sostanzialmente due tipi di imperfezioni, che ora discuteremo:

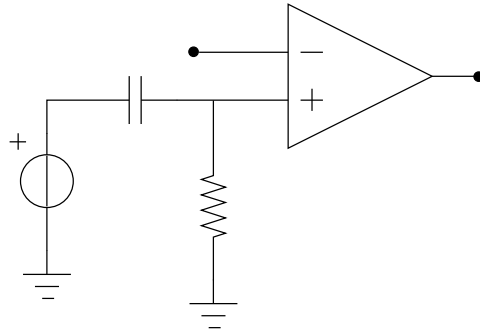


Figura 1.36: Schema del collegamento di *pseudo-disaccoppiamento*.

- Una tensione di offset: lo stadio differenziale di ingresso presenta asimmetrie “intrinseche”, dunque, idealmente misurando (volendo, anche con un simulatore circuitale quale PSpice) il circuito da noi presentato, vi sarebbe sicuramente una piccola asimmetria. Per compensarla, è necessario introdurre una piccola tensione in serie alla resistenza differenziale r_d , in modo da compensare gli effetti di offset, e quindi portando v_d a 0 V in stato di non eccitazione esterna;
- Due correnti di offset: come già detto, per polarizzare un dispositivo è necessario introdurre delle correnti di bias, ossia di alimentazione, dette I_b ; il motivo, come sempre, è dislocato nello stadio differenziale: minime asimmetrie comportano l'introduzione di offset negli input; poichè abbiamo due rami dovremo introdurre, per correggere, due correnti di offset in contrapposizione a quelle presenti, al fine di regolare gli ingressi di polarizzazione (in continua).

1.7.2 Dinamica di ingresso di modo comune

Abbiamo già parlato del fatto che, con un carico puramente resistivo per i collettori dei BJT costituenti lo stadio differenziale, al fine di aumentare la dinamica di modo comune, ossia il campo di valori nel quale può variare l'ampiezza di un segnale di modo comune (applicato ad entrambi gli ingressi contemporaneamente) senza che intervengano fenomeni di non linearità, sarebbe necessario modificare il guadagno differenziale (cosa non molto semplice/piacevole). Abbiamo visto che una soluzione è quella di introdurre uno specchio di corrente, ossia un generatore quasi ideale di corrente, in modo da ridurre notevolmente il peso di questo problema.

Quello che ora ci proponiamo di fare è quantificare la dinamica di ingresso di modo comune; per far ciò, introduciamo un segnale di modo comune, V_C ,

nel circuito, la cui ampiezza è da noi regolabile. La domanda che ci poniamo a questo punto è: quanto valgono $V_{C,max}$ e $V_{C,min}$? Qual è ossia questo famoso range di valori assumibili?

Per quanto riguarda $V_{C,max}$, bisogna semplicemente confrontare la tensione di base della coppia differenziale con le tensioni di collettore: uno stadio di amplificazione funziona se e solo se il transistor funziona in zona lineare, ossia se la giunzione base-emettitore è polarizzata direttamente, e quella base-collettore inversamente. Considerando come caso limite di funzionamento (per convenzione) il caso $V_B = V_C$, ossia base e collettore allo stesso potenziale, qual è la massima tensione del collettore di T_1 ?

Passando da T_7 , sull'ormai classico schema dell'operazionale (fig. 1.24), si vede che:

$$V_{C1} = V_{AL} - V_{BE7}$$

Per quanto riguarda invece T_2 , passando dal Darlington, si vede che:

$$V_{C2} = V_{AL} - 2V_{BE}$$

La minore delle due tensioni è sicuramente la V_{C2} : considerando al solito di trovarci in un integrato, si può immaginare che le V_{BE} siano tutte uguali; quando il primo dei transistori smette di funzionare, tutto il sistema va fuori linearità; la massima tensione di modo comune, dunque, sarà:

$$V_{C,max} = V_{AL} - 2V_{BE}$$

E per quanto riguarda l'altro bound della dinamica, cioè il minimo? Beh vediamo che la base del transistor 3 ha come tensione:

$$V_{B3} = -V_{AL} + V_{BE}$$

La tensione del punto "A", ossia del punto congiungente gli emettitori dei due transistori della coppia differenziale, sarà pari a:

$$V_A = V_C - V_{BE}$$

Perché il sistema funzioni, supponendo che la tensione di collettore sia, nel punto limite, pari a quella di base, V_A , si ha che:

$$V_A > -V_{AL} + V_{BE}$$

Da qua:

$$V_C - V_{BE} > -V_{AL} + V_{BE} \longrightarrow V_C > -V_{AL} + 2V_{BE}$$

Quindi:

$$V_{C,min} = -V_{AL} + 2V_{BE}$$

1.7.3 Dinamica di uscita

Per quanto riguarda la dinamica di uscita, i limiti principali sono quelli posti dallo stadio di uscita, ossia dallo stadio di amplificazione: i transistori T_{10} e T_{11} devono infatti condurre (chiaramente, uno per volta, trattandosi di uno stadio di classe AB); vi è una caduta di tensione sulla base di T_{10} , quindi T_6 deve essere acceso. La dinamica di uscita non potrà mai, per questo motivo, coincidere con l'alimentazione: le cadute di tensione per le accensioni dei transistori saranno necessarie (a meno di particolari dispositivi, quali gli amplificatori *rail-to-rail*).

1.7.4 Impedenze di ingresso

In un modello completo di amplificatore operazionale, bisogna tenere conto del fatto che le impedenze di ingresso non siano assolutamente infinite, bensì abbiano un valore, per quanto elevato, finito. Parlando di resistenza di ingresso, si può pensare che sia presente una resistenza legata al fatto che un segnale di modo differenziale in realtà faccia entrare parte della propria corrente nell'amplificatore; questa informazione è in realtà completa solo a metà, dal momento che, in sostanza, le resistenze sono tre: una effettivamente detta *di modo differenziale*, che appare solo a segnali di modo differenziali, ed una *di modo comune* che appare esclusivamente per segnali di modo comune.

Esaminiamo almeno velocemente la derivazione di queste due impedenze.

Resistenze di modo differenziale

Dato un certo segnale di ingresso di modo differenziale, v_d , si può calcolare la resistenza di ingresso di modo differenziale, definendola come il rapporto tra la il segnale v_d e la corrente entrante nell'amplificatore causata dal modo differenziale, i_d :

$$r_{id} = \frac{v_d}{i_d}$$

Dal momento che si introduce un segnale di modo differenziale v_d , possiamo supporre che metà del segnale entri in un transistor, metà nell'altro; per ogni morsetto, dunque, si avrà un segnale pari a $\frac{v_d}{2}$; dal momento che

ciascuna metà del segnale di modo differenziale vede, entrando, un'impedenza pari a quella di ingresso nella base di un transistor bipolare polarizzato direttamente (e quindi in regione RAD, lineare), si avrà che:

$$i_d = \frac{v_d}{2} \cdot \frac{1}{h_{ie}}$$

Dove h_{ie} è un parametro ibrido, che indica l'impedenza di ingresso vista dalla base di un transistor bipolare. In termini di parametri "moderni", si può presentare come:

$$h_{ie} = r_{bb'} + (\beta + 1)R_E$$

Dove R_E è la resistenza presente sull'emettitore del BJT in questione, e $r_{bb'}$ è la resistenza di base dovuta al semiconduttore costituente il transistor; β è il guadagno in corrente del transistor; in totale, dunque, si ha che:

$$r_{id} = \frac{v_d}{i_d} = 2h_{ie}$$

Resistenze di modo comune

Per quanto riguarda il modo comune, si può fare un discorso del tutto analogo, o quasi: ragionando sempre sullo stadio di ingresso del circuito, ossia sullo stadio differenziale, quello che si potrebbe fare è sviluppare i modelli dei due transistori costituenti lo stadio, e ottenere, a partire dal circuito iniziale, un equivalente con un solo transistor, dai parametri modificati.

Si può anche dimostrare con conti relativamente semplici che la resistenza di modo comune si possa semplicemente ricondurre, dato un segnale di modo comune in ingresso, V_C , alla seguente espressione:

$$r_{ic} = \frac{v_c}{i_c} = h_{ie} + r_o(1 + \beta) \sim r_o(1 + \beta)$$

Dal momento che questa è l'impedenza in ingresso ad un circuito equivalente, è possibile "ri-sdoppiare" il risultato, considerando il seguente fatto: abbiamo considerato, per quanto riguarda la coppia differenziale, la topologia dei due transistori in una sorta di "parallelo" di BJT. Essendo i BJT in parallelo, anche le loro resistenze di modo comune lo saranno, ma quindi, se il parallelo di due resistenze uguali deve fornire il risultato appena trovato, si può pensare che ciascuna delle due resistenze di modo comune (uguali) sia pari al doppio della resistenza appena trovata:

$$2r_{ic} \oplus 2r_{ic} = r_{ic}$$

Per questo, il modello così trovato sarà basato sull'uso di due resistenze pari al doppio di quella ricavata. Dal momento che queste resistenze sono molto, molto elevate, esse sono sostanzialmente tendenti ad infinito rispetto a quella di modo differenziale, dunque si può evitare di tenerle in conto anche per quanto riguarda conti necessitanti una certa precisione.

1.7.5 Modello equivalente dell'amplificatore operazionale

Per terminare lo studio in continua dell'amplificatore operazionale, si vuole a questo punto presentare brevemente un modello semplificato, in grado di determinare (in maniera del tutto approssimativa) il guadagno complessivo del circuito.

Si ha che:

$$A_d = \frac{V_u}{v_d}$$

Inoltre:

$$v_2 = r_{i2} \cdot g_{m1} \cdot v_d$$

Si può dunque ri-esprimere V_u come:

$$v_3 = r_{i3} \cdot g_{m2} \cdot v_2$$

Quindi, l'approssimazione del guadagno, sarà:

$$V_u = r_{i2} \cdot r_{i3} \cdot g_{m1} \cdot g_{m2} \cdot v_d$$

Questo modello può tornare dunque utile per avere una stima, per quanto approssimativa, del guadagno complessivo del circuito.

1.8 Applicazione: Progetto di un amplificatore non invertente

Dati i modelli finora affrontati, vogliamo provare a progettare (o a studiare le tecniche di progetto), mediante l'uso di un amplificatore operazionale reale, un circuito in grado di guadagnare (ad esempio) 10; nel dettaglio, vengono fornite le seguenti specifiche:

- Guadagno in tensione: 10;
- Amplificatore operazionale LM741;

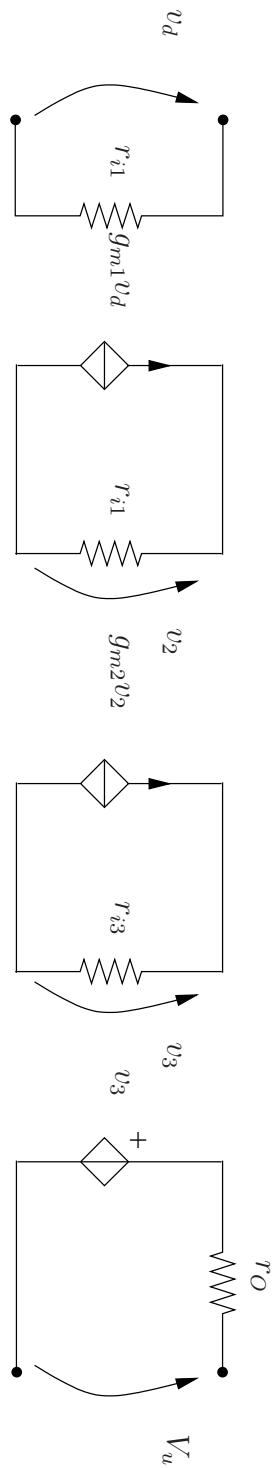


Figura 1.37: Modello semplificato dell'amplificatore operazionale.

- $V_u = \pm 10 \text{ V}$

Come si procede? Il primo passo è chiederci se le specifiche siano sensate: prendiamo dunque il datasheet del LM741, e studiamo la sezione *maximum ratings*, ossia le grandezze considerate “sicure” per l’operatività del componente. Se l’amplificatore operazionale è alimentabile (ad esempio) con $\pm 18 \text{ V}$, esso NON deve superare assolutamente questo valore di alimentazione, pena la distruzione fisica del dispositivo.

Una volta sfogliata la sezione *absolute maximum ratings* in cerca dei parametri critici dell’operazionale, consultiamo la sezione *large signal voltage swing*: studio della dinamica per ampi segnali. Si può vedere che:

- Se $R_L \geq 10 \text{ k}\Omega$, $V_{min} = 12 \text{ V}$, $V_{typ} = 14 \text{ V}$
- Se $R_L \geq 2 \text{ k}\Omega$, $V_{min} = 10 \text{ V}$, $V_{typ} = 13 \text{ V}$

Cosa significa ciò? Di solito un buon progettista lavora sul *worst case*, ossia sui valori minimi: si cerca di garantire specifiche minime, per eventualmente offrirne di migliori, a costo di realizzare un dispositivo più costoso. Si cerca inoltre di avere un certo margine, un certo *D-rating*, ossia “una garanzia sulla garanzia”: un margine di errore sulla garanzia minima.

Considerando un carico pari a $2 \text{ k}\Omega$, avremo che:

$$R_L = 2 \text{ k}\Omega; \quad V = 10 \text{ V}; \quad I_{MAX} = \frac{V}{R_L} = 5 \text{ mA}$$

Bisognerà dunque limitare le richieste di corrente in uscita a 5 mA ; in questo modo, si otterrà una dinamica di uscita pari a 10 V . Volendo una dinamica maggiore, ad esempio 12 V , dovremo usare il carico da $10 \text{ k}\Omega$, e dunque:

$$R_L = 10 \text{ k}\Omega; \quad V = 12 \text{ V}; \quad I_{MAX} = \frac{V}{R_L} = 1,2 \text{ mA}$$

Sarà necessario limitare le correnti di uscita a $1,2 \text{ mA}$.

Incominciamo a parlare del circuito; il punto chiave è il dimensionamento del resistore R_2 (fig. ??).

Come sappiamo dai precedenti studi applicativi:

$$R_2 = 9 \cdot R_1$$

Altra cosa che sappiamo è il fatto che, a meno di una corrente di polarizzazione e di una di offset, nell’operazionale non entrerà nulla; possiamo dunque determinare i parametri di feedback, quantificando la corrente di feedback, I_F , come:

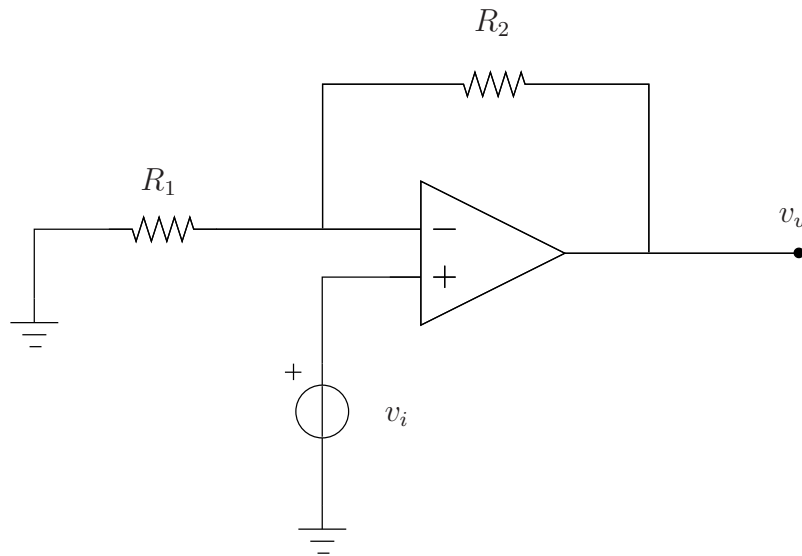


Figura 1.38: Schema dell'amplificatore invertente.

$$I_F = \frac{V_u}{R_1 + R_2} = \frac{V_u}{R_2 \cdot \frac{10}{9}}$$

Ora, stabilendo quanta corrente va nel feedback, possiamo dare dei limiti a R_2 . Supponiamo di avere un'uscita massima pari a 10 V: l'uscita dell'operazionale sarà di 5 mA. Conviene attribuire a I_F tutta questa corrente? Ovviamente no: se tutta la corrente andasse nella retroazione, l'uscita sarebbe pressochè nulla. Noi vogliamo che I_F sia molto minore di 5 mA, ossia almeno un ordine di grandezza in meno. Quando si parla di “molto maggiore” o “molto minore”, si deve sempre leggere “un ordine di grandezza in più o in meno”. In particolari applicazioni, di precisione, si usa aumentare o diminuire di due ordini di grandezza.

Dopo questa breve divagazione, torniamo ai calcoli:

$$I_F \ll 5 \text{ mA} \longrightarrow R_2 \cdot \frac{10}{9} \simeq R_2 \gg \frac{10 \text{ V}}{5 \cdot 10^{-3} \text{ A}} = 2 \text{ k}\Omega$$

Quindi:

$$R_2 \geq 20 \text{ k}\Omega$$

Quello che abbiamo appena trovato è un *lower bound*. Qual è il valore massimo? Al fine di trovare l'*upper bound*, possiamo provare a considerare ciò: il minimo valore di corrente nel feedback è limitato dai parametri parassiti

dell'operazionale, ossia dagli offset. Come intervengono gli offset sull'uscita del circuito? Il loro valore dipenderà da R_2 ? Vediamolo, in un modello dell'operazionale (fig. 1.39).

Consideriamo non ideali solo gli offset. I generatori di offset sono indipendenti tra loro, e dal segnale di ingresso. Dal momento che siamo interessati allo studio dell'uscita in funzione dei soli offset, possiamo non considerare temporaneamente il generatore di ingresso, ma solo i generatori modellizzanti gli offset. Utilizzando la linearità del circuito, dunque calcoliamo i singoli contributi dei tre offset, e sommiamoli sfruttando il principio di sovrapposizione degli effetti.

Offset di tensione

Consideriamo $A_d = \infty$, $v_d = 0$: per il principio di equivalenza (e per comodità) si può mettere V_{off} al posto del generatore di ingresso, “spostandolo dall'interno del triangolo” (fig. 1.40).

Il contributo dovuto all'offset di tensione, dunque, è semplicemente calcolabile come calcolo del guadagno di un amplificatore non invertente:

$$V_u|_{V_{off}} = V_{off} \cdot \left(1 + \frac{R_2}{R_1}\right)$$

Cosa ci dice ciò? La tensione di uscita varia solo con il guadagno del circuito (che sarà definito dalle specifiche, e quindi non si potrà modificare), ma non solo in funzione di R_2 ; il fatto che per ridurre gli offset si debba ridurre il guadagno, rende “intoccabile” la tensione di offset.

Corrente di offset *alta*

La corrente di offset “alta”, ossia sul ramo alto, da dove passa?

Beh, non sicuramente dentro r_{id} , in quanto essa è considerabile infinita; non dentro R_1 , dal momento che esso è compreso tra due 0 V: uno fisico e uno virtuale. Allora andrà tutta dentro R_2 , ottenendo quindi:

$$V_u|_{I_b + \frac{I_{off}}{2}} = R_2 \left(I_b + \frac{I_{off}}{2}\right)$$

Dove I_b è la nota *corrente di bias*.

Corrente di offset *bassa*

Per quanto riguarda l'ultima delle correnti di offset, nonché l'ultimo dei contributi di offset del circuito, possiamo immediatamente vedere ciò (fig. 1.42).

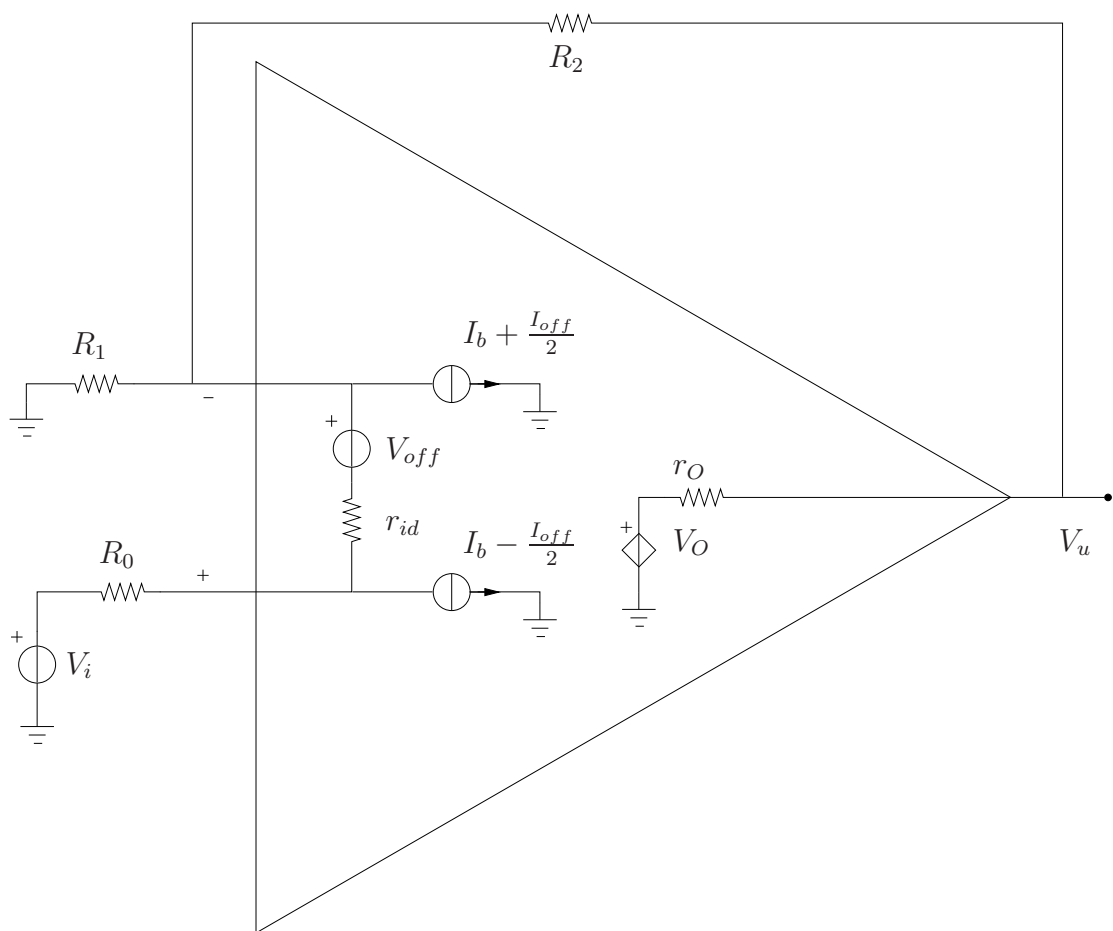


Figura 1.39: Modello circuitale completo dell'amplificatore operazionale.

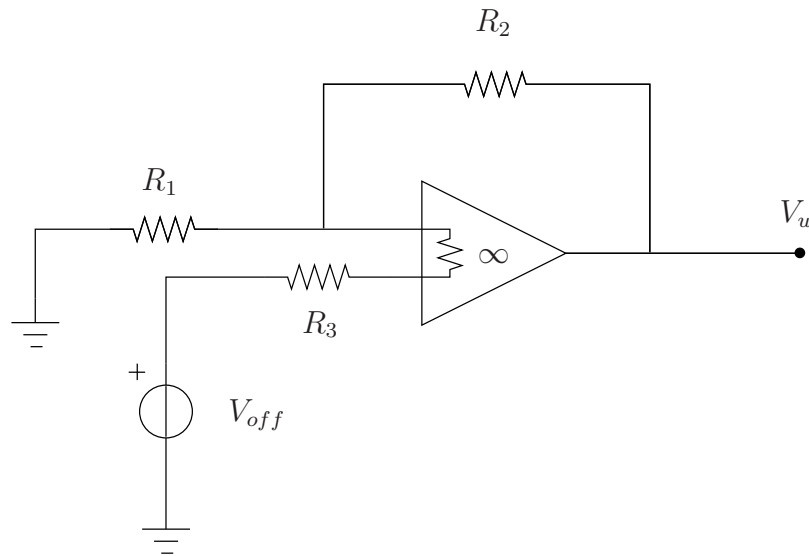


Figura 1.40: Spostamento della tensione di offset all'interno del modello dell'amplificatore operazionale.

La corrente di offset dovuta al “generatore basso” passerà tutta dentro il resistore R_3 : r_{id} non permette il passaggio di corrente, quindi R_1 e R_2 sono irraggiungibili. Dal momento che la corrente sul resistore R_3 provoca una caduta di tensione su di esso, il calcolo dell'uscita sarà ancora una volta riconducibile al calcolo del guadagno di un amplificatore non invertente:

$$V_u|_{I_b - \frac{I_{off}}{2}} = -R_3 \left(I_b - \frac{I_{off}}{2} \right) \left(1 + \frac{R_2}{R_1} \right)$$

Sovrapposizione degli effetti

Una volta trovati i valori dei singoli contributi, possiamo sfruttare la linearità del circuito e dire che:

$$V_u|_{offset} = V_{off} \cdot A_V + R_2 \left(I_b + \frac{I_{off}}{2} \right) - R_3 \left(I_b - \frac{I_{off}}{2} \right) \left(1 + \frac{R_2}{R_1} \right)$$

Ora si intuisce il motivo per cui abbiamo introdotto nel circuito la R_3 , **finora non utilizzata**: introducendo R_3 , abbiamo introdotto un altro grado di libertà nel circuito, grado che permette di essere sfruttato per diminuire le correnti di offset (dal momento che le tensioni sono intoccabili!). Ciò che si riesce fare, scegliendo un valore idoneo di R_3 , è dimensionare R_2 , minimizzando i termini di offset senza doverci troppo preoccupare di R_3 ! Nella

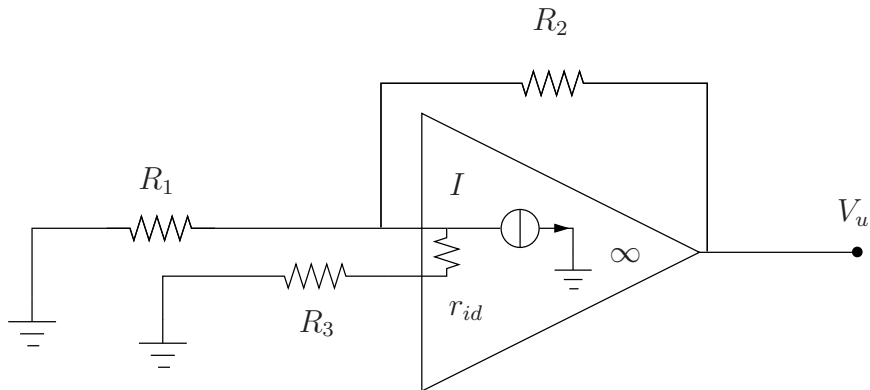


Figura 1.41: Cosa fa la prima corrente di offset ($I = I_b + \frac{I_{off}}{2}$)?

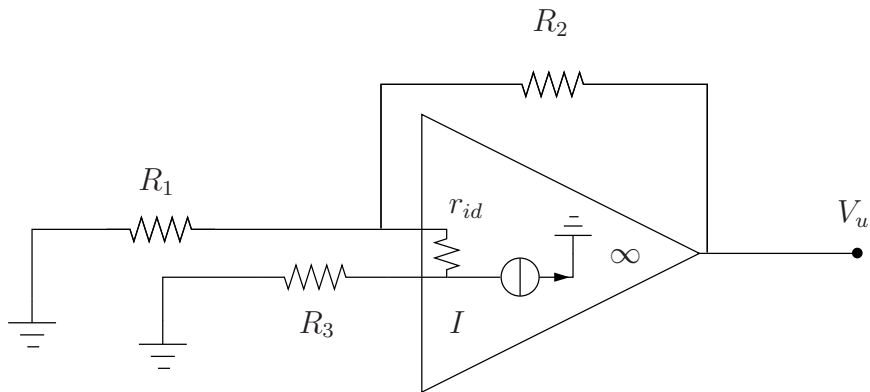


Figura 1.42: Che cosa fa la seconda corrente di offset ($I = I_b - \frac{I_{off}}{2}$)?

fattispecie, otteniamo la seguente relazione tra le resistenze imponendo che i contributi delle correnti di offset nell'equazione precedente si annullino a vicenda:

$$R_3 \left(1 - \frac{R_2}{R_1}\right) = R_2 \longrightarrow R_3 = \frac{R_1 R_2}{R_1 + R_2} = R_1 \oplus R_2$$

Se imponiamo quindi il fatto che R_3 sia uguale alla resistenza vista sull'altro morsetto dell'amplificatore, ovviamente considerati spenti i generatori, il contributo di I_b diviene nullo e si è minimizzata la corrente entrante nel circuito.

Ciò che si può fare a questo punto è selezionare R_2 , in modo che il secondo termine sia trascurabile rispetto al primo, ottenendo:

$$R_2 \ll \frac{V_{off} \cdot A_V}{I_{off}}$$

Da qui, leggendo sul datasheet e sulle specifiche:

$$R_2 \ll 10 \cdot \frac{6 \cdot 10^{-3}}{2 \cdot 10^{-7}} = 0,3 \text{ M}\Omega$$

Riducendo di un ordine di grandezza:

$$R_2 \leq 30 \text{ k}\Omega$$

Quindi, abbiamo trovato un bound per la resistenza: R_2 può essere maggiore di 20 k Ω , e minore di 30 k Ω !

Mediante questi conti abbiamo una strada di progetto per generici circuiti basati sull'amplificatore operazionale, ed una picciola nota: al fine di eliminare gli offset, le resistenze equivalenti viste dai due morsetti devono essere tendenzialmente simili!

1.9 Stabilità di un amplificatore operazionale

Finora abbiamo studiato il comportamento statico dell'amplificatore operazionale, non considerandone ancora un aspetto molto, molto importante: *l'analisi in frequenza*. Come abbiamo visto, lo schema interno di un amplificatore operazionale è molto complicato da analizzare, dunque, al momento di studiarlo, sarà necessario utilizzare metodi “furbi”, come quelli appena introdotti.

Come mai, nonostante la sezione parli di *stabilità*, ora si parla di analisi in frequenza? La ragione è la seguente: l'amplificatore operazionale è un dispositivo dotato di un certo numero di parametri parassiti, che, all'aumentare della frequenza, tendono a “risvegliarsi”. L'amplificatore operazionale, per come lo abbiamo finora visto, e praticamente in ogni suo uso, viene controreazionato, ossia viene utilizzato con l'applicazione di un blocco di reazione negativa, al fine di ottenere diversi tipi di sistemi elettronici. Dire che la reazione è negativa, coincide con il dire che lo sfasamento tra il segnale di ingresso e il segnale di feedback (di reazione) è, in condizioni fisiologiche, pari a 180°.

Dalla teoria dei sistemi, tuttavia, si possono avere alcune informazioni riguardo la fase di un sistema e la presenza di poli: in una rete a rotazione di fase minima (ossia i cui zeri sono, nel dominio di Laplace, tutti contenuti nel semipiano sinistro), accade che:

- Sulla pulsazione di un polo, ω_p , è avvenuta una rotazione di fase di 45° rispetto a una decade prima di esso;
- Una decade dopo la pulsazione ω_p , la rotazione di fase indotta dal polo viene ultimata, e raggiunge il livello 90°.

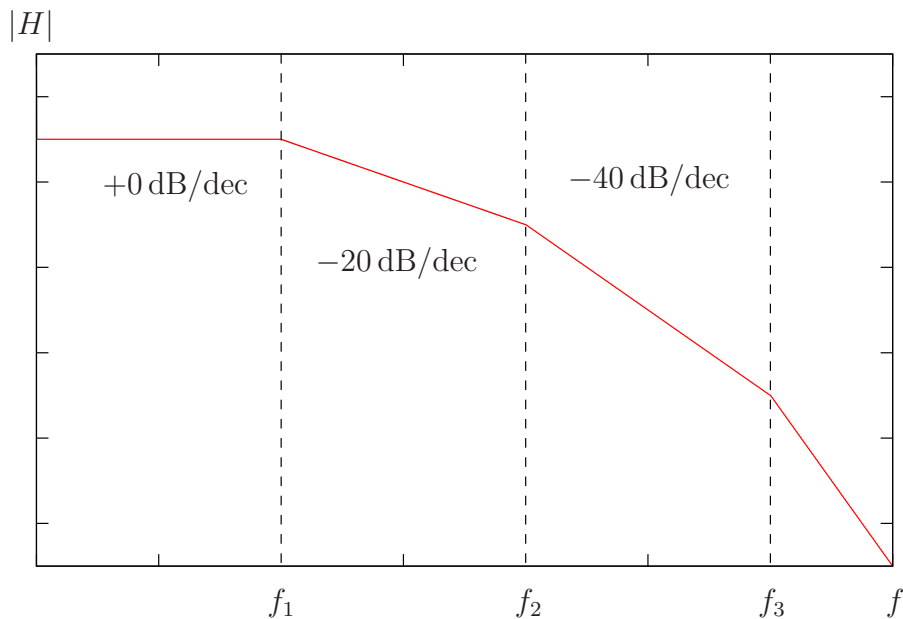


Figura 1.43: Diagramma di Bode di un amplificatore operazionale.

Ciò che invece si può evincere, studiando in modo approfondito i diversi stadi di un amplificatore operazionale, è il fatto che, solitamente, esso presenta tre poli, in cui il primo e il secondo sono sufficientemente distanti tra di loro (ben più di una decade, di solito). Il numero tre non è casuale perché sappiamo che, in un amplificatore operazionale, utilizziamo sostanzialmente tre stadi: uno di ingresso, uno di incremento tensione, e uno di incremento corrente (rispettivamente, stadio differenziale, Darlington, e di potenza). Ciascuno dei tre stadi presenta una determinata frequenza di *cut-off*, e dunque parametri parassiti; in questo modo, ogni stadio introdurrà reattanze, dunque poli, che renderanno il sistema instabile. Si sappia che, nella fattispecie, il primo dei poli naturali dell'amplificatore operazionale deriverà dal primo stadio di amplificazione: avendo esso impedenze molto elevate, le impedenze viste dalla costante di tempo saranno molto elevate, dunque la costante di tempo grossa, e la frequenza di taglio proporzionalmente bassa.

Come mai parliamo di instabilità? Beh, prima di spiegarlo, presentiamo il diagramma di Bode di un generico amplificatore operazionale (fig. 1.43).

A questo punto, uniamo le due cose: abbiamo mostrato una delle nozioni di teoria dei sistemi riguardo ai poli, e abbiamo detto che l'operazionale ne ha tre. Mischiando le due cose, possiamo notare la seguente: l'amplificatore operazionale viene sempre utilizzato con una controreazione, in grado di aumentare la dinamica di ingresso tale da permettere di usare in linearità l'am-

plificatore; la controreazione, come già detto, implica una rotazione di fase di 180° del segnale retroazionato rispetto a quello di ingresso; in seguito ad un polo, tuttavia, la rotazione di fase diminuisce la differenza di fase relativa tra ingresso e feedback: se in stato ottimale si ha 180° , alla pulsazione del primo polo, ω_{p1} si avranno $180^\circ - 45^\circ = 135^\circ$, una decade dopo la pulsazione del polo si avranno $180^\circ - 90^\circ = 90^\circ$, in prossimità del secondo polo, a ω_{p2} si avranno $180^\circ - 135^\circ = 45^\circ$, e una decade dopo $180^\circ - 180^\circ = 0^\circ$. Dire che tra il feedback e il segnale di ingresso c'è uno sfasamento di 0° è come dire che essi abbiano la stessa fase, e dunque si sommino: la reazione, ora, non è più negativa, in quanto i poli dell'amplificatore operazionale hanno indotto una rotazione di fase tale da cambiare le caratteristiche della controreazione.

Il fatto che la reazione al di sopra di una certa frequenza diventa positiva, implica il fatto che il segnale, una volta amplificato, torna indietro esattamente come è stato amplificato, si somma a quello in ingresso, ed in uscita ve ne sarà uno ancora più grosso; la reazione farà aumentare continuamente l'uscita finché l'amplificatore non entrerà in saturazione, uscendo dallo stato di linearità.

Quale sarà la nostra strategia, a questo punto? Ciò che intendiamo fare, mediante artifici circuitali di varia natura, è fare in modo che vi sia un margine di fase di almeno 45° . Ossia, prima che l'amplificatore “smetta di fare da amplificatore” a causa dei poli riducendo il proprio guadagno, vi sia comunque un margine di fase di 45° , nel senso che la rotazione di fase rispetto a quella iniziale sia solo pari a 135° , margine in grado di proteggere dall'arrivo della reazione positiva. Per realizzare ciò, si farà in modo da avere, in prossimità del punto dell'asse delle ascisse tale per cui le ordinate del diagramma di Bode sono su 0 dB (ossia guadagno unitario), la pulsazione del secondo polo dell'amplificatore operazionale, ω_{p2} .

Un modo di procedere sarebbe abbassare il guadagno di anello della curva, in modo da evitare l'arrivo della rotazione di fase in frequenze utili. Il problema è che diminuendo il guadagno di anello si diminuirebbero anche i benefici della retroazione, fondamentali per utilizzare in modo corretto l'amplificatore operazionale.

Sarà necessario sommare ulteriori capacità ai parametri parassiti del sistema al fine di modificare la posizione dei poli. Le strategie da seguire, di fatto, al fine di compensare l'amplificatore operazionale, saranno sostanzialmente due:

- Mediante capacità aggiuntive, si porta a frequenze più basse la posizione del primo polo (polo normalmente dominante) dell'operazionale;
- Mediante capacità aggiuntive, si introduce un ulteriore polo nel sistema,

tale da essere a frequenza molto bassa e divenire dunque il nuovo polo dominante.

Compensazione a polo dominante

Il metodo di compensazione a polo dominante consiste nell'aggiungere una capacità al sistema, compresa tra l'uscita del primo stadio di amplificazione (provocante il primo dei poli naturali del sistema) e il riferimento di tensione (0 V), in modo da aumentare la capacità del sistema di amplificazione, e abbassare la frequenza del primo polo.

Vediamo un modello circuitale dei primi due stadi di amplificazione (fig. 1.44).

La capacità C_1 modella il primo polo, ossia quello dello stadio differenziale: esso è modellizzato mediante un generatore pilotato di corrente, dalla transconduttanza pari a g_{m1} . A seconda del segnale differenziale v_d , il pilotato produrrà una corrente, che provocherà una caduta di tensione ai capi della resistenza R_1 ; all'aumentare della frequenza, tuttavia, la capacità parassita C_1 tende a "chiudersi", e quindi a modificare l'uscita dello stadio. Come abbiamo detto, il condensatore di compensazione deve essere introdotta in parallelo alla capacità parassita C_1 , ma c'è un problema non indifferente: dal momento che un buon progettista lavora sempre sul worst case, il caso sul quale conviene lavorare è la compensazione da *voltage follower*, ossia da circuito in cui il blocco di retroazione, β , è 1: guadagno di anello e guadagno differenziale coincidono. In tali situazioni, la capacità da introdurre nel sistema è da alcuni nF, ma, poichè un operazionale viene realizzato su circuiti integrati, la capacità da integrare sarà estremamente scomoda e grossa.

Ciò che ci viene incontro è, tuttavia, l'effetto Miller: volendo integrare la capacità si vuole che essa abbia un valore piccolo, tuttavia, la posizione ci è indifferente. Introducendo la capacità "a ponte" tra i due stadi, *floating*, anzichè collegandola direttamente in parallelo a C_1 , l'effetto Miller sull'ingresso amplifica notevolmente la capacità vista in parallelo a C_1 , ottenendo, con uno sforzo di integrazione minore, una capacità sufficientemente elevata (fig. 1.45).

Quella appena mostrata è una rete un po' particolare: in essa, infatti, è presente una maglia di condensatori, il che la rende degenera (meno poli di quanti siano gli elementi reattivi presenti nella rete); dal teorema di Miller, si sa che:

$$Z_{in} = Z_C \cdot \frac{1}{1 - K}$$

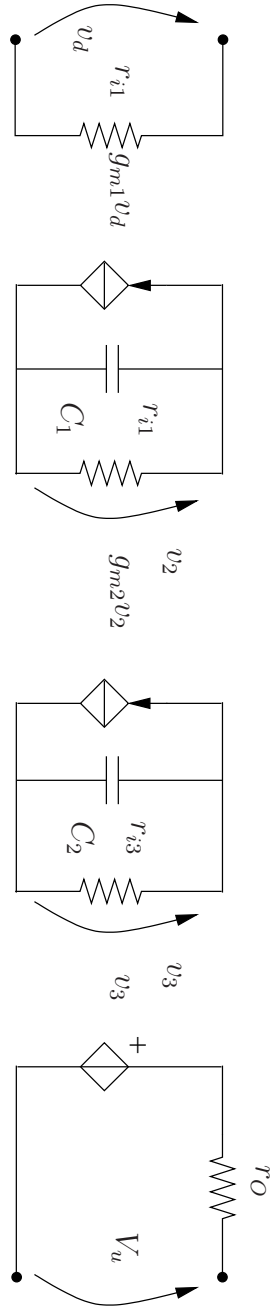


Figura 1.44: Modello semplificato dell'amplificatore operazionale con introduzione di un paio di capacità parassite.

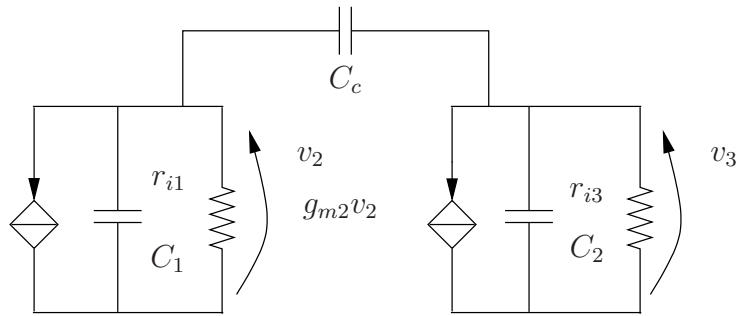


Figura 1.45: Modello semplificato dell'amplificatore operazionale con introduzione di un paio di capacità parassite.

$$Z_{out} = Z_C \cdot \frac{K}{K - 1}$$

In questo caso, K è il guadagno di un amplificatore invertente: quello del secondo stadio; dal momento che:

$$V_u = -g_{m2}R_2V_1$$

Si avrà che:

$$K = g_{m2}R_2$$

Essendo questo il guadagno, si avrà che la frequenza del primo polo sarà diminuita:

$$\omega_{p1} = -\frac{1}{R_2g_mCR_1}$$

Per quanto riguarda la frequenza del secondo polo, si può dimostrare, con la teoria delle reti elettriche, che il condensatore, "millerato", introduce uno zero nel semipiano destro del dominio di Laplace, zero che compensa gli effetti del secondo polo. Il condensatore C introduce di fatto uno zero di trasmissione nella funzione di trasferimento: ci sarà una frequenza tale per cui uscita e ingresso sono accoppiati direttamente:

$$\omega_{p2} = -g_{m2} \frac{C}{C(C_1 + C_2) + C_1C_2} \simeq -\frac{g_{m2}}{C_1 + C_2}$$

$$\omega_{z2} = \frac{g_{m2}}{C}$$

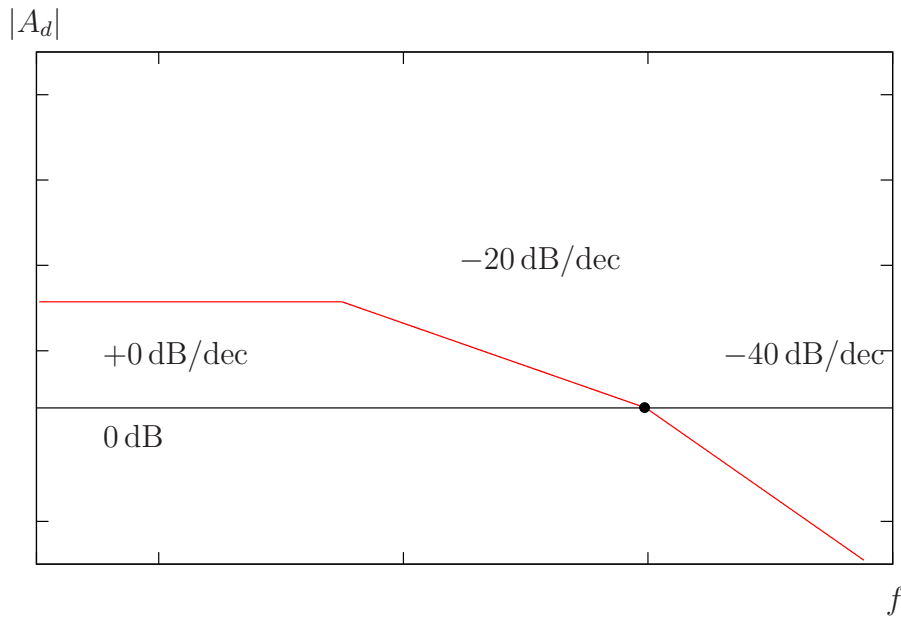


Figura 1.46: Andamento dell'amplificazione in funzione della frequenza.

Facendo ciò, di fatto si incrementa la frequenza del polo. Ciò che abbiamo ottenuto, è proprio ciò che volevamo ottenere: il *pole splitting*, ossia l'allontanamento dei poli, in modo da poter stabilire la posizione relativa dei vari poli tra loro mediante l'introduzione di elementi reattivi da parte nostra.

1.9.1 Prodotto banda-guadagno

Sappiamo che la funzione del guadagno differenziale in funzione della frequenza, in un sistema retroazionato, abbia un andamento come in figura 1.46.

Fino dunque al secondo polo, piazzato (in qualche maniera circuitale) sull'asse 0 dB, si ha un andamento del tipo:

$$A_d(f) = \frac{A_{d0}}{1 + j\frac{f}{f_0}}$$

Sapendo che la frequenza del secondo polo è posizionata sull'asse 0 dB, calcoliamola, cercando la frequenza di guadagno unitario: per frequenza di guadagno unitario, si intende quella f tale per cui l'espressione appena scritta vale uno:

$$1 = \frac{A_{d0}}{1 + j\frac{f}{f_0}} \longrightarrow f = j(1 - A_{d0})f_0$$

La frequenza per cui il guadagno è unitario, ossia è 0 dB, è detta *prodotto banda-guadagno*, ed è pari a:

$$f_{BW} = A_{d0} f_0$$

Questo, per un generico sistema; supponiamo ora di realizzare un amplificatore operativo non invertente:

$$\begin{aligned} A_V &= \frac{1}{\beta} \cdot \frac{1}{1 + \frac{1}{T}} = \frac{1}{\beta} \cdot \frac{1}{1 + \frac{1+j\frac{f}{f_0}}{\beta A_{d0}}} = \\ &= \frac{1}{\beta} \cdot \frac{\beta A_{d0}}{1 + \beta A_{d0} + j\frac{f}{f_0}} \simeq \\ &\simeq \frac{1}{\beta} \frac{\beta A_{d0}}{\beta A_{d0} \left(1 + j\frac{f}{\beta A_{d0} f_0}\right)} \simeq \frac{1}{\beta} \end{aligned}$$

Definendo la *frequenza di taglio* dell'amplificatore, f_T , come:

$$f_T = \beta f_{BW}$$

Si vede che la frequenza di taglio è sostanzialmente proporzionale alla frequenza di guadagno unitario e alla rete di retroazione. C'è però una cosa molto interessante da osservare: se ricordiamo l'espressione appena osservata:

$$A_V \simeq \frac{1}{\beta}$$

Cosa rivediamo qua?

$$f_T = \beta f_{BW} \longrightarrow f_T \frac{1}{\beta} = f_T A_V = f_{BW}$$

Cosa significa ciò? Se l'amplificatore ha un prodotto banda-guadagno ad esempio pari a 1 MHz, esso sarà costante e valido per qualsiasi guadagno dell'amplificatore!

1.9.2 Slew Rate

Abbiamo finora parlato del comportamento in frequenza dell'amplificatore operativo, ma in realtà c'è dell'altro: le limitazioni dell'amplificatore operativo non sono esclusivamente in termini di banda, nel senso che siamo soliti studiare, bensì dipendono anche da un altro parametro: lo *slew rate*.

Per slew rate si intende la massima velocità di variazione della tensione di uscita, ossia la massima velocità con la quale, in risposta ad un segnale

con pendenza molto elevata (esempio lampante ne è un gradino quasi ideale), l'amplificatore riesce a riprodurre il segnale.

In qualche modo può esservi un collegamento tra slew rate e banda passante, anche se, in questo caso, l'origine del problema è da attribuirsi più a fattori di non linearità che a problemi di banda: due amplificatori di eguale banda passante potrebbero, di fatto, avere slew rate completamente diversi.

In riferimento alla fig. 1.47, cerchiamo di capire come si presenti e in cosa consista, in modo un po' più "pratico": supponiamo che, in un primo tempo, sull'uscita vi sia la tensione minima possibile $-V_{u,max}$. Dal momento che lo stadio di potenza guadagna 1, anche dopo il Darlington ci sarà lo stesso livello di tensione.

Supponiamo a questo punto di introdurre all'ingresso una tensione in grado di far passare tutta l'uscita da $-V_{u,max}$ a $V_{u,max}$, in un tempo brevissimo (come ad esempio il sopra citato gradino). Il condensatore C_C dovrà variare la tensione ai propri capi, e per far ciò dovrà togliere tutta la carica al proprio interno, generando un grande flusso di corrente; lo slew rate si definisce come la massima variazione di tensione di uscita, che vi sarà proprio sul nodo del parallelo Darlington/ C_C :

$$S_R = \left. \frac{dV_u}{dt} \right|_{MAX} = \frac{I_O}{C_C}$$

In qualche modo, si può dire che lo slew rate provochi dei limiti al comportamento in frequenza dell'operazionale (e di un qualsiasi amplificatore), ma non è del tutto corretto che il problema derivi "dalla banda passante": il problema deriva dal fatto che il circuito amplificatore sia o meno in grado di reggere un grosso flusso di carica; se esso non è in grado, avvengono i suddetti fenomeni di non linearità, che interrompono, al di sopra di un certo limite, la possibilità di trasportare carica.

La misura dello slew rate è piuttosto semplice da realizzare: introducendo un gradino, generato mediante un moderno generatore di segnali, si ha la garanzia che esso sia abbastanza prossimo all'idealità; calcolando la pendenza della retta, si calcola sostanzialmente la derivata della definizione!

Esempio Pratico 2 *Facciamo un esempio pratico di calcolo dello slew rate, per quanto riguarda un segnale sinusoidale; dato il seguente segnale:*

$$V_u(t) = V_{pk} \sin(\omega t)$$

Lo slew rate della sinusoide è dato da:

$$\left. \frac{dV_u}{dt} \right|_{MAX} = \omega V_{pk} \cos(\omega t)|_{MAX} = \omega V_{pk}$$

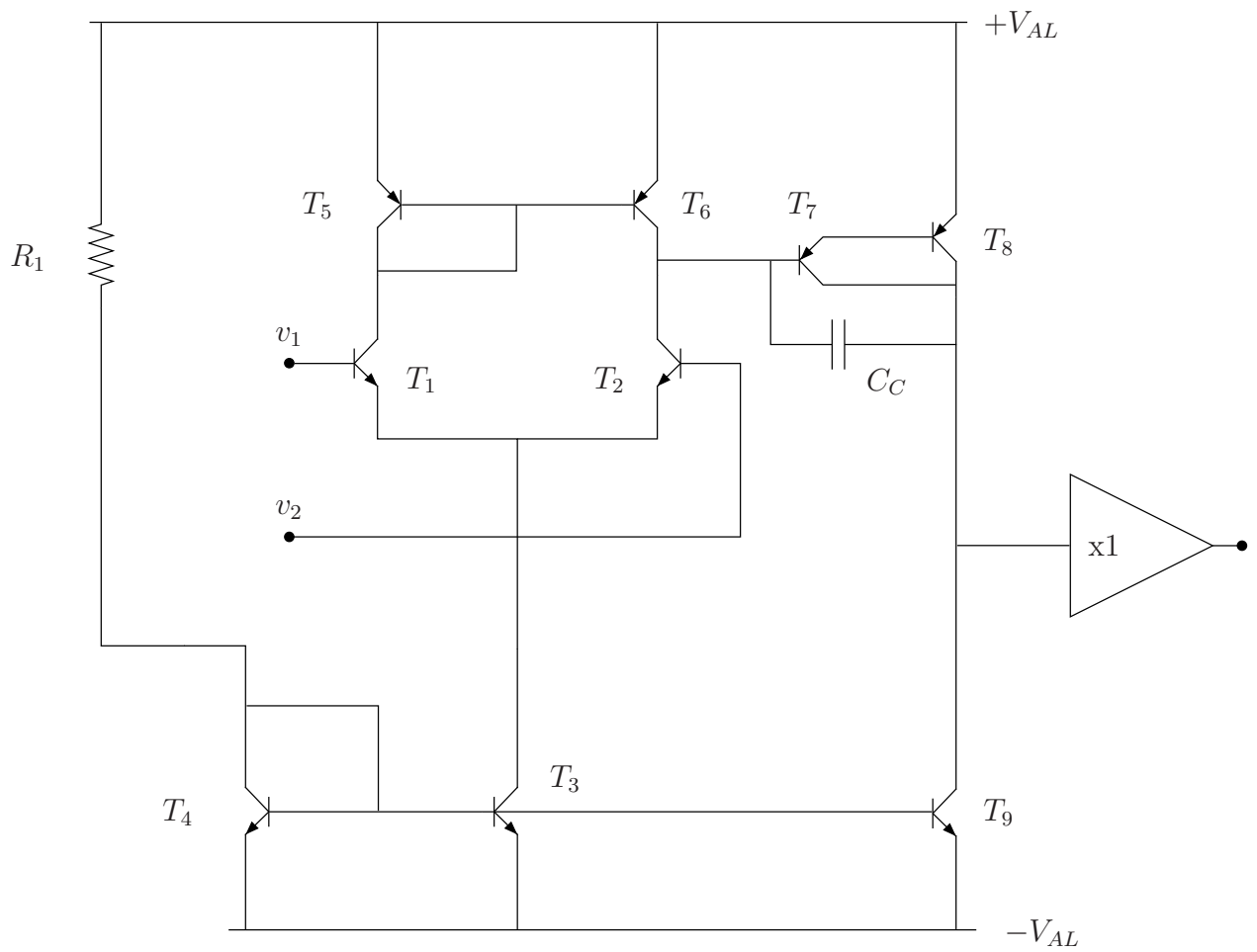


Figura 1.47: Schema circuitale di un amplificatore operazionale con capacità di compensazione.

Quindi, se

$$\omega V_{pk} \leq \frac{I_0}{C_C} \implies V_{pk} \leq \frac{I_0}{\omega C_C}$$

Questa relazione ci indica, di fatto, la massima ampiezza del segnale introducibile, ad una determinata pulsazione ω , senza incappare in fenomeni di slew rate; per questo motivo è improprio parlare di "banda passante": la frequenza del segnale ha sicuramente importanza, ma solo se correlata ad una determinata ampiezza massima!

Capitolo 2

Filtri Attivi

Indice

2.1	Introduzione	85
2.1.1	Integratore	86
2.1.2	Derivatore	92
2.1.3	Filtro passa banda del I ordine	95
2.2	Generalità sui filtri attivi	96
2.2.1	Determinazione delle funzioni di trasferimento	97
2.3	Celle fondamentali	103
2.3.1	Cella di Sallen-Key	104
2.3.2	Configurazione K -RC	108
2.3.3	Celle a guadagno infinito	110
2.3.4	Filtri a variabili di stato	112
2.3.5	Cella di Tow-Thomas	117
2.3.6	Simulatore di induttanza	120
2.4	Filtri a condensatori commutati	124
2.5	Conclusioni	133

2.1 Introduzione

ABBIAMO FINORA INTRODOTTO una serie di concetti e di grandezze, studiando l'amplificatore operazionale retroazionato con elementi non reattivi, ossia con semplici resistori lineari.

Ma se la resistenza fosse composta da elementi reattivi, cosa cambierebbe nel nostro circuito? Beh, in effetti, abbiamo già fatto qualche cenno a quelli che sono i due "casi limite": l'integratore ed il derivatore.

2.1.1 Integratore

Parliamo ora dell'integratore, introducendo una variante rispetto al discorso precedentemente accennato, variante assolutamente fondamentale per quanto riguarda il progetto di un circuito di questo genere: l'uso di un amplificatore operazionale reale.

La funzione di trasferimento del circuito con la topologia di fig 2.1, infatti, è la seguente:

$$\frac{V_u}{V_i} = \frac{1}{sRC}$$

Questo però è il caso ideale.

Potremmo porci a questo punto alcune domande, al fine di caratterizzare il sistema *reale*: il sistema in questione è stabile? Beh, iniziamo a studiare il blocco di feedback, β :

$$\beta = \frac{R}{R + \frac{1}{sC}} = \frac{sRC}{1 + sRC}$$

Il β è stato al solito ricavato semplicemente valutando la porzione di segnale in uscita rispetto all'ingresso, annullando temporaneamente il segnale di ingresso, ossia il generatore di tensione.

Vogliamo studiare un integratore reale e a tal fine, la funzione di A_V reale, dovrà avere il termine correttivo, dovuto al guadagno di anello del circuito. Si può ricavare, da alcuni conti, che il guadagno dell'amplificatore invertente (alla base dell'integratore e del derivatore) valga:

$$A_V = -\frac{1 - \beta}{\beta} \cdot \frac{A\beta}{1 + A\beta}$$

Si definisce spesso il primo termine come A_∞ :

$$A_\infty = -\frac{1 - \beta}{\beta}$$

A_∞ è il guadagno ideale. Volendolo scrivere in un altro modo:

$$A_\infty = -\frac{Z_2}{Z_1}$$

Ossia il guadagno senza l'introduzione di termini correttivi dettati dal guadagno di anello. Tuttavia in un sistema reale si dovrà tenere conto anche del termine correttivo, per il motivo che stiamo per presentare.

Volendo diagrammare $A\beta$, ossia il guadagno di anello, dovremo fare il seguente artificio: il diagramma di Bode è un diagramma logaritmico, come

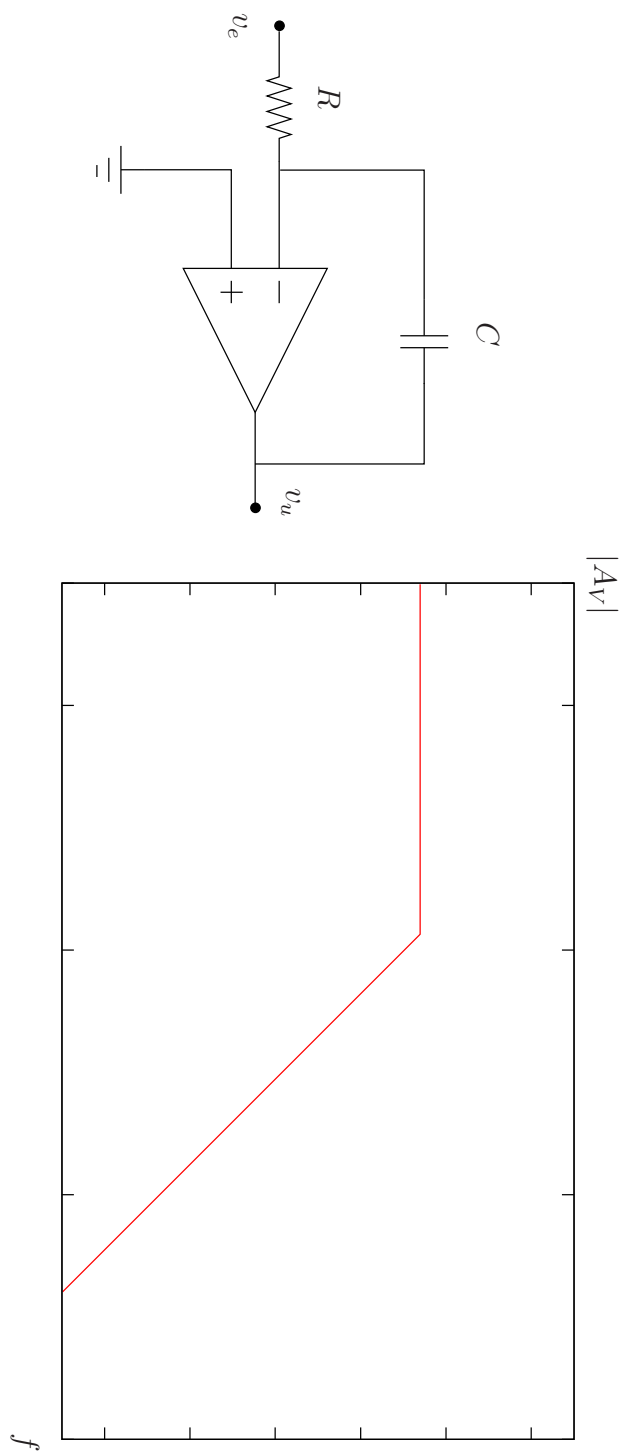


Figura 2.1: Schema circuitale dell'integratore e relativo diagramma di Bode di ampiezza.

si sa dalla definizione di decibel; dal momento che la rappresentazione è logaritmica, dunque, per presentare il diagramma del prodotto di due grandezze, sarà sufficiente sommare i due diagrammi, sfruttando la nota proprietà dei logaritmi:

$$\log(ab) = \log(a) + \log(b)$$

Il risultato finale è quello di fig. 2.2.

All'inizio si somma un guadagno "piatto", costante, ad una pendenza di + 20 dB/dec, dettata dallo zero di trasmissione della funzione di trasferimento di β ; ad un certo punto, in una certa frequenza f_1 , vi sarà il polo dell'amplificatore operazionale (per quanto spostato dalla reazione), dunque ai 20 dB/dec vengono sottratti 20 dB/dec, e si ha una zona di funzionamento piatta; dalla frequenza f_2 in su, β diverrà costante e si avrà una pendenza pari a - 20 dB/dec anche nel diagramma finale di $|A\beta|$. La rotazione di fase al più sarà dunque pari a 90° .

Per frequenze basse tuttavia si ha un problema differente dalla rotazione di fase: in questi range di frequenze, il guadagno di anello è una grandezza dalle dimensioni ridotte; di conseguenza, $A\beta$ è un termine non molto grande. Dunque il termine correttivo nell'espressione di A_V sarà assai influente: essendo β ridotto, e dal momento che A_∞ contiene una divisione per β , dunque la divisione per un termine molto piccolo produce un numero molto grande; il termine correttivo dovrebbe semplicemente introdurre una, come il nome suggerisce, "correzione" rispetto alla situazione ideale e non renderla ancora più irrealistica come capita di fatto in questo caso!

La retroazione ci sta dunque portando su di una cattiva strada: essa infatti abbassa da un lato il guadagno, ma soprattutto la dinamica del sistema: , il circuito risulta avere sempre, come uscita, una tensione prossima a quella di polarizzazione, $\pm V_{AL}$. Se il segnale che introduciamo è a valor medio non nullo, e cioè costituito da una componente continua e da una componente variabile, in uscita si osserverà il seguente fatto: l'integrale del segnale in ingresso sovrapposto ad una rampa (ossia all'integrale della componente continua del segnale) carica il condensatore, e quindi o il circuito andrà in saturazione a causa dei limiti di dinamica, o il condensatore si caricherà completamente e non funzionerà più nulla.

Questo tipo di malfunzionamento, come già detto, si ha solo per continue o frequenze prossime a quella nulla; esistono dunque due soluzioni a questo tipo di problema, soluzioni che ora affronteremo:

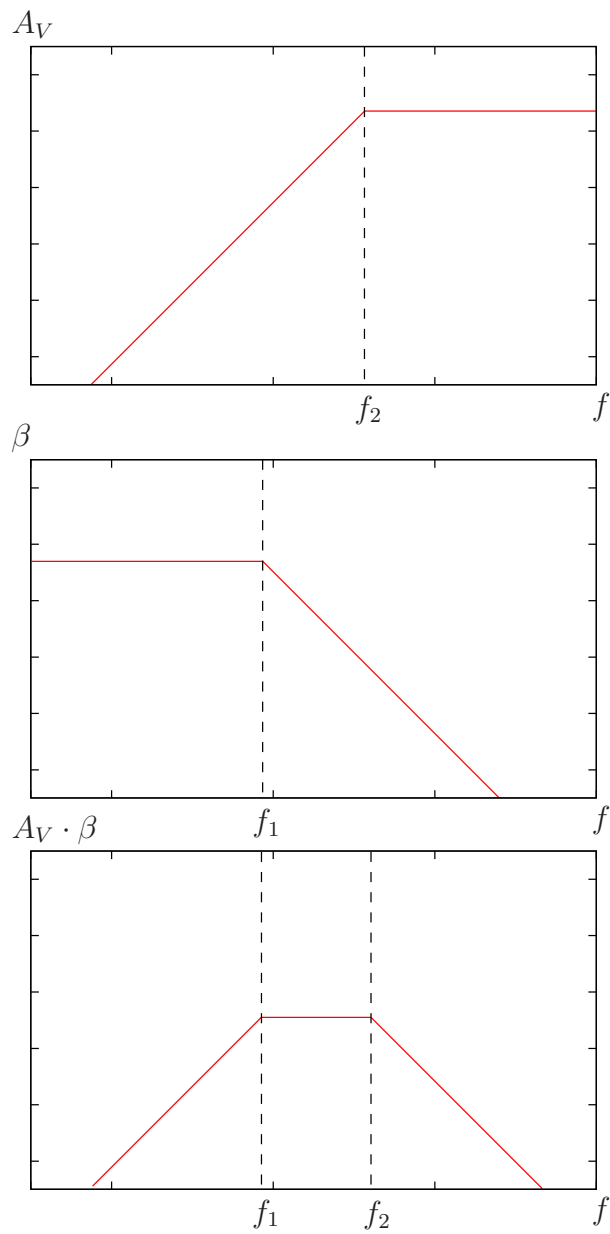


Figura 2.2: Sfruttando le proprietà dei logaritmi si ricava il diagramma in basso come somma degli altri due.

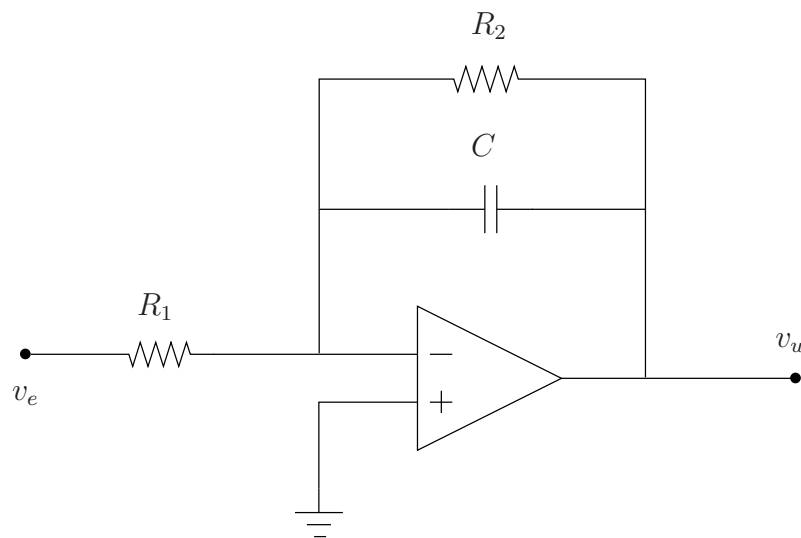


Figura 2.3: Circuito dell'integratore modificato dall'introduzione di R_2 .

Soluzione 1

Se il sistema deve funzionare solo per un tempo limitato, e si devono anche integrare eventuali continue presenti nel segnale, si può fare qualcosa di questo genere: si accende il sistema, e si fa lavorare solo nella durata del transitorio, ossia per il tempo di carica della capacità. Successivamente, mediante un reset realizzato mediante un interruttore, si “svuota” il condensatore, si resetta il circuito che potrà ricominciare a lavorare in transitorio, e dunque potrà nuovamente caricarsi. Questa tecnica viene spesso adottata, nella realizzazione di voltmetri a rampa.

Soluzione 2

Se si vuole fare l'integrale in un range di frequenze che non contenga la continua, si può modificare il circuito in modo che esso abbia un guadagno in continua minore di ∞ (fig. 2.3).

Cosa provoca l'aggiunta di questa resistenza? Beh, come dimostreremo tra poco, essa semplicemente abbassa il guadagno in continua del circuito: quando il condensatore sarà carico, infatti, questo circuito si comporterà come un amplificatore invertente; quando la reattanza del condensatore diverrà inferiore a R_2 , invece, il circuito si comporterà come un integratore. Sostanzialmente si hanno dunque “due semiperiodi” di funzionamento, dipendenti dallo stato dell'integratore.

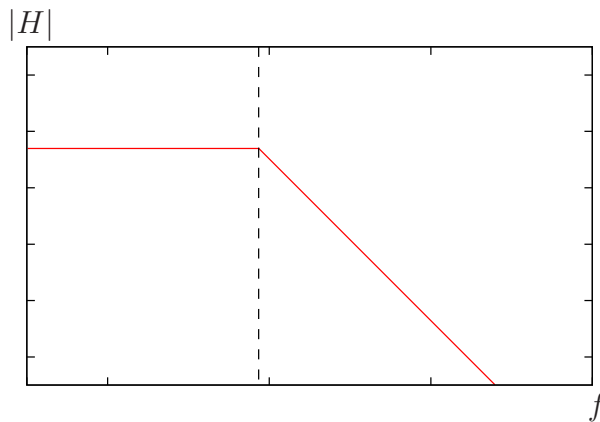


Figura 2.4: Diagramma di Bode della funzione di trasferimento dell'integratore modificato (*soluzione 2*).

Cerchiamo di vedere ciò, studiando la funzione di trasferimento di questo circuito:

$$\frac{V_u}{V_i} = -\frac{Z_2}{Z_1}$$

Ma:

$$Z_2 = R_2 \oplus \frac{1}{sC} = \frac{-\frac{R_2}{sC}}{R_2 + \frac{1}{sC}} = -\frac{R_2}{1 + sR_2C}$$

Quindi:

$$\frac{V_u}{V_i} = -\frac{R_2}{R_1} \cdot \frac{1}{1 + sR_2C}$$

Volendone osservare il diagramma di Bode, si vedrà che l'andamento è analogo a quello in fig. 2.4.

Ma questo... è un filtro passa basso! Con questa soluzione, dunque, abbiamo semplicemente creato un filtro passa basso attivo del primo ordine!

Perchè chiamarlo *attivo* ? Le motivazioni sono sostanzialmente legate all'uso di un elemento attivo alla base del circuito (l'amplificatore operazionale), e i risultati sostanzialmente sono due:

- Si ha un guadagno in continua non unitario (o inferiore), cosa irrealizzabile con un filtro RLC tradizionale;
- Il fatto di utilizzare l'amplificatore operazionale, fornisce la possibilità di introdurre un carico generico, senza dover per forza modificare la funzione di trasferimento del circuito!

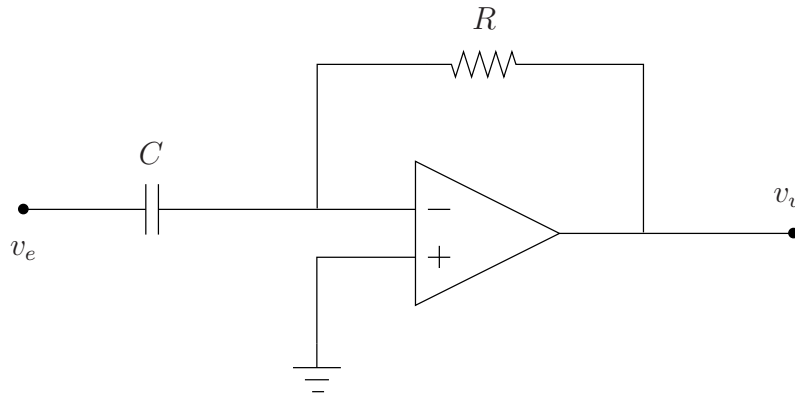


Figura 2.5: Schema circuitale del derivatore.

Quelli appena citati, assieme ad un terzo assolutamente non irrilevante, sono i motivi per cui oramai i filtri vengono praticamente realizzati sempre attivi. Tenendo conto che il progetto di questo tipo di filtri è molto più semplice rispetto a quello di filtri tradizionali RC e attualmente un operazionale costa poco più di un condensatore, la realizzazione di circuiti “vecchio tipo” oramai non è conveniente neanche più sotto il punto di vista economico.

2.1.2 Derivatore

Abbiamo finora parlato dell’integratore reale. Introduciamo un discorso simile per il suo duale, ossia per il derivatore reale; Lo schema di quello ideale è in fig. 2.5.

La funzione di trasferimento ideale del derivatore è la duale di quella dell’integratore:

$$\frac{V_u}{V_i} = -sRC$$

L’amplificatore operazionale che usiamo è però non ideale, poichè presenta una frequenza di taglio. Inoltre, volendo studiare come in precedenza, il blocco di feedback, si vedrà che:

$$\beta = \frac{1}{\frac{1}{R} + sC} = \frac{R}{1 + sRC}$$

Combinandolo, mediante la somma, con $|A_V|$, si ottiene un andamento del modulo di $A\beta$ come in figura 2.6.

Vediamo che il diagramma del guadagno di anello attraversa in modo critico l’asse 0 dB: non sapendo noi tuttavia se il punto a guadagno unitario

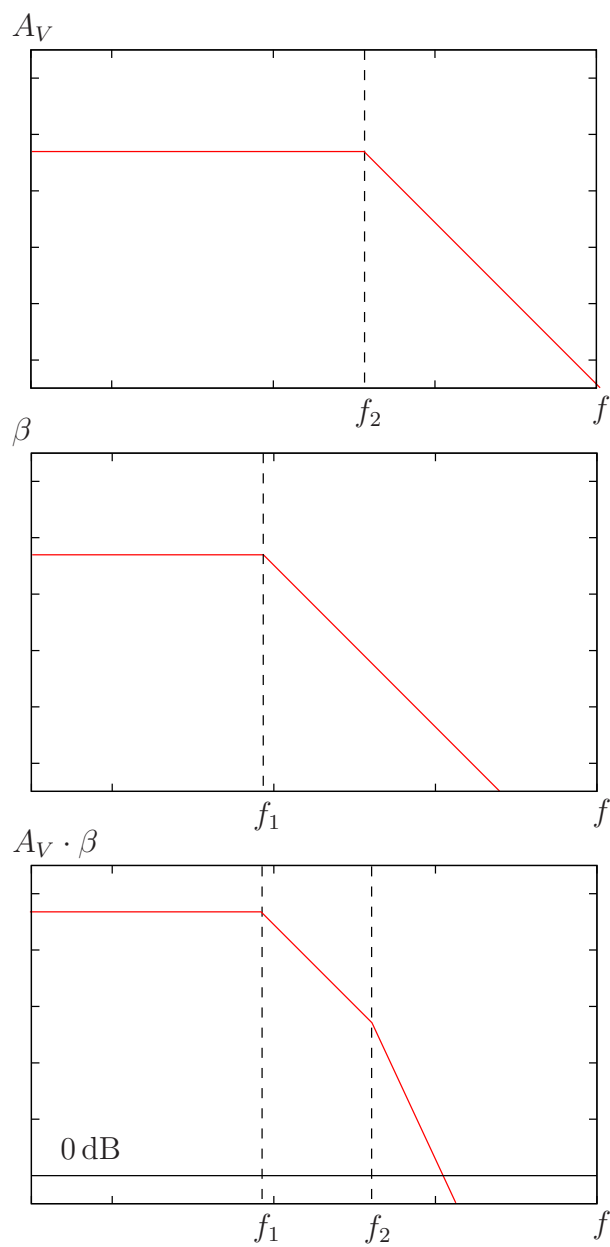


Figura 2.6: Diagrammi di Bode dei blocchi A_V e β . Il terzo diagramma è quello del loro prodotto (che diventa la somma per le proprietà dei logaritmi).

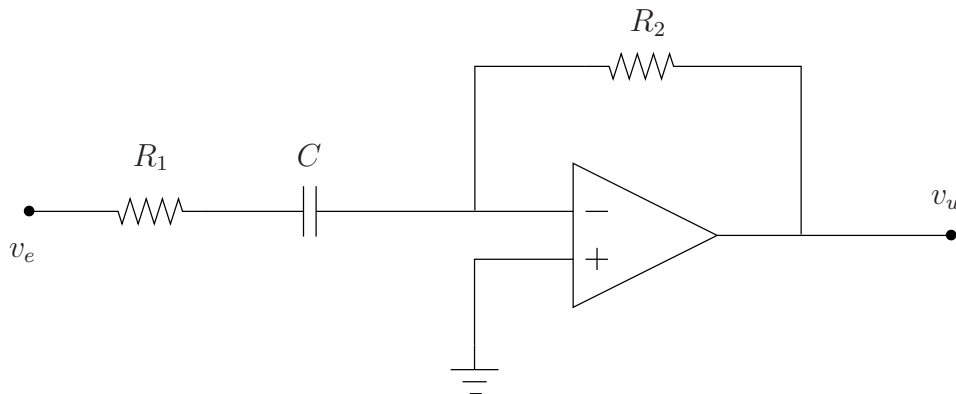


Figura 2.7: Derivatore modificato con l'introduzione di una resistenza in serie alla capacità.

sia o meno prima di una decade dal passaggio nel secondo polo, dobbiamo pensare che il derivatore potrebbe essere un sistema instabile, e dunque che vi sia un range di frequenze amplificate a causa di un'eventuale rotazione di fase.

Oltre alle varie limitazioni di frequenza, dunque, il derivatore è vittima di problemi di instabilità.

Come fare? Con un colpo di originalità (!) procediamo dualmente a prima, e introduciamo in serie alla capacità una resistenza. questa scelta limiterà il guadagno in alta frequenza, ma ci darà qualcosa di interessante, come ora vedremo.

La funzione di trasferimento di questo circuito è la seguente:

$$\frac{V_u}{V_i} = -\frac{Z_2}{Z_1} = -\frac{R_2}{\frac{1}{sC} + R_1} = -\frac{sR_2C}{1 + sR_1C}$$

Questa funzione presenta uno zero nell'origine ed un polo alla frequenza:

$$f_p = \frac{1}{2\pi R_1 C}$$

Questo è un filtro passa alto del primo ordine! La funzione di trasferimento, vista come la stiamo vedendo noi, potrebbe far pensare ad un filtro passa banda, ma, essendo il secondo polo di fatto dovuto ad effetti di taglio, a f_T , non si considera così. Questo filtro presenta le stesse caratteristiche di quello ottenuto dalla modifica dell'integratore, dunque permette l'introduzione di un carico arbitrario senza la degenerazione della funzione di trasferimento, e dispone, volendo, di un guadagno più che unitario in banda passante.

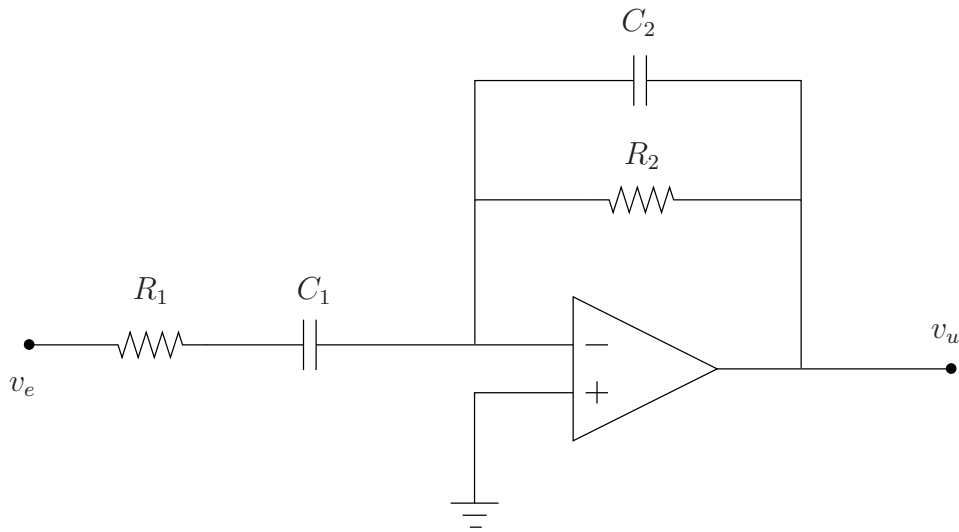


Figura 2.8: Schema circuitale del cosiddetto *filtro passa banda del primo ordine*.

2.1.3 Filtro passa banda del I ordine

Vengono detti *filtri del primo ordine* quelli con polinomio al denominatore della funzione di trasferimento del primo ordine. Nella fattispecie, esiste in questo ambito una piccola eccezione, formalmente errata: il “passa banda del primo ordine”, ossia un circuito come in figura 2.8.

Vediamo che:

$$Z_2 = R_2 \oplus \frac{1}{sC_2} = \frac{1}{\frac{1}{R_2} + sC_2} = \frac{R_2}{1 + sR_2C_2}$$

$$Z_1 = R_1 + \frac{1}{sC_1}$$

$$\rightarrow \frac{V_u}{V_i} = -\frac{Z_2}{Z_1} = -\frac{sR_2C_1}{(1 + sR_1C_1)(1 + sR_2C_2)}$$

Il denominatore è del secondo ordine, ma le due radici del denominatore, distinte, non sono complesse coniugate, come comunemente capita nei filtri del secondo ordine. La banda passante del filtro per questo motivo è abbastanza larga, e per questo questo circuito viene anche detto “filtro passa banda a banda larga”¹.

¹Questo filtro è utilizzato, ad esempio, in applicazioni in banda audio

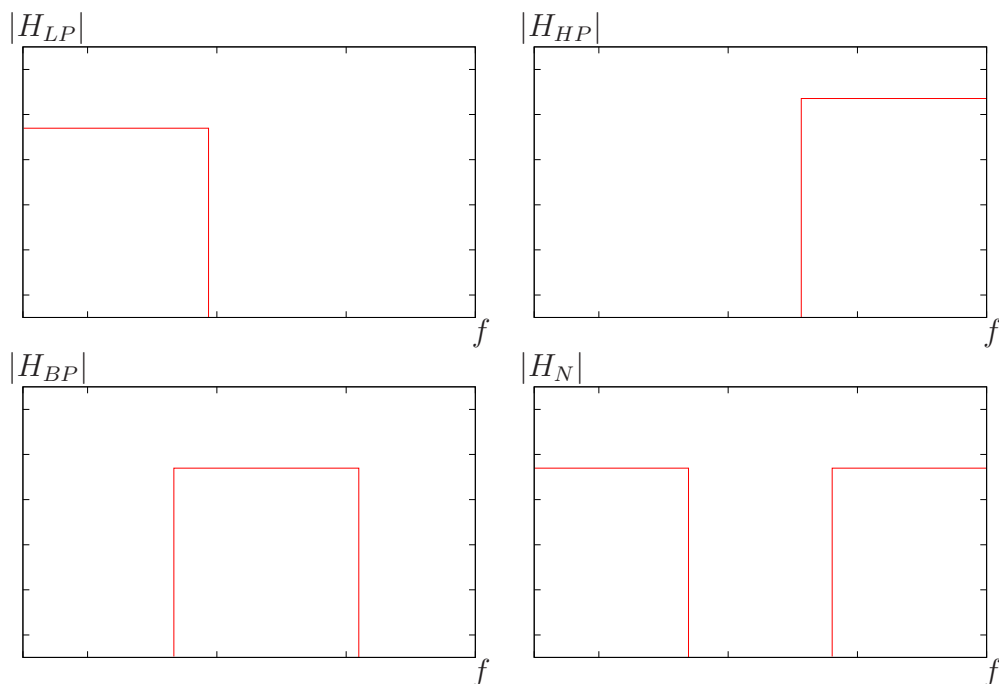


Figura 2.9: Funzioni di trasferimento dei quattro tipi ideali di filtro. Dall'alto a sinistra, in senso orario: *low-pass*, *high-pass*, *band-pass* e *notch filter*.

2.2 Generalità sui filtri attivi

Di questo argomento, appena introdotto mediante alcuni accorgimenti sui circuiti già analizzati, affronteremo sostanzialmente due dettagli: filtri attivi tradizionali (tempo-continui), e *a capacità commutate*.

Innanzitutto, conviene chiarire alcuni concetti: cosa si intende per filtro?

Per filtro si intende generalmente un doppio bipolo lineare, la cui funzione di trasferimento è variabile con la frequenza. In realtà quasi ogni circuito elettronico fa qualcosa del genere, ma esistono alcune sotto-classificazioni in grado di distinguere i vari tipi di funzionamento.

Studieremo filtri che devono avere un comportamento più possibilmente prossimo a quelli in figura 2.9

In generale, quando si lavora su filtri di questo tipo, si studia il modulo della funzione di trasferimento. Tuttavia, talvolta si studiano altre funzioni di trasferimento, che differiscono per il trattamento della fase, come i filtri passa-tutto (*all-pass filters*), in cui vi sono variazioni di fase differenti al variare della frequenza del segnale, anziché variazioni del modulo.

Ogni filtro attivo viene costruito a partire da un insieme di filtri elementari messe in cascata tra di loro, detti *celle*. Chiaramente, non è possibile ottenere

funzioni di trasferimento ideali a pendenza infinita come quelle di fig. 2.9, tuttavia, introducendo un buon numero di celle in cascata, si possono ottenere discreti risultati.

In generale, è possibile realizzare funzioni di trasferimento solo di tipo polinomiale; l'algebra tuttavia ci insegna anche che ogni polinomio può essere scomposto in polinomi del I e/o del II ordine! Data quindi una generica funzione di trasferimento, composta da un numeratore $N(s)$ e da un denominatore $D(s)$, si può fare ciò:

$$\frac{N(s)}{D(s)} = \frac{N'(s)}{D'(s)} \cdot \frac{N''(s)}{D''(s)} \cdot \dots \cdot \frac{N^{(n)}(s)}{D^{(n)}(s)}$$

Cosa faremo, dunque? Studieremo filtri che abbiano al massimo due poli e che, messi in cascata, producano un filtro qualunque.

Usando dunque i filtri attivi, ossia quelli con gli amplificatori operazionali, l'operazione è molto semplice da eseguire, dal momento che, come già accennato, il carico non influenza la funzione di trasferimento di ciascuna delle celle. Nella fattispecie, come già detto, saremo interessati soprattutto alla produzione di filtri LP (low-pass), HP (high-pass), BP (band-pass) e N (notch).

2.2.1 Determinazione delle funzioni di trasferimento

Ciò che faremo ora è ricavare, a partire dalla conoscenza degli andamenti dei guadagni dei filtri al variare della frequenza f , o della pulsazione $\omega = 2\pi f$, o della variabile complessa $s = j\omega$ nel dominio di Laplace, un'espressione analitica in grado di esprimere le funzioni di trasferimento dei quattro filtri fondamentali finora presentati.

Filtro Passa-basso

La funzione di trasferimento in questione (fig. 2.10) avrà un andamento del tipo:

$$H_{LP}(s) = \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

Valutiamo dunque, nella pulsazione $j\omega = j\omega_0$, la funzione di trasferimento:

$$H_{LP}(j\omega_0) = \frac{\omega_0^2}{-\omega_0^2 + j\frac{\omega_0 \cdot \omega_0}{Q} + \omega_0^2} = -jQ$$

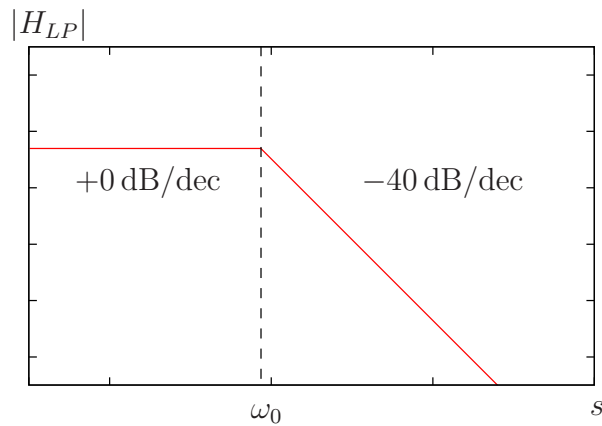


Figura 2.10: Funzione di trasferimento di un filtro passa-basso.

Altro punto notevole riguarda l'andamento per frequenze basse, per segnali prossimi alla continua:

$$H_{LP}(j\omega)|_{j\omega \rightarrow 0} \simeq \frac{\omega_0^2}{\omega_0^2} = 1$$

Ultimo punto interessante riguarda l'andamento a infinito, ossia per frequenze estremamente elevate:

$$H_{LP}(j\omega)|_{j\omega \rightarrow \infty} \simeq \frac{\omega_0^2}{s^2}$$

Si ha ossia una prevalenza di s^2 rispetto agli altri infiniti, dunque si ha una pendenza di - 40 dB/dec; la curva, al variare di Q , potrà avere diversi andamenti; Q rappresenta infatti il punto di attraversamento della funzione sulla ordinata, al momento in cui sulle ascisse $j\omega = j\omega_0$, avendo quindi informazioni sull'andamento del massimo della funzione; è possibile ricavare che il punto di massimo della funzione sia pari a:

$$\omega_{pk} = \omega_0 \cdot \sqrt{1 - \frac{2}{Q}}$$

Gli andamenti della curva al variare del fattore di qualità, Q , saranno come in figura 2.11.

Potremmo a questo punto chiederci quale sia il minimo Q in grado di produrre picco; vediamo che, se:

$$Q < \frac{\sqrt{2}}{2}$$

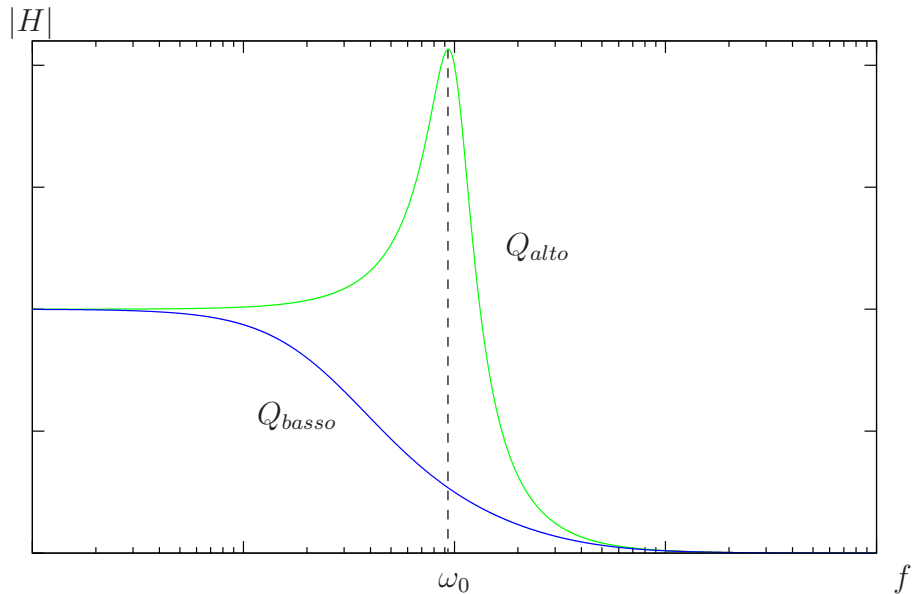


Figura 2.11: Diversi diagrammi di Bode per variazioni del parametro Q .

Il termine sotto radice è negativo, quindi il risultato della radice non è reale, e il picco non può esistere! Possiamo dunque intuire che:

$$Q_{MIN} = \frac{\sqrt{2}}{2}$$

Abbiamo finora parlato di guadagno in modulo, e per la fase? Beh, qualitativamente parlando, per frequenze molto basse, la fase è positiva; aumentando la frequenza, il termine predominante diventa, come già detto, s^2 , che cercherà di portare una rotazione di fase pari a 180° . Q ha un effetto sulla fase del filtro: se Q è elevato, il picco prossimo a ω_0 sarà più appuntito, e quindi, qualitativamente parlando, il diagramma avrà una pendenza maggiore; contemporaneamente, la rotazione di fase, al crescere di Q , avverrà con maggiore rapidità.

Filtro Passa-Alto

Abbiamo studiato l'espressione analitica della funzione di trasferimento di un filtro passa basso, ma quella di un filtro passa-alto come si realizza? Volendo far passare solo le frequenze al di sopra di una data, il diagramma di Bode avrà un andamento come in fig. 2.12.

La funzione di trasferimento sarà tipicamente qualcosa del tipo:

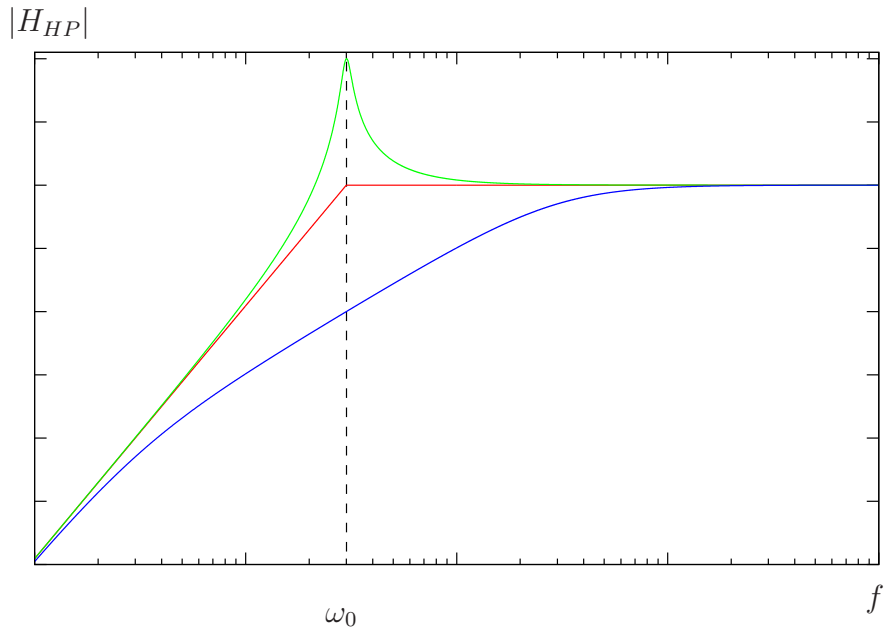


Figura 2.12: Diagrammi di Bode e maschera approssimata di filtri passa-alto.

$$H_{HP}(s) = \frac{s^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

Un modo per ricavare la funzione, specificante la sua dualità con il passa basso, sarebbe sostituire a ω l'espressione $\frac{1}{\omega}$, e così ricavare esattamente questa espressione; prendiamola comunque per buona.

Studiamo, come fatto per quanto riguarda l'espressione, gli andamenti asintotici nei punti fondamentali, esattamente come fatto per quanto riguarda il filtro passa basso:

$$H_{HP}(j\omega)|_{j\omega \rightarrow 0} \simeq \frac{s^2}{\omega_0^2} \simeq s^2$$

Ossia, si ha una crescita di 40 dB/dec, causata dallo zero di trasmissione a frequenza nulla, evidenziabile dall'espressione da noi presentata della funzione di trasferimento.

$$H_{HP}(j\omega)|_{j\omega \rightarrow \infty} \simeq \frac{s^2}{s^2} = 1$$

Ossia, per frequenze elevate, l'andamento asintotico della funzione di trasferimento presentata è costante, nella fattispecie unitario.

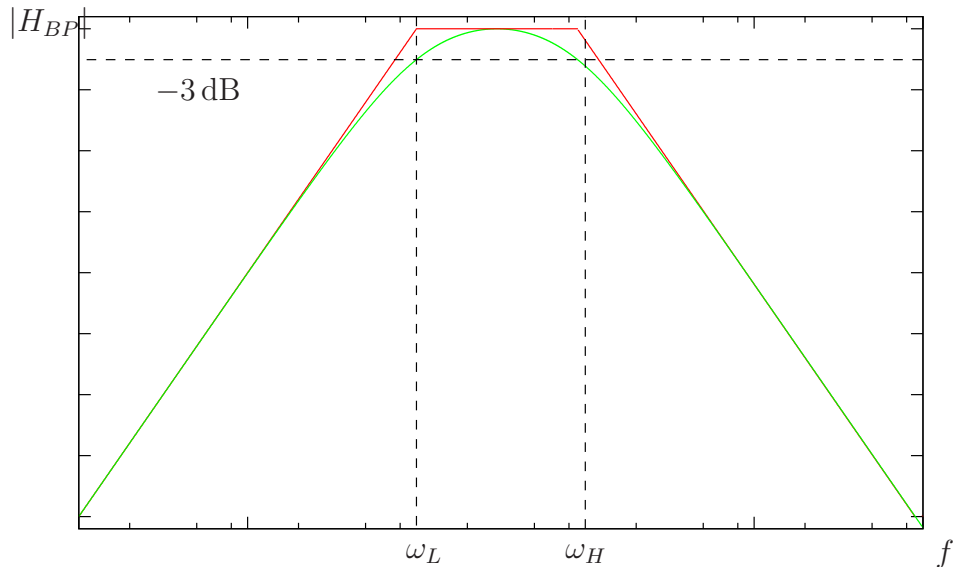


Figura 2.13: Diagramma di Bode e maschera approssimata di filtro passa-banda.

Per quanto riguarda $j\omega = j\omega_0$, si ritrova lo stesso risultato precedentemente mostrato per quanto riguarda il filtro passa basso, senza alcuna differenza; si evita di riportare i conti e le osservazioni, dunque, in quanto del tutto analoghe.

Filtro Passa-Banda

Presentiamo anche per quanto riguarda il filtro passa-banda la funzione di trasferimento (diagrammi di Bode in fig. 2.13).

$$H_{BP}(s) = \frac{\frac{\omega_0}{Q}s}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

Studiamo, anche per quanto riguarda questa espressione, gli andamenti asintotici:

$$H_{BP}(j\omega)|_{j\omega \rightarrow 0} = \frac{\frac{\omega_0}{Q}s}{\omega_0^2} = \frac{s}{\omega_0 Q}$$

Si ha quindi, per frequenze basse, una pendenza pari a + 20 dB/dec; per quanto riguarda invece $j\omega = j\omega_0$:

$$H_{BP}(j\omega_0) = \frac{j}{Q}$$

Per quanto riguarda l'andamento asintotico, a infinito, si ha:

$$H_{BP}(j\omega)|_{j\omega \rightarrow \infty} = \frac{\omega_0}{Qs}$$

Ossia, dal momento che si ha s al denominatore, si avrà una pendenza di -20 dB/dec!

Abbiamo due asintoti, che si incrociano sul punto (delle ordinate) $\frac{j}{Q}$; quanto più alto sarà dunque Q , tanto più basso sarà il punto di incrocio degli asintoti; la curva inoltre attraverserà sempre l'asse 0 dB; si può inoltre dedurre graficamente il fatto che più Q è alto e più stretta sarà la banda passante del filtro in questione; dualmente, ad un Q piccolo corrisponde una banda passante molto larga.

Esiste un modo di quantificare la larghezza di banda del filtro passa-banda, mediante la definizione di banda a -3 dB, calcolando la distanza delle intersezioni della funzione di trasferimento con l'asse -3 dB (rispetto al guadagno massimo del circuito); avremo dunque sicuramente un'intersezione prima di ω_0 , ed una dopo ω_0 (che chiameremo rispettivamente ω_L e ω_H); si può dimostrare che:

$$\omega_L = \omega_0 \sqrt{1 + \frac{1}{4Q^2}} - \frac{1}{2Q}$$

$$\omega_H = \omega_0 \sqrt{1 + \frac{1}{4Q^2}} + \frac{1}{2Q}$$

Queste formule, ovviamente, si possono invertire! Date come specifiche ω_L e ω_H , infatti, è possibile calcolare:

$$\omega_0 = \sqrt{\omega_L \cdot \omega_H}$$

$$Q = \frac{\omega_0}{\omega_H - \omega_L}$$

Dunque, la banda a -3 dB del filtro è:

$$B_{-3dB} = \omega_H - \omega_L$$

Filtro Notch

Senza andare nei dettagli, la funzione di trasferimento di un filtro elimina-banda (notch):

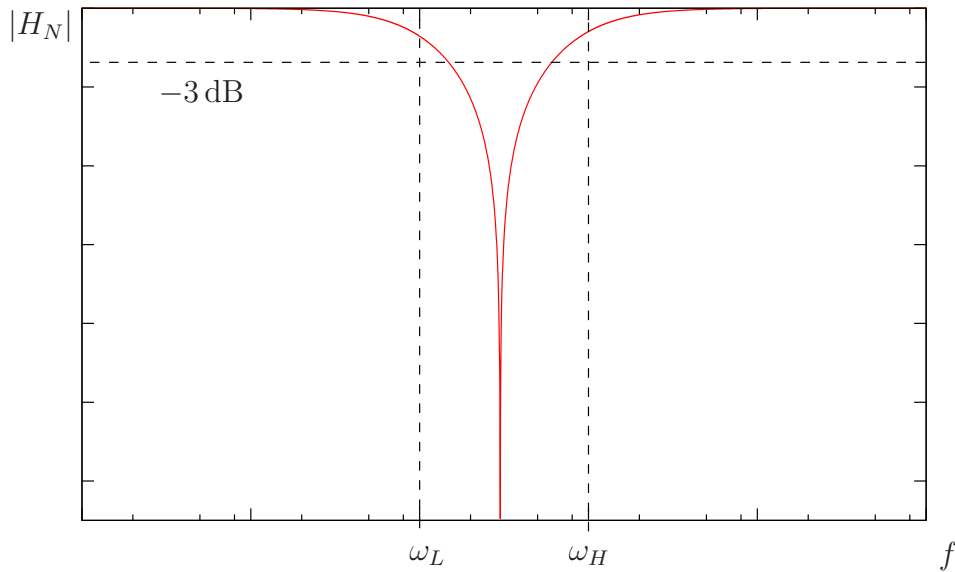


Figura 2.14: Diagramma di Bode di un filtro elimina-banda (*notch*).

$$H_N(s) = \frac{\omega_0^2 + s^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2}$$

Essa è sostanzialmente sintetizzabile in due modi: o come *differenza* di 1 e il passa banda (in un certo senso, realizzando una sorta di funzione complementare a quella di un passa banda), o come *somma* di un passa al to e di un passa basso; riassumendo, le due possibilità di realizzare $H_N(s)$ sono:

$$H_N(s) = H_{LP}(s) + H_{HP}(s)$$

$$H_N(s) = 1 - H_{BP}(s)$$

Per ora non si approfondirà ulteriormente l'argomento.

2.3 Celle fondamentali

Abbiamo finora presentato le idee matematiche fondamentali che stanno dietro la realizzazione dei filtri, ma è dunque giunto il momento di metterle in pratica, studiando le celle storicamente più importanti utilizzate per realizzare filtri attivi. Sostanzialmente, con gli amplificatori operazionali, utilizzeremo tre tipi di celle:

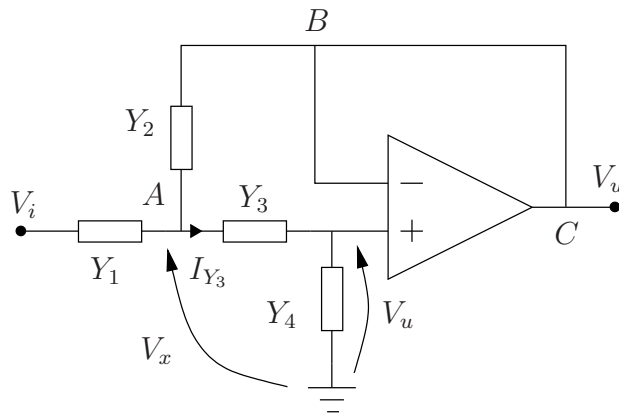


Figura 2.15: Schema circuitale della cella di Sallen-Key.

- Celle a guadagno finito: un solo amplificatore operazionale in uso, con una rete di retroazione tale da abbassare a K il guadagno dell'amplificatore. Su questo sistema, si costruirà la rete di filtraggio;
- Celle a guadagno infinito: dato un amplificatore a guadagno infinito (quale potrebbe ad esempio essere un operazionale non retroazionato), su di esso si costruisce la rete di filtraggio mediante una retroazione ad hoc;
- Celle con più amplificatori operazionali, sfruttanti diversi tipi di principi, che vedremo in seguito.

Ciò che faremo dunque è sostanzialmente studiare risultati già ottenuti, e imparare ad effettuare progetti a partire da questi.

2.3.1 Cella di Sallen-Key

La cella di Sallen-Key è una delle celle del primo tipo; presentiamone la forma più generale, esprimendo ciascun componente in termini di ammettenze (che si preferiscono alle impedenze per velocizzare i calcoli).

Vogliamo ricavare la funzione di trasferimento di questa rete, in modo da poterla utilizzare come punto di partenza per la progettazione di generici filtri.

Definiamo V_x la tensione sul nodo A , e osserviamo che su Y_4 vi è una tensione pari alla tensione di uscita, V_u : dal punto C al punto B vi è infatti un corto circuito, e tra $-$ e $+$ la stessa tensione; ricaviamo dunque a partire da queste osservazioni le equazioni ai nodi:

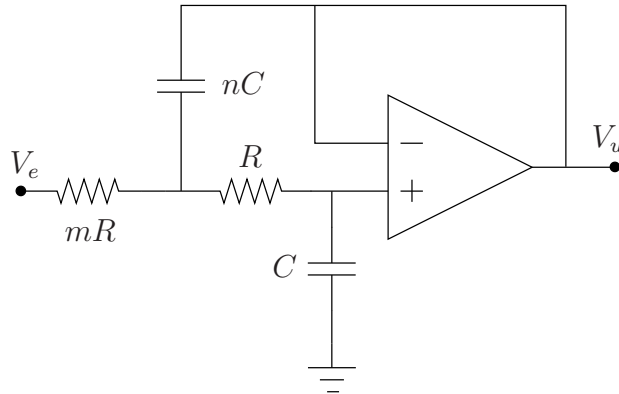


Figura 2.16: Schema circuitale della cella di Sallen-Key nella versione che si comporta come un filtro passa-basso.

$$(V_i - V_x)Y_1 = (V_x - V_u)(Y_2 + Y_3)$$

$$I_{Y_3} = I_{Y_4} = (V_x - V_u)Y_3 = V_u Y_4$$

Risolvendo il sistema di queste due equazioni, si ricava:

$$\frac{V_u}{V_i} = \frac{Y_1 Y_3}{Y_4(Y_1 + Y_2 + Y_3) + Y_1 Y_3}$$

Scegliendo a questo punto una certa ammettenza per ciascuno degli Y_i , si può scegliere il tipo di filtro che si vuole ottenere. Supponendo ad esempio di voler avere un filtro passa basso, si dovrà avere un numeratore costante (quindi con due resistenze pure), e al denominatore la solita espressione in $s^2 + \xi\omega_0 s + \omega_0^2$, in modo da ottenere un'espressione in qualche modo simile al filtro passa basso precedentemente ricavato sotto il punto di vista "matematico":

$$Y_1 = \frac{1}{R_1}; \quad Y_3 = \frac{1}{R_3}; \quad Y_4 = sC_4; \quad Y_2 = sC_2$$

Gli altri due componenti utilizzati saranno due condensatori. Si noti che, solitamente, è buona cosa evitare di introdurre induttanze nel circuito, poichè difficili da realizzare, pesanti, spesso rumorose, e con grosse perdite.

Si otterrà dunque un circuito come in fig. 2.16

E una funzione di trasferimento di questo genere:

$$\frac{V_u}{V_i} = \frac{\frac{1}{mR^2}}{sC \left(\frac{1}{mR} + snC + \frac{1}{R} \right) + \frac{1}{mR^2}} =$$

$$= \frac{1}{s^2 mnR^2C^2 + sRC(m+1) + 1} = \frac{\frac{1}{mnR^2C^2}}{s^2 + \frac{RC(m+1)}{mnR^2C^2}s + \frac{1}{mnR^2C^2}}$$

Da qui, riconducendosi all'espressione del filtro passa basso, è possibile ricavare ω_0 e Q come:

$$\omega_0 = \frac{1}{\sqrt{mnRC}}$$

$$\frac{\omega_0}{Q} = \frac{m+1}{mnRC} \longrightarrow Q = \frac{\sqrt{mn}}{m+1}$$

Sotto il punto di vista del progetto, questo filtro non è proprio la cosa più bella che potevamo pensare: da un lato si ha solo un amplificatore operazionale, dall'altro un fatto decisamente brutto: se i parametri ω_0 e Q non andassero bene in seguito al processo di realizzazione su di un integrato, per variare un parametro (modificando ad esempio R_i), si finirebbe per modificare pure l'altro, e così via: **i due parametri sono interdipendenti**, nel senso che, modificandone uno, si finisce per modificare pure l'altro.

Ciò ci fa capire che questo filtro sia assolutamente inadatto per dispositivi di precisione!

Cosa buona di questo filtro è invece il seguente fatto: scambiando condensatori e resistori, si ottiene un passa-alto con funzionamento del tutto uguale!

Esempio Pratico 3 *Proponiamo un esempietto pratico di progetto di filtro passa basso, a partire dalla cella di Sallen-Key, date come specifiche $f_0 = 2$ kHz, $Q = 2$.*

Come si procede? Abbiamo visto che Q e f_0 sono tra di loro interdipendenti, e dipendenti a loro volta da tutti i parametri. Si è cercato dunque di estrapolare da ciò che abbiamo finora detto, procedure semplici per il progetto.

Tentiamo di fare dei conti "spannometrici": la cosa fondamentale da fissare è il valore dei condensatori, dal momento che sono gli elementi circuitali più critici del filtro; avremo a disposizione condensatori della serie E12 (con 12 valori per decade, ossia: 1,0; 1,2; 1,5; 1,8; 2,2; 2,7; 3,3; 3,9; 4,7; 5,6; 6,8; 8,2); al fine di fissare i valori dei condensatori, a partire da valori casuali (purchè minimamente sensati) delle resistenze, decidiamo che:

- $m = 1$: abbiamo due resistori tra loro uguali;
- $R \in [10; 100]$ k Ω (al fine di avere una discreta dinamica)

Scegliamo ad esempio, a caso, $22 \text{ k}\Omega$, uno dei valori normalizzati per la E12; date le ipotesi:

$$C = \frac{1}{2\pi\sqrt{n}22 \cdot 10^3 \cdot f_0}; \quad Q = \frac{\sqrt{n}}{2}$$

Quindi:

$$C = \frac{1}{4\pi Q f_0 R} = \frac{1}{4\pi \cdot 2 \cdot 22 \cdot 10^3 \cdot 2000} = 904 \text{ pF}$$

Non essendo un valore normalizzato secondo la E12, ne scegliamo quello più vicino: 1 nF ; dal momento che:

$$n = 4Q^2 \longrightarrow n \cdot C \geq 4Q^2 C = 18 \text{ nF}$$

Maggiore o uguale, perchè già il primo è stato scelto “maggiorando”, quindi, per evitare di aumentare le approssimazioni, si sceglie di approssimare “nella stessa direzione di prima”; siamo tuttavia fortunati, poichè 18 nF è un valore normalizzato!

n e C sono ormai fissati; stabiliamo, quindi, con una seconda iterazione, m e R , in modo da terminare il dimensionamento del circuito:

$$Q = \frac{\sqrt{mn}}{m+1}; n = 18; \quad Q = 2$$

$$\longrightarrow m^2 - \left(\frac{n}{Q} - 2\right)m + 1 = 0 \longrightarrow m = 2$$

Questo risultato si ottiene risolvendo l'equazione di secondo grado, e considerando la sola radice positiva.

Per quanto riguarda R :

$$R = \frac{1}{2\pi f_0 \sqrt{mn} C} = 13,3 \text{ k}\Omega$$

Quindi:

$$m \cdot R = 26,6 \text{ k}\Omega \simeq 27 \text{ k}\Omega$$

Rivediamo, in parole brevi, quale è stato il processo utilizzato per il progetto del circuito:

1. Dati valori casuali (purchè non insensati rispetto alle caratteristiche dell'amplificatore operazionale, utilizzando dunque ordini di grandezza sensati) delle resistenze, si calcolano i parametri capacitivi, ossia n e C ;

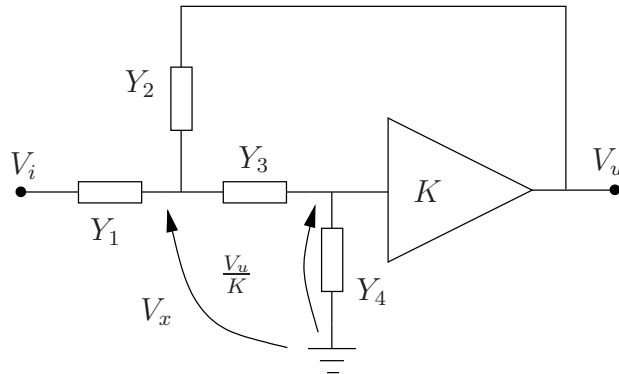


Figura 2.17: Schema circuitale della configurazione *KRC*.

2. Dati e fissati i valori capacitivi, si calcolano i parametri m e R , completando il progetto.

Alcune note aggiuntive:

- Due condensatori uguali non si devono mai usare, al fine di evitare alcuni problemi legati al Q del circuito;
- Al fine di non utilizzare, nei circuiti reali, condensatori elettrolitici, si cerchi di evitare di superare la soglia di capacità dei 330 nF.

2.3.2 Configurazione *K-RC*

Esaminiamo a questo punto una nuova cella, basata sull'uso di una topologia differente da quella della cella Sallen-Key: la cella *K-RC* (dove K sta per il guadagno dell'amplificatore, RC per il tipo di rete utilizzata, ossia costituita da resistori e condensatori).

Presentiamo lo schema circuitale di questo tipo di cella in figura 2.17.

La cella è piuttosto simile alla vecchia Sallen-Key, se non per un fatto: la presenza di un guadagno K . Facendo conti analoghi a quelli della cella Sallen-Key, si può trovare un risultato quasi analogo:

$$\frac{V_u}{V_i} = \frac{KY_1Y_3}{Y_4((Y_1 + Y_2 + Y_3) + (1 - K)(Y_2Y_3) + Y_1Y_3)}$$

Vediamo facilmente che, se $K = 1$, l'espressione degenera in quella della Sallen-Key. Possiamo per questo dire che di fatto la cella appena presentata sia un'estensione della precedente.

Il motivo però per cui questa cella è migliore della Sallen-Key non dipende tanto dal fatto che ci sia un guadagno, quanto dal fatto che al denominatore

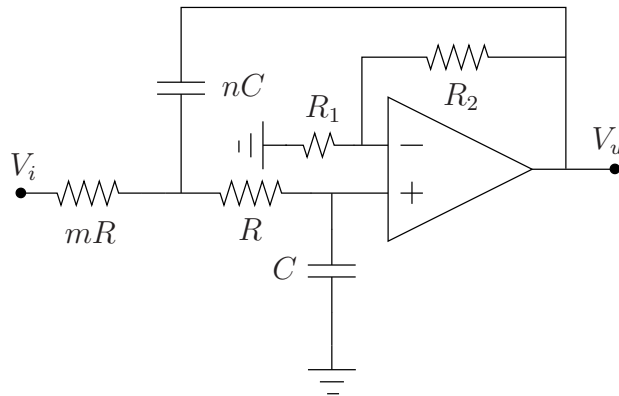


Figura 2.18: Schema circuitale della cella KRC nella versione che si comporta come un filtro passa-basso.

ci sia la presenza di un termine K , che permette di aggiungere gradi di libertà al progettista.

Tanto per “provare” questa cella, proviamo a progettare un altro filtro passa basso: per gli stessi ragionamenti di prima, usiamo le stesse ammettenze di prima:

$$Y_1 = \frac{1}{R_1}; \quad Y_3 = \frac{1}{R_3}; \quad Y_4 = sC_4; \quad Y_2 = sC_2$$

Il circuito realizzato sarà dunque quello di fig. 2.18

La funzione di trasferimento sarà:

$$\frac{V_u}{V_i} = \frac{K}{s^2 mnR^2C^2 + sRC[m + 1 + (1 - K)mn] + 1}$$

Dunque:

$$f_0 = \frac{1}{2\pi\sqrt{mn}RC}$$

$$Q = \frac{\sqrt{mn}}{m + 1 + (1 - K)mn}$$

Consideriamo un’ipotesi molto semplificativa e non per forza verificata, per “fare una prova”: $m = n = 1$; le espressioni di f_0 e Q si riducono a:

$$f_0 = \frac{1}{2\pi RC}$$

$$Q = \frac{1}{3 - K}$$

Cosa ci dice tutto ciò? Due notizie: quella bella è il fatto che questi filtri, sono molto più facili da progettare dei precedenti: il grado di libertà introdotto permette di introdurre un termine di indipendenza tra le frequenze di taglio e il fattore di qualità, così che si possa scegliere il prodotto di R e C a propria discrezione e poi modificando K stabilire il Q .

La cosa brutta è che per Q elevati questa cella non è utilizzabile, a causa del fatto che si usa una formula in un intorno di una sua singolarità, si può dire che essa sia “incontrollabile”. Volendo, ad esempio, avere $Q = 10$:

$$10 = \frac{1}{3 - K} \longrightarrow K = 2,9$$

Volendo avere $Q = 100$:

$$100 = \frac{1}{3 - K} \longrightarrow K = 2,99$$

Cosa significa ciò? Minime variazioni di K , che potrebbero essere dovute a problemi nell’amplificatore, o a qualsiasi tipo di incertezza, provocano variazioni di Q di alcuni ordini di grandezza. Un modo di dimostrare questo fatto parte dalla definizione di *sensitivity* del filtro, ossia della sensibilità, calcolando la derivata parziale di Q rispetto a K :

$$S = \frac{\partial Q}{\partial K}$$

2.3.3 Celle a guadagno infinito

Le due celle finora studiate di fatto rappresentano qualcosa di molto simile, tra loro: dato un circuito già retroazionato, aggiungere un’ulteriore rete di reazione al fine di ottenere una determinata funzione di trasferimento.

Le celle a guadagno infinito, della cui classe noi studieremo solo quelle a *reazioni multiple*, si basano su di un principio un po’ differente: dato un amplificatore operativo (il cui guadagno è idealmente infinito), si costruisce la rete filtrante su di esso.

Osserviamo il generico circuito della rete a reazione multipla in figura 2.19.

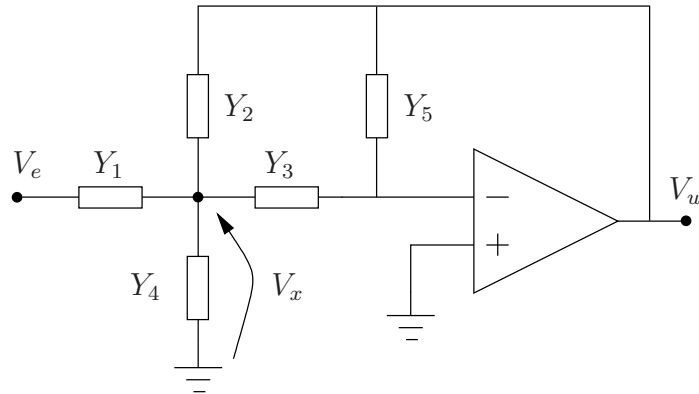


Figura 2.19: Schema generale della cella a reazione multipla.

In modo circa analogo a quello utilizzato finora nelle celle, si effettua un'analisi mediante metodo dei nodi:

$$(V_i - V_x)Y_1 = V_x(Y_4 - Y_3) + (V_x - V_u)Y_2$$

$$V_x Y_3 = -V_u Y_5$$

Risolviendo il sistema ed i vari calcoli, si ottiene:

$$\frac{V_u}{V_i} = -\frac{Y_1 Y_3}{Y_5(Y_1 + Y_2 + Y_3 + Y_4) + Y_2 Y_3}$$

Nota: un vincolo fondamentale sulla scelta delle ammettenze è che sia Y_3 , sia Y_5 non siano dovute a condensatori: se si facesse ciò, si bloccherebbero le continue entranti nel circuito, quindi, come precedentemente studiato per quanto riguarda l'amplificatore operazionale, non funzionerebbe più nulla. Purtroppo questo problema dipende non tanto dalla forma della funzione di trasferimento, quanto dai parametri dell'amplificatore operazionale, dunque non è possibile comprendere la cosa se non conoscendo il resto della teoria.

La forma della funzione di trasferimento ricorda un po' quella della cella di Sallen-Key, ma in realtà essa è ben più flessibile, e ora lo dimostreremo provandola, con il progetto di un filtro passa-banda.

Per avere un passa-banda è necessario avere un numeratore di primo grado, ed un denominatore di secondo grado; scegliamo dunque le ammettenze 2 e 3 capacitive, le altre o nulle o resistive:

$$Y_2 = sC_2; \quad Y_3 = sC_3; \quad Y_5 = \frac{1}{R_5}; \quad Y_4 = \frac{1}{R_4}; \quad Y_1 = \frac{1}{R_1};$$

Volendo si possono usare anche solo quattro componenti di retroazione, imponendo $Y_4 = 0$. Inoltre, si può semplificare il circuito, imponendo:

$$C = C_2 = C_3$$

Come risultato, si avrà:

$$\frac{V_u}{V_i} = -\frac{2sR_1C}{s^2R_1R_5C^2 + 2sR_1C + 1}$$

$$f_0 = \frac{1}{2\pi\sqrt{R_1R_5}C}$$

$$Q = \frac{1}{2}\sqrt{\frac{R_5}{R_1}}$$

Senza R_4 capita una cosa piuttosto spiacevole: Q e il guadagno del circuito presentano un'interdipendenza, ossia, modificando uno dei due parametri, si va a modificare anche l'altro. Al prezzo di aver dunque ottenuto un'espressione più maneggevole, quindi, si è creata una dipendenza tra i parametri, grosso handicap per chi deve fare il progetto.

L'assenza di R_4 , quindi, influenzerà anche la dinamica di ingresso: un circuito con Q elevato avrà anche un guadagno elevato, poichè:

$$H_{0,BP} = -\frac{R_5}{2R_1} \simeq -2Q^2$$

Un Q alto non permette l'uso di segnali al di sopra di una certa ampiezza, al fine di non introdurre fenomeni di non linearità nel sistema di amplificazione.

2.3.4 Filtri a variabili di stato

I circuiti finora studiati sono contraddistinti dal fatto che vi sia un unico amplificatore operazionale per ogni cella.

Fino ad una ventina di anni fa, usare un solo amplificatore operazionale era obbligatorio: gli *op-amp* erano componenti molto costosi, dunque doverne usare uno in un progetto richiedeva già una spesa piuttosto ingente. Il crollo dei prezzi degli amplificatori operazionali ha tuttavia permesso lo sviluppo di nuovi tipi di filtri, ideati a partire da concetti della teoria dei controlli automatici.

L'idea di base dietro l'utilità dei filtri *a variabili di stato* è la seguente: sarebbe carino poter disporre di "blocchetti", nella fattispecie realizzabili mediante circuiti integrati, facili da usare e configurare (mediante ad esempio

resistori introducibili dall'esterno), in modo da poter modificare da un lato frequenza di taglio ed altri aspetti, da un altro addirittura il tipo di funzione di trasferimento (passa-basso, passa-banda, ecc.).

Prendiamo in considerazione le funzioni di trasferimento dei tre filtri finora studiati: dato il denominatore (uguale per tutte e tre le funzioni di trasferimento) $D(s)$ pari a:

$$D(s) = s^2 + \frac{\omega_0}{Q}s + \omega_0^2 = s^2 + 2\xi\omega_0s + \omega_0^2$$

Si hanno le seguenti tre espressioni:

$$H_{HP}(s) = \frac{s^2}{D(s)}$$

$$H_{BP}(s) = \frac{\frac{\omega_0}{Q}}{D(s)}$$

$$H_{LP}(s) = \frac{\omega_0^2}{D(s)}$$

Cosa potremmo notare, di queste espressioni? Beh, esse di fatto differiscono, a meno di qualche costante moltiplicativa qua e là, di un s al numeratore, o s^2 . La cosa "gustosa" è però che, nel dominio del tempo, la moltiplicazione per un fattore pari a $\frac{1}{s}$ nel dominio di Laplace corrisponde ad un processo di integrazione; poichè dunque:

$$H_{BP}(s) \simeq s \cdot H_{HP}(s) \longleftrightarrow H_{HP}(s) = H_{BP}(s) \cdot \frac{1}{s}$$

Dove il " \simeq " è usato per tener conto delle costanti moltiplicative. Il filtro *passa-banda* altri non è che un filtro *passa-alto integrato*! Mettendo dunque un integratore in cascata ad un filtro passa-alto, si ottiene un filtro passa-banda.

E il passa-basso? Una volta che si è capito il ritornello, si vede facilmente che:

$$H_{LP}(s) \simeq \frac{1}{s} H_{BP}(s)$$

Integrando un passa-banda, dunque, si ottiene un filtro passa-basso.

Cosa possiamo fare ora? Per fare un po' gli automatici, proponiamo uno schema a blocchi di un filtro del II° ordine a variabili di stato, per capirne il funzionamento (fig. ??).

Si può vedere facilmente che.

$$A_2V_A = (-V_i - V_0 - V_1)$$

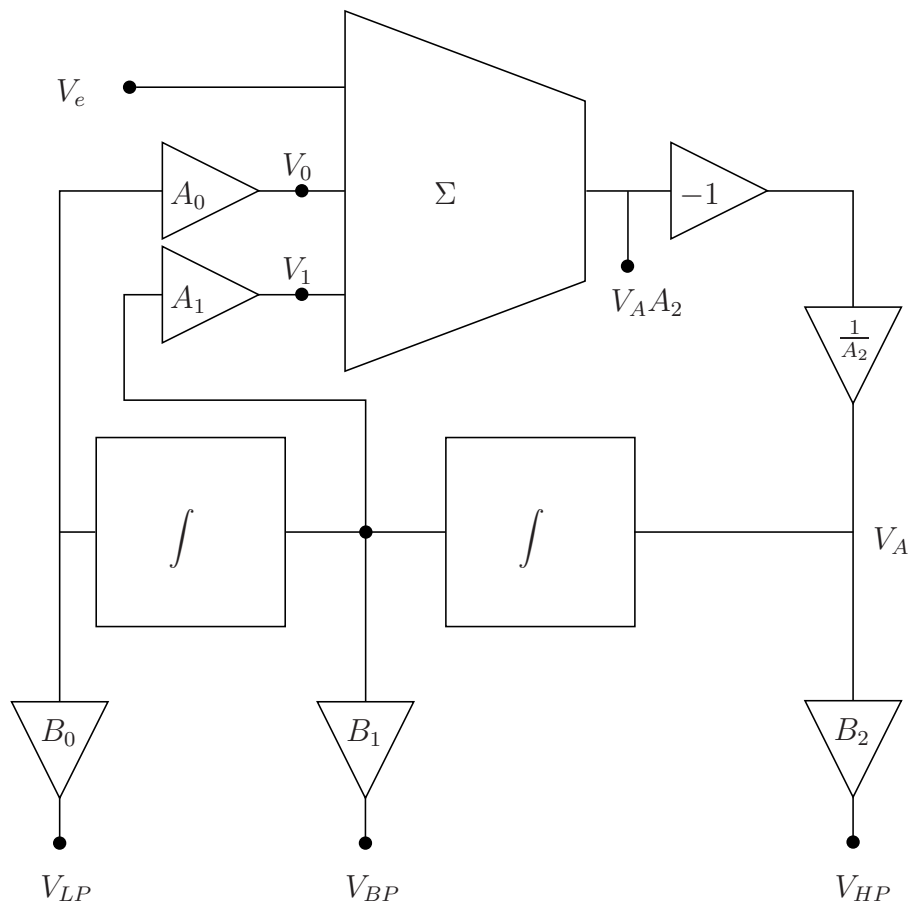


Figura 2.20: Schema a blocchi generale del filtro di secondo ordine.

$$V_1 = V_A \cdot \frac{1}{s} \cdot A_1$$

$$V_0 = V_A \cdot \frac{1}{s^2} \cdot A_0$$

Risolvendo il sistema di ste tre equazioni, si ottiene:

$$\frac{V_A}{A_2} = \left(-V_i - \frac{V_A A_1}{s} - \frac{V_A}{s^2} A_0 \right)$$

Da qui:

$$V_A \cdot \frac{A_2 s^2 + A_1 s + A_0}{s^2} = V_i$$

Da qui:

$$\frac{V_A}{V_i} = \frac{s^2}{A_2 s^2 + A_1 s + A_0}$$

Da ciò si vede che:

$$V_{HP} = \frac{B_2 s^2}{A_2 s^2 + A_1 s + A_0}$$

Questa è esattamente la funzione di trasferimento di un filtro passa-alto. Prelevando il segnale da questa uscita, si è ottenuto proprio un filtraggio passa-alto.

Calcoliamo anche le altre due funzioni, vedendo banalmente che:

$$V_{BP} = \frac{B_1 s}{A_2 s^2 + A_1 s + A_0}$$

$$V_{LP} = -\frac{B_0}{A_2 s^2 + A_1 s + A_0}$$

C'è da fornire una piccola nota per quanto riguarda la realizzazione pratica del circuito: dal momento che gli integratori solitamente realizzati sono invertenti, il circuito a blocchi andrà un po' modificato.

Vediamo quindi ora una realizzazione circuitale pratica per quanto riguarda questo filtro (fig. 2.21).

La funzione di traferimento si può semplificare, eliminando i guadagni e mettendo i seguenti parametri semplificativi:

$$C = C_1 = C_2$$

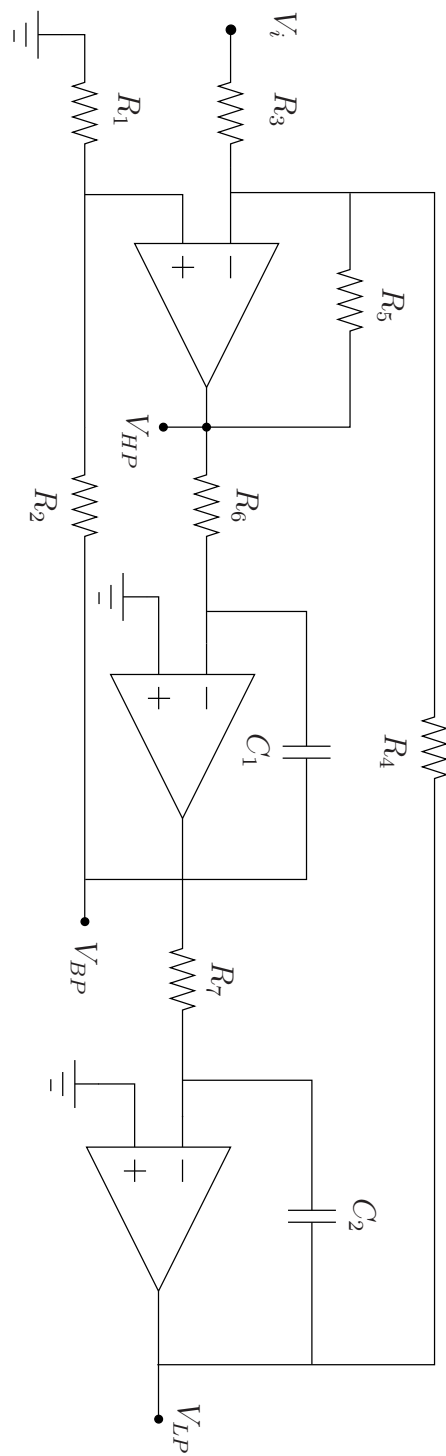


Figura 2.21: Schema circuitale di un filtro a variabili separabili del secondo ordine.

$$R_3 = R_4 = R_5$$

$$R = R_6 = R_7$$

Da qui:

$$V_{HP} = -\frac{R_3}{R_3}V_i - \frac{R_3}{R_3}V_{LP} + \frac{R_1}{R_1 + R_2} \left(1 + \frac{R_3}{R_3 \oplus R_3}\right) V_{BP}$$

Quindi:

$$V_{BP} = -\frac{1}{sRC}V_{HP}; \quad V_{LP} = -\frac{1}{sRC}V_{BP} = \frac{1}{s^2R^2C^2}V_{HP}$$

Quindi:

$$V_{HP}V_e = -\frac{s^2R^2C^2}{s^2R^2C^2 + s \left[3RC \cdot \frac{R_1}{R_1+R_2}\right] + 1}$$

$$f_0 = \frac{1}{2\pi RC}$$

$$Q = \frac{1}{3} \left(1 + \frac{R_2}{R_1}\right)$$

Con queste ipotesi, programmare il filtro è facilissimo; inoltre, con queste ipotesi semplificative, ossia ponendo eguali tra loro i parametri, si è ottenuto:

$$H_{0,BP} = Q$$

$$H_{0,LP} = -1$$

2.3.5 Cella di Tow-Thomas

Esistono ancora altri tipi di celle di progetto per i filtri analogici, celle che fanno uso di più amplificatori operazionali. Come già detto, il costo estremamente ridotto di questo componente ha fatto sì da renderlo diffuso quanto i condensatori.

La cella di Tow-Thomas si basa su di una topologia presentata nello schema 2.22

Il primo sommatore ha una funzione non univoca: esso, al contempo, funziona infatti da sommatore e da integratore. Questa natura duplice del primo stadio rappresenta la prima differenza rispetto al circuito a doppia

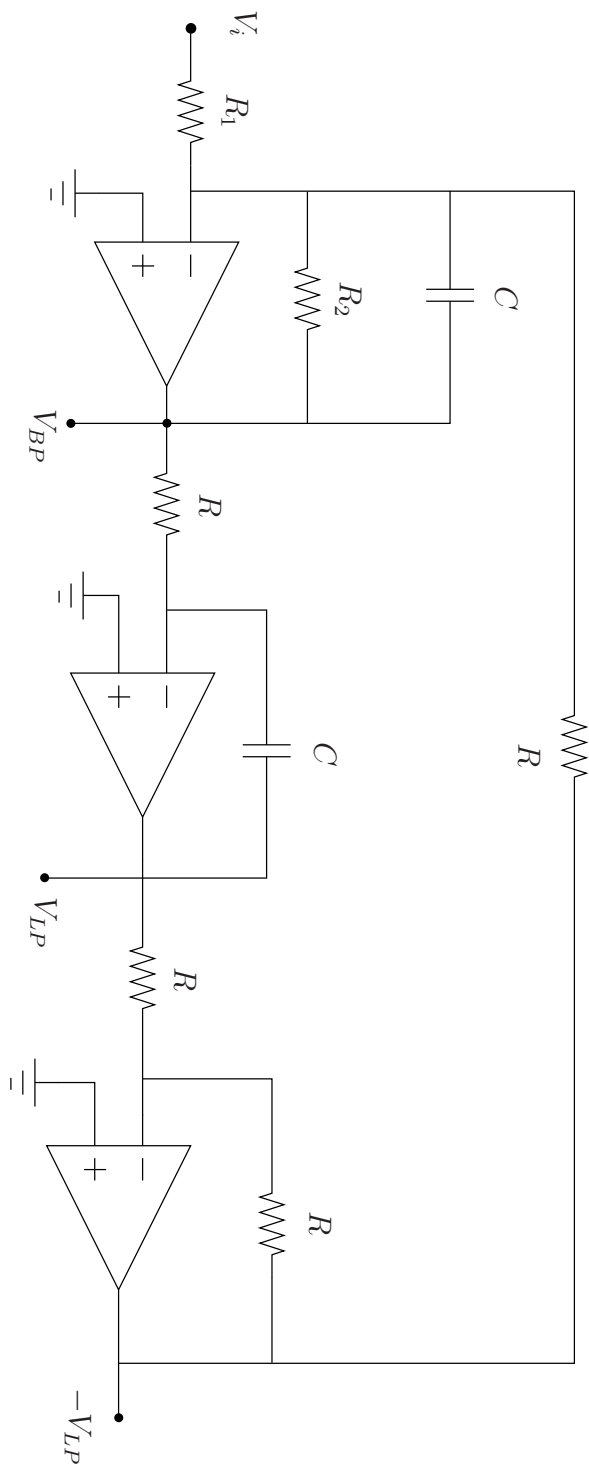


Figura 2.22: Schema generale della cella di Tow-Thomas.

integrazione (filtro a variabili di stato). In uscita dal primo operazionale non avremo più una tensione con andamento in frequenza di comportamento passa-alto, bensì immediatamente passa-banda. Abbiamo dunque “perso”, rispetto al filtro precedentemente presentato, il filtro passa-alto.

In cascata al primo stadio ve ne è un secondo, uno stadio di integrazione normale (che deve per l'appunto integrare l'uscita passa-banda, operando in modo analogo alla cella a doppia integrazione); poichè il circuito integratore non invertente è tuttavia molto instabile, avremo bisogno di un ulteriore amplificatore operazionale, al fine di introdurre uno stadio invertente, ossia con guadagno pari a -1.

Riassumendo, la cella di Tow-Thomas è composta da tre sezioni: la prima, in cui si ha un sommatore unito ad un integratore; la seconda, costituita da un integratore invertente; la terza, costituita da un amplificatore invertente, con guadagno unitario.

Calcoliamo la funzione di trasferimento del circuito: si potrebbe basare sull'ormai solita analisi nodale.

Osserviamo però alcune cose: la resistenza R_2 è floating, ossia è collegata tra V_{BP} e il “-” del primo amplificatore operazionale. Osserviamo che V_{BP} si può calcolare a partire da tre contributi: il segnale di ingresso, la stessa V_{BP} (riportata indietro dalla rete di reazione composta dal parallelo di R_2 e del condensatore C), e da $(-V_{LP})$ (terza uscita del filtro, riportata indietro dalla reazione costituita da R). Dunque, sovrapponendo gli effetti:

$$V_{BP} = -\frac{V_i}{sR_1C} - \frac{V_{BP}}{sR_2C} - \frac{(-V_{LP})}{sRC}$$

Inoltre, si vede che:

$$V_{LP} = -\frac{V_{BP}}{sRC}$$

Dal momento che il passa-basso si ottiene, come detto già più volte, integrando il passa-banda.

Sostituendo la seconda espressione nella prima, ed effettuando alcune manipolazioni algebriche, si ottiene:

$$\frac{V_{BP}}{V_i} = -\frac{R_2}{R_1} \cdot \frac{s\frac{R^2C}{R_2}}{sR^2C^2 + \frac{sR^2C}{R_2} + 1}$$

Si potrà dunque, leggendo da questa espressione, dire che:

$$f_0 = \frac{2}{2\pi RC}$$

$$Q = \frac{R_2}{R}$$

$$H_{0,BP} = -\frac{R_2}{R_1}$$

$$H_{0,LP} = \frac{R}{R_1}$$

Sostanzialmente non si hanno molte differenze rispetto al filtro a doppia integrazione: lo svantaggio è il fatto che **non si ha un'uscita passa-alto**; il vantaggio è il fatto che, con un ipotetico integratore non invertente basterebbe usare due soli amplificatori operazionali. Questa cella *per ora* non è particolarmente utile, ma verrà ripresa in seguito, quando parleremo di filtri a condensatori commutati.

2.3.6 Simulatore di induttanza

Mediante gli amplificatori operazionali è possibile, oltre che fare tutto ciò che abbiamo finora fatto, fare una cosa piuttosto bizzarra: *simulare il comportamento di componenti passivi*. Mediante circuiti basati sull'amplificatore operazionale, dunque, è possibile simulare resistori, condensatori, induttori, o anche **componenti passivi non esistenti**, quali il FDNR (*Frequency Dependent Negative Resistor*): un resistore di valore negativo, ossia sul quale un passaggio di corrente provoca un aumento di tensione.

Osserviamo il circuito di partenza sul quale si basa il progetto della cella che introdurremo: il simulatore di componenti, o GIC (*Generalised Impedance Converter*, fig. 2.23).

Come al solito, la nostra intenzione è quella di caratterizzare il circuito a partire dal calcolo della sua funzione di trasferimento. Partiamo dall'impedenza di ingresso: introducendo un generatore di prova, V_x , vogliamo determinare la I_x da esso generata, per applicare la legge di Ohm. Ricordando le "litanie", ossia le equazioni di funzionamento modellizzanti il comportamento dell'amplificatore operazionale ideale, si vede che tra Z_2 e Z_3 vi è la tensione V_x (dovuta all'*op-amp* A_2), ma quindi anche tra Z_4 e Z_5 (a causa di A_1). Ciò che si può fare dunque è calcolare I_x come corrente che scorre sull'impedenza Z_1 :

$$I_x = \frac{V_x - V_{A1}}{Z_1}$$

Sempre per via dell'impedenza infinita degli operazionali, si può dire che su Z_2 e Z_3 vi sia la stessa corrente; per lo stesso discorso, dunque, anche su

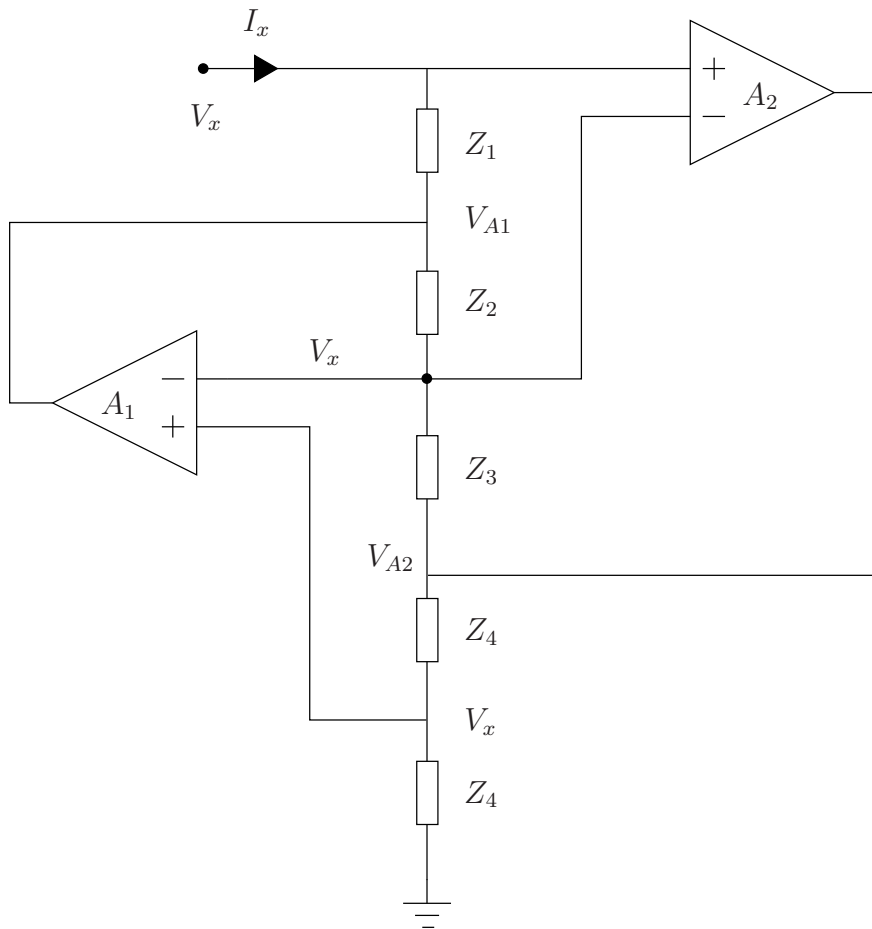


Figura 2.23: Schema del simulatore di componenti.

Z_4 e Z_5 . Questo fatto permette di dire che Z_2 sia in serie a Z_3 , e Z_4 sia in serie a Z_5 .

A questo punto, conosciamo tutte le tensioni in gioco (a meno delle uscite degli operazionali, V_{A1} e V_{A2}); possiamo dunque sfruttare la nostra osservazione sulla topologia delle varie impedenze (le disposizioni in serie), sfruttando il fatto che le correnti siano a due a due uguali, per dire che:

$$\frac{V_{A1} - V_x}{Z_2} = \frac{V_x - V_{A2}}{Z_3}$$

$$\frac{V_{A2} - V_x}{Z_4} = \frac{V_x}{Z_5}$$

Mediante manipolazioni algebriche di vario tipo, si ottiene:

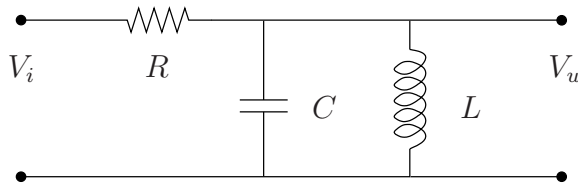


Figura 2.24: Schema fondamentale di un circuito RLC.

$$\frac{V_x}{I_x} = \frac{Z_1 Z_3 Z_5}{Z_2 Z_4}$$

Questa funzione di trasferimento è molto interessante: proviamo per esempio, “a caso”, a mettere Z_2 condensatore, e tutti gli altri componenti resistori; avremo:

$$Z_{in} = \frac{V_x}{I_x} = \frac{sR_1 R_3 R_5 C_2}{R_4}$$

Questo è proprio il comportamento di un'induttanza, oltretutto *ideale*!

Ma in un filtro, a che serve una roba del genere? Beh.. Consideriamo un classico circuito RLC (fig. 2.24).

Anzichè usare l'induttanza, che è difficile da realizzare, costosa, rumorosa, ricca di perdite, insomma molto antipatica, possiamo sostituirla con una graziosa simulatrice di induttanze (fig. 2.25).

Si ottiene un filtro passa-banda del secondo ordine. L'uscita V_u equivale a quella del filtro passivo reale, dunque **non** è un punto a bassa impedenza, e inserendo un carico il circuito viene alterato, e la tensione non è come quella prelevabile da un generatore ideale. La cosa gustosa del circuito è però la presenza di V'_u : esso è un punto *a bassa impedenza che non altera in alcun modo il carico*; niente cadute di tensione, niente variazioni della funzione di trasferimento.

Come sono legate V_u e V'_u ? Beh, vediamo che su $R_4 + R_5$ (la serie dei due resistori) cade una tensione pari a V'_u , mentre su R_5 solo V_u ; si può dire che, dal momento che i due resistori sono in serie:

$$\frac{V'_u}{R_4 + R_5} = \frac{V_u}{R_5} \longrightarrow V_u(R_4 + R_5) = V'_u R_5$$

Quindi:

$$V'_u = V_u \frac{R_4 + R_5}{R_5} = V_u \left(1 + \frac{R_4}{R_5} \right)$$

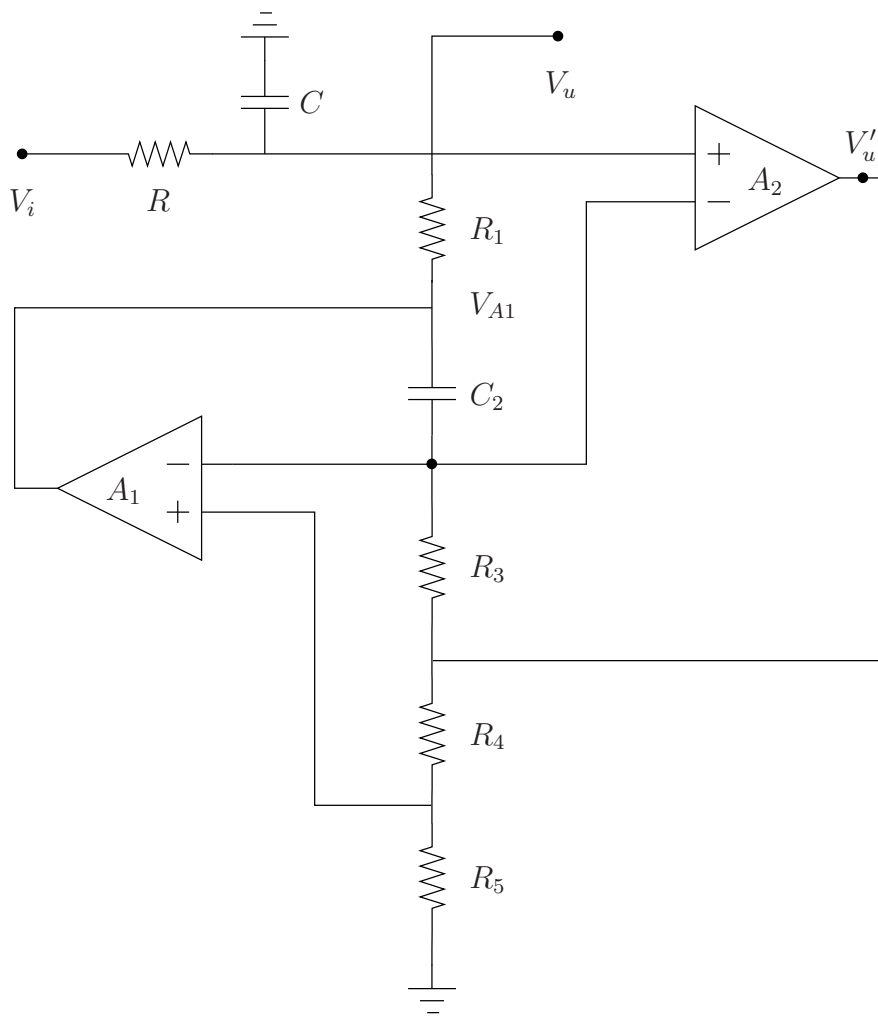


Figura 2.25: Realizzazione di un circuito RLC con un simulatore di induttanza.

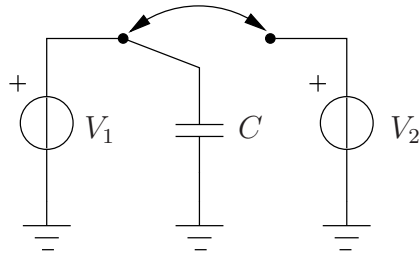


Figura 2.26: Condensatore commutato da un interruttore.

La cosa positiva è però il fatto che il carico non influenza in alcun modo l'andamento dell'uscita! Quello appena realizzato, dunque, è un circuito equivalente ad un risonatore RLC, con i vantaggi dei filtri attivi.

2.4 Filtri a condensatori commutati

Completiamo il capitolo sui filtri attivi, introducendo una categoria a sé stante di filtri: quelli a condensatori commutati (*switched capacitors filters*). Si tratta di filtri costituiti da interruttori, condensatori, e amplificatori operazionali, disposti mediante particolari topologie. Un primo schema di principio in figura 2.26.

L'interruttore collega il condensatore C una volta alla tensione V_1 , una volta alla tensione V_2 ; ciò che capita, dunque, è che il condensatore presenterà sostanzialmente due stati, identificabili con due livelli di carica, Q_1 e Q_2 :

$$Q_1 = CV_1; \quad Q_2 = CV_2$$

Commutando lo switch, vi sarà un trasferimento di carica ΔQ dal generatore V_2 al generatore V_1 , e quindi:

$$\Delta Q = C(V_2 - V_1)$$

Tutte le volte che si farà un ciclo in cui si collega il condensatore prima a V_2 e poi a V_1 , o viceversa, si avrà una variazione pari a ΔQ . Supponiamo dunque di fare questi scambi f_{CLK} volte al secondo, ossia supponiamo il fatto che lo switch commuti con una frequenza dettata in qualche modo da un clock a frequenza f_{CLK} . Ogni secondo si avrà una corrente (media, dal momento che si media in un certo tempo T considerabile come il reciproco della frequenza di clock) pari a:

$$I = \frac{\Delta Q}{T} = f_{CLK} \cdot C(V_2 - V_1)$$

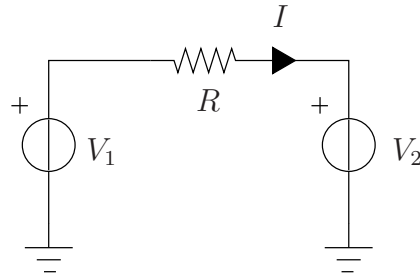


Figura 2.27: Trasferimento di corrente tra i due generatori di tensione.

Abbiamo fornito una prima idea; cambiamo a questo punto circuito, per riprendere un qualcosa di molto più familiare, in un certo senso più semplice (fig. 2.27).

Banalmente, si può vedere che:

$$I = \frac{V_2 - V_1}{R}$$

Nessuna idea? Uhm... .. guardiamo un po' questo circuito e quello di prima: non si assomigliano neanche un po'? Da un lato si ha uno switch, dall'altro si ha una resistenza R . Tenendo conto che dimensionalmente i conti tornano, si potrebbero dimensionare f_{CLK} e C come segue:

$$R_{eq} = \frac{1}{C \cdot f_{CLK}}$$

Ossia, il sistema *switch + condensatore* si può sorprendentemente modellizzare mediante un elemento resistivo. Nella fattispecie, si può dire che, se f_{CLK} è molto maggiore della frequenza dei segnali che utilizziamo, i due sistemi sono del tutto equivalenti!

Ciò non è in realtà del tutto vero. I due sistemi hanno qualche differenza fondamentale: il primo circuito infatti trasferisce la corrente *a pacchetti*, mentre il secondo *in modo continuo*, ossia senza mai interrompersi. La cosa bella è che, per frequenze di clock elevate, questo fatto non si nota².

Adesso non resta che dire per quale fine usare un circuito di questo genere. Abbiamo forse già accennato il fatto che i **condensatori di precisione** in commercio non esistono, o comunque sono estremamente costosi; questi circuiti si basano sulla regolazione di un rapporto tra due capacità, mediante un clock, ossia un generatore di segnali ad una frequenza ben definita. Quest'ultimo è piuttosto semplice da realizzare: esistono sistemi elettronici, realizzati

²Un circuito di questo genere comunque andrebbe studiato, per correttezza, nel dominio della trasformata Z (il corrispondente discreto della trasformata di Laplace).

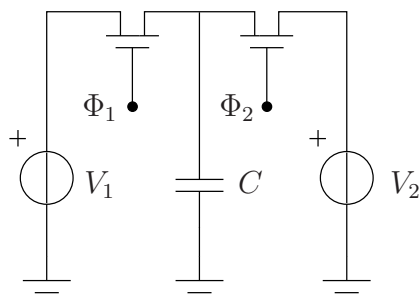


Figura 2.28: Capacità commutate con interruttore realizzato con MOSFET.

su di un singolo circuito integrato (poco costosi e semplici da trovare in commercio) o usando oscillatori al quarzo sono in grado di realizzare ottimi clock. Ciò che si ottiene in questo modo è da un lato un circuito con scarsi elementi di incertezza, dal momento che la frequenza è la grandezza più facile da ottenere, e dall'altro *senza resistenze*: volendo realizzare un filtro su di un circuito integrato, bisognerebbe realizzare resistenze integrate; le resistenze sui circuiti integrati vengono comunemente evitate dal momento che la loro realizzazione comporta un grosso spreco di spazio di integrazione.

Il valore della frequenza di taglio di un filtro a condensatori commutati non dipenderà tanto dalle capacità dei singoli condensatori utilizzati per la commutazione, quanto dal loro rapporto. Come già detto, il rapporto a sua volta dipenderà da f_{CLK} , che ovviamente sarà facilmente regolabile mediante sistemi elettronici digitali (o mediante oscillatori al quarzo, molto semplici da gestire ed estremamente precisi). Esistono numerosi circuiti integrati in grado di realizzare perfettamente sistemi di questo genere.

Come si realizza, in pratica, uno di questi deviatori? Beh, gli interruttori, comunemente, vengono realizzati mediante MOSFET (fig. 2.28).

Quando la tensione di gate è abbastanza alta, il comportamento è quello di una resistenza; se è troppo bassa, è quello di un circuito aperto. I segnali di pilotaggio dei MOSFET, Φ_1 e Φ_2 sono sostanzialmente lo stesso segnale, però il secondo sfasato rispetto al primo. Si parla di clock a due fasi non sovrapposte.

Condizione obbligatoria sul segnale di clock è il fatto che le fasi *non sian sovrapposte*: i segnali possono essere entrambi bassi, il primo alto e il secondo basso, il primo basso e il secondo alto, ma assolutamente mai entrambi alti. Se i segnali di clock avessero entrambi uno stato logico alto, si metterebbero (a meno di cadute resistive sui MOSFET) *in corto circuito i due generatori* del circuito di partenza. Per questo si sfruttano i segnali a fasi non sovrapposte (*non-overlapping phase*), realizzati solitamente mediante latch S-R (se ne

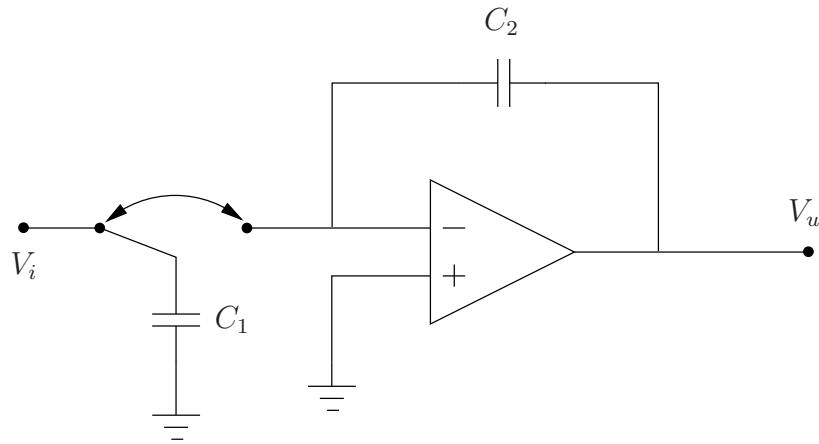


Figura 2.29: Integratore *switching*.

parlerà in seguito).

Vogliamo sfruttare dunque questi principi, per realizzare dei filtri. Un circuito di base potrebbe essere il solito integratore (fig. 2.29).

Sostituendo il resistore con il sistema switch+condensatore, sfruttando il principio di equivalenza $R \leftrightarrow R_{eq}$, si ottiene:

$$R \longleftrightarrow \frac{1}{f_{CLK} C_1}$$

Da qua, si avrà che:

$$\begin{aligned} \frac{V_u}{V_i} &= -\frac{1}{sRC} = -\frac{1}{s \frac{1}{f_{CLK} C_1} C_2} = \\ &= -\frac{f_{CLK}}{s} \cdot \frac{C_1}{C_2} \end{aligned}$$

Da qua, si può ricavare banalmente che:

$$f_0 = \frac{C_1 f_{CLK}}{2\pi C_2}$$

Come già detto, dal momento che in elettronica la grandezza più facile da generare e gestire è proprio la frequenza, f_{CLK} sarà un enorme punto di forza.

Cerchiamo di renderci conto di cosa abbiamo guadagnato: se nel circuito a tempo continuo avessimo voluto una frequenza di taglio $f_0 = 1$ kHz, cosa avremmo dovuto fare? Beh, vediamo:

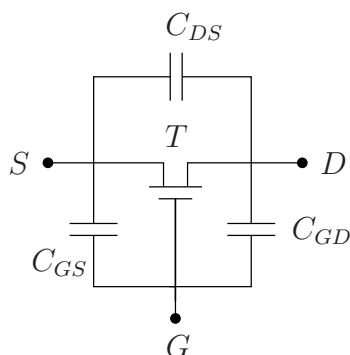


Figura 2.30: Capacità parassite nel modello circuitale del MOSFET.

$$10^3 = \frac{1}{2\pi RC}$$

Mettere una certa capacità C ed una certa resistenza R , realizzandole in un circuito integrato, ma avere da realizzare una resistenza in un integrato non è il massimo della vita.

E ora?

$$10^3 = \frac{f_{CLK} \cdot C_1}{2\pi C_2}$$

Niente resistenze, e con una frequenza dell'intorno di $f_{CLK} = 100 \text{ kHz}$ saremo a posto, infatti:

$$10^3 = \frac{C_1}{2\pi C_2} \cdot 10^5 \longrightarrow C_2 = \frac{10^2}{2\pi} C_1 \simeq 15,9 C_1$$

Sarà sufficiente avere un condensatore la cui capacità sia 16 volte maggiore di quella dell'altro: le capacità saranno 2, e molto piccole (dal momento che è sufficiente rispettare il rapporto!). Inoltre, i MOSFET da integrare sono estremamente semplici: il circuito risultante sarà, dunque, preciso ed economico.

Abbiamo trovato il circuito perfetto per la realizzazione di filtri? La risposta è *assolutamente no*. Raramente nella realtà si utilizza un circuito di questo genere, dal momento che funziona veramente male: i MOSFET sono infatti costituiti da un pezzo di metallo attaccato ad un dielettrico a sua volta collegato ad un semiconduttore drogato. Questo dispositivo, in realtà, è un perfetto condensatore. Questo significa che in qualsiasi morsetto di un transistor MOS a effetto di campo vi sono capacità parassite.

Il circuito sarà complessivamente modellizzabile come in fig. 2.31. Non solo i MOSFET hanno capacità parassite, ma persino i condensatori integrati

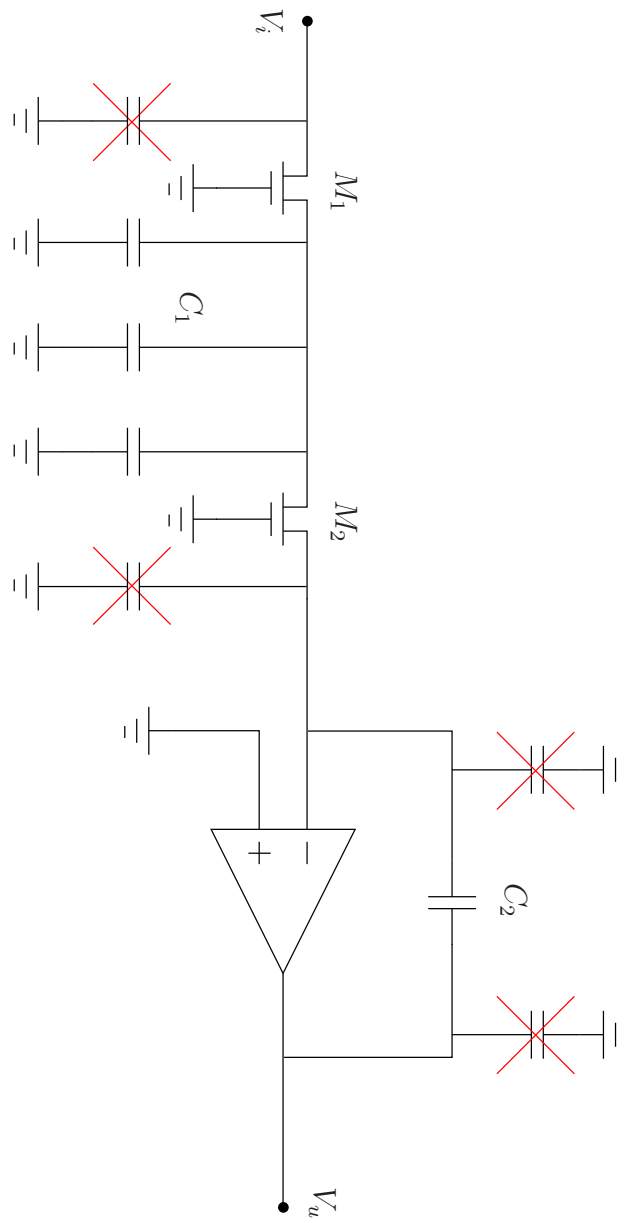


Figura 2.31: Integratore switching con capacità parassite.

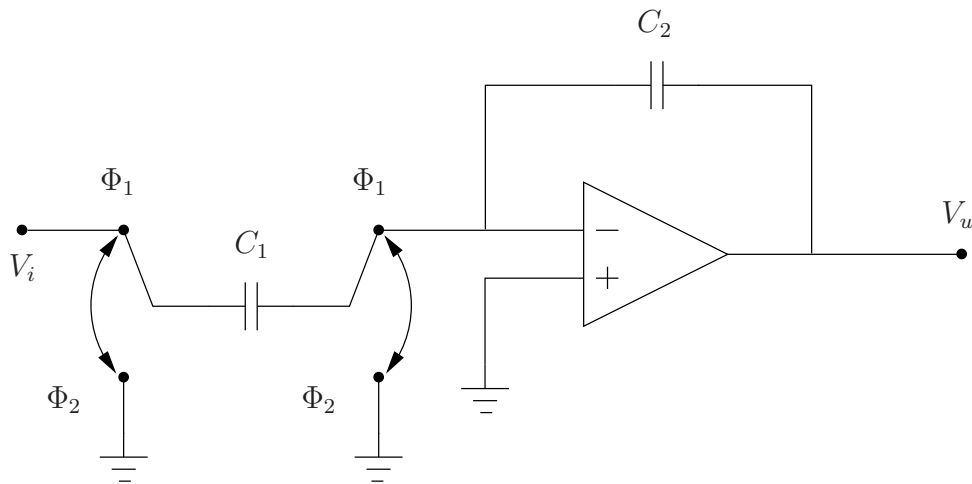


Figura 2.32: Integratore switching doppio.

hanno capacità parassite! La cosa positiva è però il fatto che esse non contano: osservando C_2 e le due relative capacità parassite collegate a 0 V, una è collegata tra 0 V e 0 V, l'altra è su di un punto a bassa impedenza, dunque sarà esterna alla retroazione, in quanto farà esclusivamente parte del carico del circuito.

La capacità sinistra di M_1 e quella destra di M_2 non sono state indicate, poichè vale un discorso del tutto analogo; mentre per quanto riguarda le restanti capacità parassite, ossia quella “destra” di M_1 e quella “sinistra” di M_2 , sono gli *elementi critici del circuito*: esse sommeranno il proprio valore di capacità a quello del condensatore C_1 , introducendo indeterminazione sulle grandezze del circuito.

Proviamo dunque a considerare un altro circuito, in figura 2.32. I due switch saranno **sempre** nella stessa posizione, si muoveranno assieme (avranno la stessa fase): o saranno entrambi posizionati verso il condensatore, o saranno entrambi posizionati verso il riferimento 0 V. Nella posizione Φ_1 cambia la tensione ai capi del condensatore, e la corrente scorrerà verso C_2 . Invece, nella posizione Φ_2 il condensatore è collegato, invece, tra 0 V e 0 V, dunque mantiene il proprio stato. Passando da Φ_2 a Φ_1 , il condensatore passa dall'essere tra 0 V e 0 V all'essere tra 0 V (virtuali, dovuti al collegamento col morsetto non invertente dell'amplificatore operazionale), e V_i .

Questo circuito è detto *stray insensitive*, poichè le capacità parassite dei due MOSFET, M_1 e M_2 , non ci più danno problemi: ritenendo trascurabili le resistenze di canale dei quattro MOSFET costituenti i due deviatori, durante

la fase Φ_1 le capacità parassite si caricano³, al cambio di fase si scaricano su M_3 e M_4 (che si comportano come corto circuiti, per il fatto che consideriamo trascurabili le resistenze di canale dei MOSFET), i quali formano, con questa topologia, un “percorso preferenziale” per le correnti accumulate nelle capacità parassite, rendendole “invisibili” al resto del sistema elettronico.

Integratore non invertente

Si noti una cosa alquanto simpatica: mediante una piccola modifica a questo circuito, rappresentante una realizzazione del tipico integratore invertente (sostituendo al resistore R la resistenza R_{eq} ottenuta mediante il sistema di switch), si può ottenere un integratore non invertente. Per fare ciò, è sufficiente fare in modo che gli interruttori, anzichè avere la stessa fase, si trovino esattamente in opposizione di fase: quando uno degli interruttori è sullo stato Φ_1 l'altro deve trovarsi in stato Φ_2 , e viceversa.

Perchè questo circuito tuttavia si comporta come integratore non invertente? Beh, se V_i è positiva, nella fase Φ_1 il condensatore C_1 si caricherà, poichè collegato a sinistra a $+V_i$, a destra a 0 V; caricato il condensatore, si cambia di fase e il terminale sinistro è collegato a 0 V, quello destro al morsetto invertente dell'amplificatore operazionale. Il condensatore dunque imporrà sul morsetto “-” una tensione pari a $-V_i$: il fatto che la tensione V_i del condensatore sia riferita a 0 V, ma dall'altro capo (quello che prima era positivo), fa **abbassare** la tensione di V_i , portando il morsetto precedentemente positivo del condensatore a 0 V, quello precedentemente a 0 V a $-V_i$. Il compito dell'operazionale a questo punto è quello di cercar di “parificare” le tensioni ai due morsetti, e per far ciò dovrà **umentare** la tensione di uscita, ottenendo di fatto un integratore non invertente.

Limiti dei filtri a condensatori commutati

Quali sono i limiti dei filtri a condensatori commutati? Innanzitutto, il fatto di non poter lavorare a frequenze elevate, come a radiofrequenza: il limite massimo è molto inferiore (almeno uno o due ordini di grandezza) rispetto alla frequenza del clock, f_{CLK} . Il sistema elettronico infatti non deve avere il tempo di “accorgersi” della natura discreta della finta resistenza inserita, ed i conseguenti limiti da essa imposti: uno su tutti è il teorema di Nyquist, che però va abbondantemente soddisfatto, al fine di evitare problemi.

Un limite inferiore al funzionamento del sistema è il fatto che l'amplificatore operazionale non è ideale: esistono perdite e generici effetti di non

³cosa che può essere vera per C_{p1} , non per C_{p2} , dal momento che il MOSFET non ha resistenza e quindi C_{p2} si trova tra 0 V e 0 V virtuali

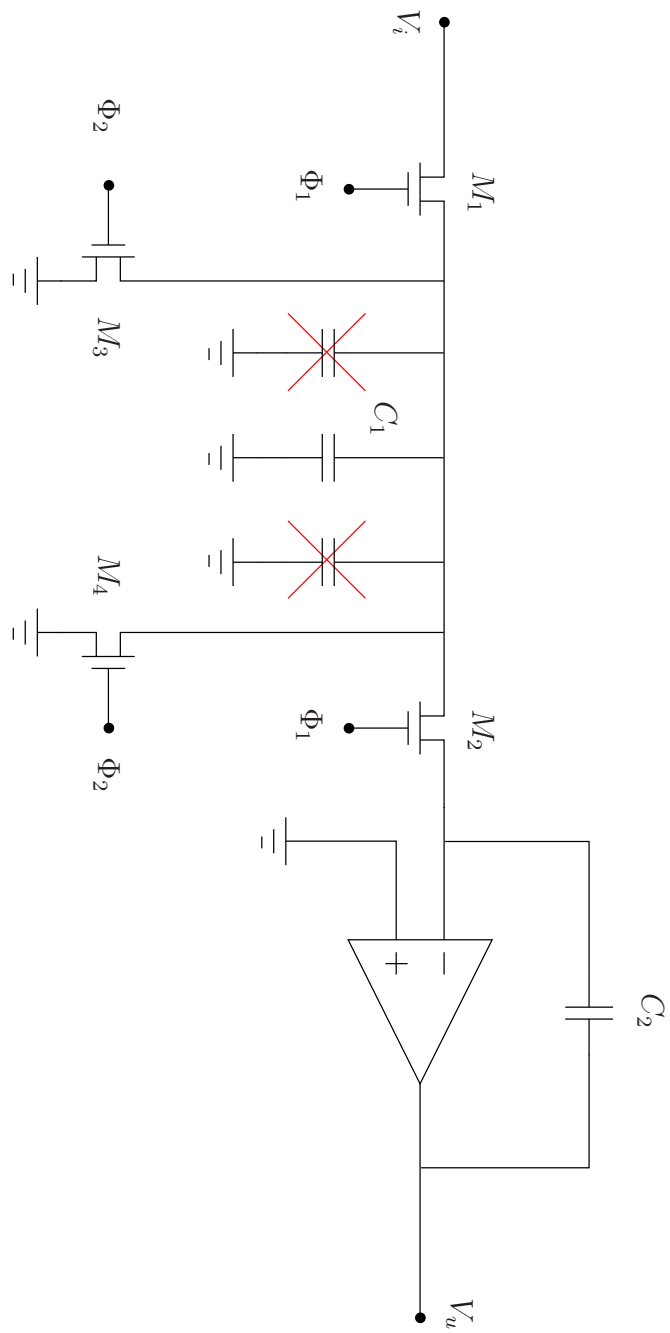


Figura 2.33: Schema circuitale *stray insensitive*.

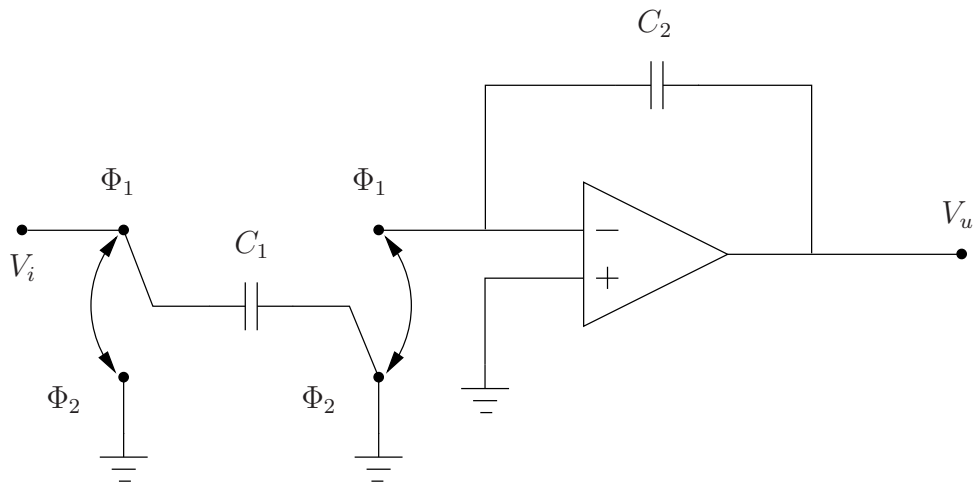


Figura 2.34: Integratore switching non invertente.

idealità che potrebbero causare variazioni delle uscite dopo un certo tempo di funzionamento del sistema; perdite che potrebbero caricare le varie capacità parassite. Solitamente tuttavia, usati nel loro range di funzionamento, questi tipi di filtri dovrebbero funzionare in maniera assolutamente soddisfacente.

2.5 Conclusioni

Abbiamo parlato di filtri attivi, presentandone un certo numero di possibili realizzazioni, esponendone i vantaggi e gli svantaggi. Ciò che potremmo chiederci a questo punto è: *nella realtà cosa ci servirà?*

La risposta è semplice: un committente ci fornirà una **maschera**, ossia un range di andamenti accettabili per quanto riguarda la funzione di trasferimento del filtro.

Le caratteristiche della maschera riguardano soprattutto l'andamento desiderato dal committente, l'attenuazione minima in banda attenuata, l'attenuazione massima in banda passante e altro. Per essere più precisi, i parametri fondamentali riguardano:

- Modulo: al modulo si può richiedere la monotonia, ossia l'eliminazione di eventuali *ripple*, *picchi*, oppure il fatto che esistano ripple, ma sotto una massima oscillazione tollerata;
- Fase: alla fase si richiede un andamento *lineare* o prossimo alla linearità: dal momento che una variazione non lineare della fase comporta una distorsione di fase del segnale (come si è studiato a Teoria dei Segnali).

In realtà le richieste sono soddisfabili a partire da particolari tipi di approssimazioni, ossia da particolari tecniche per il progetto di filtri di vario genere. Verrà ora presentata una lista di tecniche standard per il progetto di filtri, basate sull'uso di particolari polinomi approssimanti l'andamento di un *segnale a porta*.

- Filtri di Bessel: monotoni in banda passante, a fase lineare (ritardo di gruppo costante); ottimi per il progetto di filtri estremamente regolari, ma con un numero di poli molto elevato, e dunque che richiedono un grosso numero di elementi reattivi;
- Filtri di Butterworth: monotoni in banda passante, fase non lineare; si hanno meno poli rispetto ai filtri di Bessel, ma comunque possono essere molto “pesanti”;
- Filtri di Chebishev: ancora meno poli dei filtri di Butterworth, ma introducono la presenza di ripple in banda passante;
- Filtri ellittici: minimizzano il numero di poli, ma massimizzano le irregolarità del filtro, peggiorando la qualità del filtro.

A seconda di ciò che il committente ordinerà, si utilizzerà una delle categorie di filtri ora introdotte.

Capitolo 3

Applicazioni dell'amplificatore operazionale

Indice

3.1 Amplificatori da strumentazione	135
3.1.1 Introduzione	135
3.1.2 Realizzazione di amplificatori da strumentazione .	137
3.2 Circuiti monoalimentati	145

IN QUESTO CAPITOLO analizzeremo altre applicazioni particolari dell'amplificatore operazionale, fornendo alcuni esempi pratici; nella fattispecie tratteremo due argomenti non ancora approfonditi (uno già introdotto, l'altro no): amplificatori da strumentazione, e circuiti monoalimentati.

3.1 Amplificatori da strumentazione

3.1.1 Introduzione

Questo capitolo riguarda sostanzialmente un approfondimento dello studio della topologia circuitale precedentemente chiamata con il nome di *amplificatore differenziale*: un amplificatore in grado di realizzare una transcaratteristica pari a:

$$\frac{V_u}{V_i} = K(V_1 - V_2)$$

Questi amplificatori sono fondamentali per molte, moltissime applicazioni elettroniche: esempio pratico ne è ad esempio un ricevitore elettronico, ossia un dispositivo che deve ricevere segnali a partire da una connessione via

cavo o via etere. Il canale di trasmissione (doppino, etere, fibra ottica) non interessa propriamente il nostro amplificatore differenziale, se non sotto un certo punto di vista: quello della compatibilità elettromagnetica. In elettronica, per quanto spesso siamo soliti ignorare alcuni effetti più considerati da chi si occupa di elettromagnetismo, purtroppo le nostre approssimazioni non sempre sono valide, e questo è proprio uno dei casi in cui è necessario introdurre qualcosa “di più” rispetto alla sola elettronica: in un generico sistema elettronico, come potrebbe essere ad esempio un sistema di telecomunicazioni piuttosto che una centralina di un’automobile piuttosto che altro, ci sono diversi sotto-sistemi, diversi *moduli*, che comunicano tra di loro attraverso fili, sui quali i vari segnali vengono trasmessi da una parte all’altra del sistema. Ciascun filo è collegato ad un potenziale di riferimento (0 V), il quale è un punto in cui si ha un livello di energia potenziale dovuta ad effetti elettromagnetici considerabile *di riferimento*, ossia rispetto cui tutte le altre grandezze si riferiscono (una sorta di “origine degli assi” per quanto riguarda i potenziali). Oltre ai potenziali di riferimento, un altro elemento presente in un sistema elettronico sono le cosiddette *masse*, ossia le scatole metalliche o le carcasse esterne al dispositivo. Spesso le masse non hanno particolari funzioni elettriche, tuttavia sono molto importanti sotto il punto di vista della compatibilità elettromagnetica: esse, infatti, potrebbero essere considerate come potenziale di riferimento, e collegate allo 0 V, potrebbero divenire potenziale di riferimento solo in certe condizioni, quali la radiofrequenza (collegando, mediante un condensatore, 0 V e massa in modo che il condensatore si “chiuda” ad una certa frequenza e crei un contatto tra potenziale di riferimento e massa), ma potrebbero anche essere completamente inutili.

Cosa sicura è che in qualche modo conviene considerare la presenza delle masse metalliche: per vari motivi, in seguito a danni o altri problemi, potrebbero formarsi contatti tra elementi attivi del circuito e masse, rendendole di fatto rilevanti sotto il punto di vista della sicurezza elettrica¹.

A parte le considerazioni finora fatte, ciò che può succedere è una cosa piuttosto spiacevole: le masse, i fili, e gli altri elementi circuitali, sono soggetti a diversi elementi di non idealità: resistenze, capacità, induttanze. Ad esempio il fatto di trovarsi su di un’automobile in moto dalle parti di un traliccio potrebbe provocare qualcosa di questo genere: sul traliccio dell’alta tensione scorre una corrente che genera un campo magnetico a bassa frequenza, che a sua volta potrebbe generare una corrente di autoinduzione sulla massa; nel circuito quindi potrebbero formarsi tensioni di rumore, V_N , modellizzabili come generatori di tensione in ingresso ad entrambi i morsetti.

¹Per rimediare questi problemi si usa riferire a “terra” le masse; non trattandosi di un corso di compatibilità elettromagnetica, non approfondiremo.

Esiste un numero di accorgimenti in grado di eliminare parte dei problemi di compatibilità elettromagnetica: lo studio del collegamento delle masse rispetto ai potenziali di riferimento, tentare di ridurre i parametri parassiti, e così via. Tuttavia il vero problema è il fatto che ci sarà V_N all'ingresso dei morsetti del ricevitore, una parte del quale sarà proprio il nostro amplificatore differenziale. La cosa buona è che, tuttavia, V_N si può considerare come un *segnale di modo comune*, dal momento che esso provoca variazioni del potenziale di riferimento (0 V); allora è possibile effettuare una reiezione del rumore semplicemente con un amplificatore differenziale dal CMRR molto elevato. Dunque avere CMRR alto significa “bilanciare” il ricevitore rispetto al trasmettitore, nel senso che, considerando la tensione rumorosa modellizzante gli effetti nefasti delle non idealità dei canali trasmissivi come un segnale di modo comune, effettuando una buona reiezione del modo comune si effettua una reiezione del rumore, un bilanciamento dei potenziali di riferimento del sistema.

Noi finora abbiamo sempre avuto sotto agli occhi un amplificatore differenziale dal guadagno elevatissimo e dal CMRR altrettanto elevato: l'amplificatore operazionale non retroazionato! Come mai allora non abbiamo ancora utilizzato questo circuito? La risposta è semplice: avendo un guadagno così elevato da non essere controllabile, un minimo segnale porterebbe alla saturazione l'amplificatore, che dunque avrebbe una dinamica di ingresso troppo bassa; per questo motivo, non è possibile non ricorrere a qualcosa di diverso da tutto ciò che abbiamo sinora visto.

3.1.2 Realizzazione di amplificatori da strumentazione

Abbiamo capito dunque che, molto spesso, la necessità di un CMRR alto è più che giustificata; vediamo, dunque, quali sono le idee dietro agli amplificatori da strumentazione, ossia a questi *amplificatori differenziali a CMRR elevato*.

Un buon punto di partenza senza dubbio è l'amplificatore differenziale, del quale possiamo capire cosa non vada bene:

Abbiamo precedentemente introdotto la transcaratteristica di questo tipo di circuito, e abbiamo detto che, al fine di ottenere un'amplificazione di un fattore K , si deve avere:

$$\frac{R_2}{R_1} = \frac{R_4}{R_3} = K$$

Regolando in questo modo l'amplificazione K e ponendo l'eguaglianza tra i due rapporti di resistenze si riesce a ottenere il fatto che le amplificazioni relative ai due ingressi siano identiche, dunque che si abbassino le amplifi-

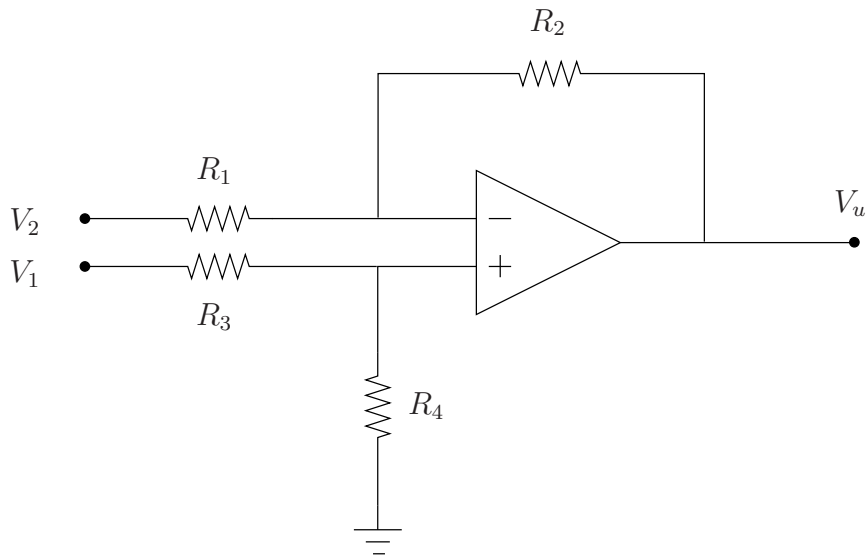


Figura 3.1: Schema circuitale dell'amplificatore differenziale.

cazioni alle componenti comuni. Inoltre, ponendo $R_3 = R_1$, e $R_4 = R_2$, si minimizzano gli offset.

Più precisa sarà la determinazione dei rapporti appena espressi e maggiore sarà il CMRR dell'amplificatore.

Da un lato ci sembra di aver risolto un problema ancora prima di aver iniziato a studiarlo, ma ovviamente non è così, dal momento che la realtà è sempre più dura e crudele della teoria: se sappiamo che basta porre uguali tra loro due resistori, in teoria, in pratica non sappiamo come fare una cosa del genere! Esiste un grosso numero di fattori, come la temperatura, l'invecchiamento, la precisione di integrazione, e altri, che non permettono di realizzare in modo soddisfacente questa soluzione.

Esistono in realtà tecniche in grado di ottimizzare i valori delle resistenze, e persino di attenuare le dipendenze da temperatura e invecchiamento, ma, volendo considerare "risolto" questo problema, se ne trova un altro, questa volta intrinseco nella topologia del circuito! Se guardiamo in faccia questo sistema, infatti, vediamo che, essendo esso un derivato dell'amplificatore invertente, esso presenta *bassa impedenza di ingresso*. Questa cosa è pessima per un sistema che vorrebbe amplificare tensioni: il partitore tra le resistenze dei generatori e quello della resistenza in ingresso provocherebbe grosse cadute di tensione sulle resistenze interne dei generatori, riducendo l'efficienza del circuito.

Esistono soluzioni? La risposta è sì, e sono persino banali: è sufficiente utilizzare dei circuiti in grado da fungere da **buffer**, da separatori di impedenza.

Cosa meglio dunque di un voltage follower?

I voltage follower hanno altissima impedenza di ingresso e bassissima impedenza di uscita, in questo modo *disaccoppiano* ottimamente le impedenze di uscita del generatore e quella di ingresso dell'amplificatore, risolvendo il problema.

Altri problemi? Beh... si può fare di meglio! Questo circuito, infatti, è un buon amplificatore differenziale, dal momento che sono stati risolti alcuni dei problemi ad esso legati, ma, a guadagno K fisso! Non esiste un modo semplice di modificare il guadagno differenziale del circuito.

Dobbiamo per forza usare dei voltage followers? Essi da un lato ottimizzano l'impedenza di ingresso e quella di uscita, anche se un buon amplificatore non invertente di fatto permette di ottenere ottimi risultati (per merito degli effetti della retroazione, non efficaci quanto in un voltage follower ma comunque molto, molto efficaci), ma in più porta un guadagno sugli ingressi (ovviamente, configurandoli in modo da avere lo stesso guadagno, al fine di non aumentare l'amplificazione di modo comune) in modo da pre-amplificare i due segnali. Aggiungiamo inoltre, al circuito, tra i due stadi di ingresso, una resistenza variabile, R (fig. 3.3).

Eccoci finalmente davanti ad un circuito veramente interessante: un circuito fungente da amplificatore differenziale con CMRR elevatissimo e guadagno K variabile con estrema semplicità. Ora cerchiamo di provare tutte queste belle frasi, verificando che sia effettivamente così, osservando alcuni casi particolari e calcolando la transcaratteristica del circuito.

Proviamo prima di tutto ad inserire un segnale di modo comune nel sistema, V_C ; supponendo che il sistema sia in stato di linearità, la tensione V_i all'ingresso di entrambi gli operazionali di pre-amplificazione è nulla, come anche la corrente, dal momento che si ha, ad entrambi i capi di R , una tensione pari a V_C . Essendo $I = 0$, anche la caduta di tensione su R_a e R_b è nulla, quindi si ha che $V_{u1} = V_{u2} = V_C$: non cadendo tensione sui resistori R_a e R_b , non si ha alcuna variazione della tensione rispetto al punto di introduzione, quindi gli amplificatori non invertenti, a queste condizioni, si comportano come amplificatori di guadagno unitario, ossia come dei voltage follower. A questo punto la bontà dell'amplificatore differenziale usato come stadio finale si vedrà a seconda di A_C , ossia del guadagno di modo comune: se esso è basso come si spera, si avrà un'uscita pressochè nulla.

E se inserissimo un segnale differenziale, $V_1 - V_2$, nei due morsetti? Si può vedere che la differenza di potenziale si mantiene costante ai capi di R , dal momento che gli amplificatori operazionali sono in modo di funzionamento lineare. Attraverso R , dunque, si avrà una corrente pari a:

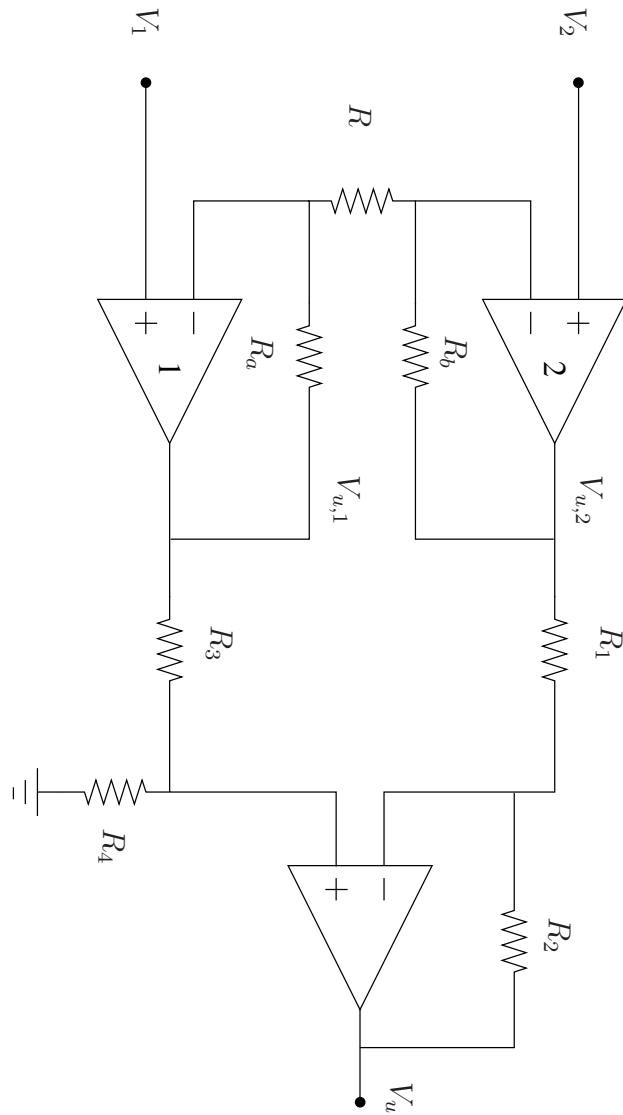


Figura 3.2: Schema dell'amplificatore che impiega dei *voltage followers* come *buffers*.

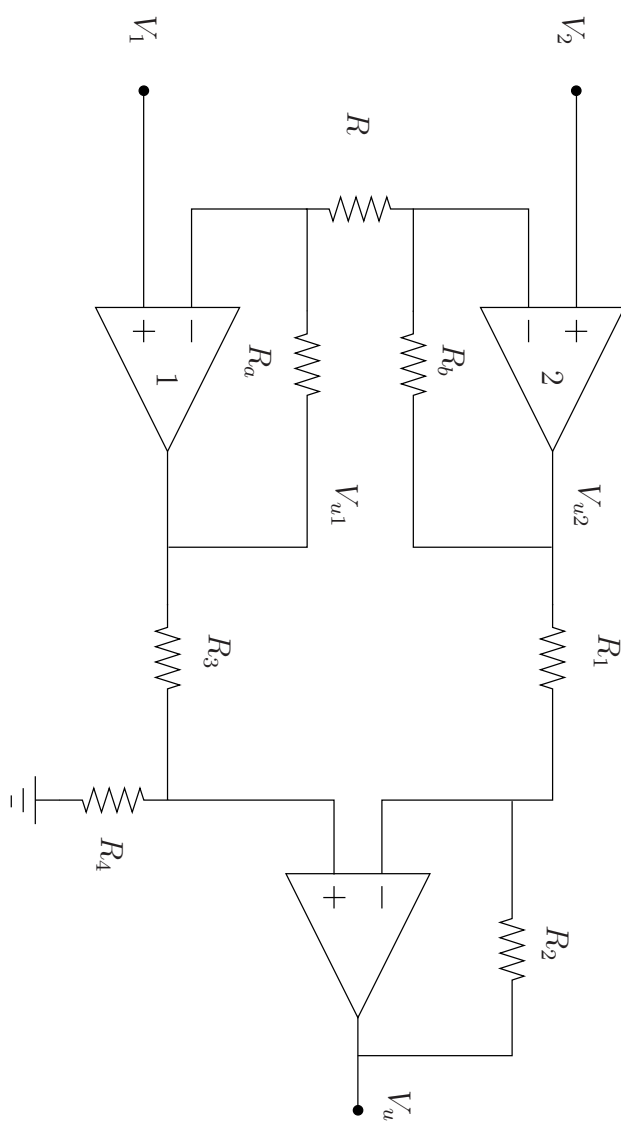


Figura 3.3: Un amplificatore da strumentazione.

$$I = \frac{V_1 - V_2}{R}$$

Questa corrente, dal momento che negli operazionali non ne entra, scorre anche sulle resistenze R_a e R_b , ottenendo dunque, a partire da un'equazione alla maglia:

$$V_{u1} - V_{u2} = \frac{V_1 - V_2}{R} \cdot (R_a + R + R_b)$$

Dal momento che le ipotesi atte ad ottimizzare il CMRR sono sempre valide, e quindi che:

$$\frac{R_2}{R_1} = \frac{R_4}{R_3}$$

L'uscita sarà pari a:

$$V_u = (V_{u1} - V_{u2}) \frac{R_2}{R_1} = \frac{R_a + R + R_b}{R} \cdot \frac{R_2}{R_1} \cdot (V_1 - V_2)$$

Quindi:

$$A_d = \frac{R_a + R + R_b}{R} \cdot \frac{R_2}{R_1}$$

Molto bene, tutto va esattamente come volevamo, ma noi non ne abbiamo ancora abbastanza! Questo circuito, per quanto già buono, è ancora migliorabile! Non indugiamo ulteriormente e vediamo subito come (fig. 3.4).

Abbiamo aggiunto altri due terminali di ingresso, collegati a dei voltage follower: il terminale *sense* e quello *ref*. Ma a cosa servono? Vediamolo un po' più nel dettaglio.

Sense

Per quanto riguarda il *sense*, supponiamo di dover applicare su V_u un amplificatore di potenza di classe B (senza diodi nè altro, in modo che conduca solo quando deve, pur avendo il crossover).

Al fine di eliminare la distorsione di crossover senza ricorrere per forza all'uso di classi più elaborate e dispendiose sotto il punto di vista del consumo energetico (quali la AB), un'idea è quella di retroazionare il circuito, prelevando tuttavia non il segnale dall'ingresso dell'operazionale, quanto dal carico dello stadio di potenza!

Collegando sull'uscita la retroazione anzichè all'ingresso dello stadio, l'amplificatore operazionale in ingresso inserisce una piccola tensione, ma sull'uscita si aspetta di trovarne un'altra, dal momento che la retroazione collega

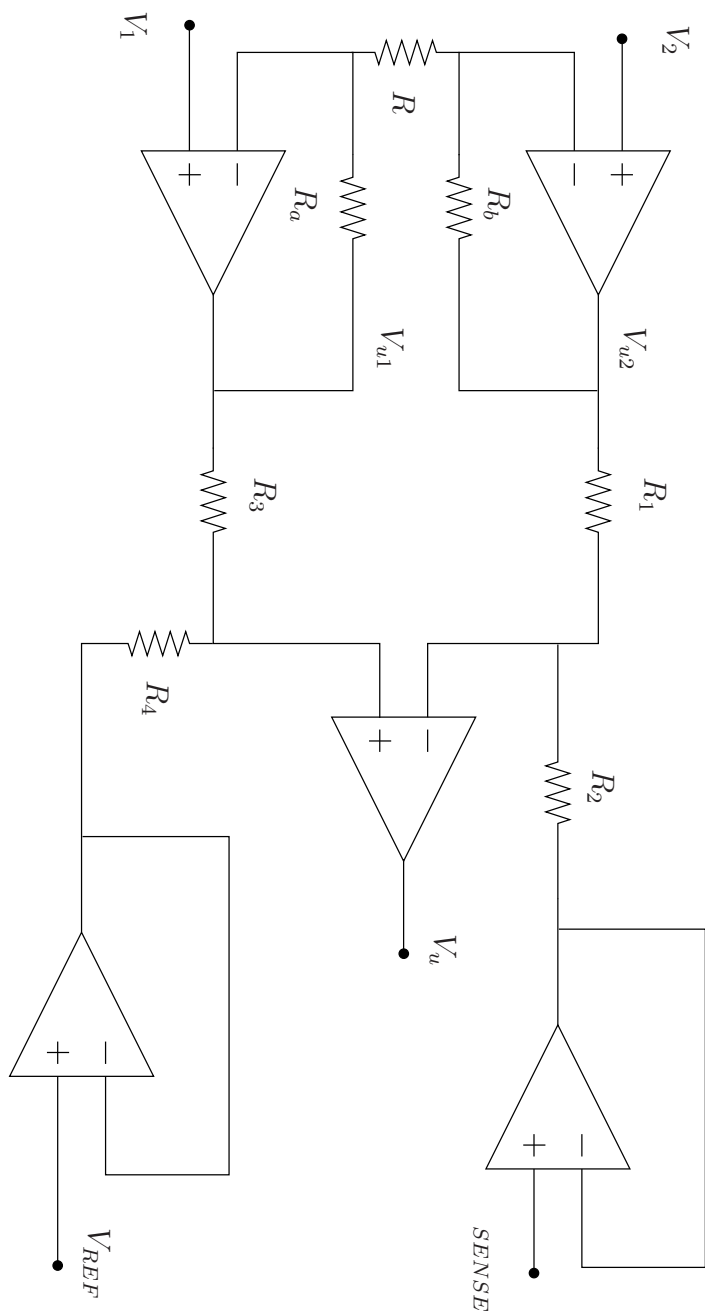


Figura 3.4: Un amplificatore da strumentazione con l'aggiunta dei terminali *sense* e *ref*.

il morsetto di ingresso con quello di uscita. Dal momento che si presenta la distorsione di crossover, e che quindi, nonostante l'operazionale proponga la minima tensione in ingresso non vi sia un'uscita, l'operazionale stesso impone una tensione di uscita tale da *recuperare il gap dei transistori*. In altre parole, l'amplificatore operazionale è in grado di analizzare, quando i due transistori non conducono, l'istante in cui tra i morsetti dell'operazionale stesso vi è una tensione non nulla, e generare un'uscita tale da compensare questa tensione, e riportarla a 0; facendo ciò, si alimentano i BJT anche quando vi sarebbe la zona di crossover, riducendola praticamente a nulla.

A cosa serve dunque il morsetto di sense? Da un lato sarebbe possibile collegare alla normale retroazione del circuito l'uscita dell'amplificatore operazionale, ma si avrebbe un problema non indifferente: lo stadio di potenza andrebbe collegato in cascata allo stadio finale dell'amplificatore da strumentazione, e bisognerebbe introdurre un corto circuito sul carico verso il morsetto non invertente dell'amplificatore operazionale finale. In questo modo, però, si formerebbe un partitore tra la resistenza di carico e quella vista andando verso il filo della retroazione con l'amplificatore operazionale finale. Ciò non è positivo, in quanto la corrente sul carico viene ripartita, peggiorando le prestazioni del sistema rispetto a quelle ideali.

Introducendo il sense, e il relativo voltage follower che si utilizza, si introduce un buffer, un disaccoppiatore di impedenza, tale da eliminare il problema della partizione di corrente: ai suoi ingressi, il sense ha impedenza pressochè infinita, dunque la corrente tende a dirigersi tutta verso il carico dello stadio di potenza. Inoltre la tensione di uscita viene prelevata *direttamente da un generatore di corrente ideale* dal momento che l'uscita del voltage follower ha una resistenza pressochè nulla. Unendo questi due fattori, si può dire che, mediante il morsetto di sense, lo stadio finale venga direttamente aggiunto nell'anello di reazione del circuito, lasciando inalterato il carico, e quindi invariata la funzione di trasferimento.

Riferimento

Per quanto riguarda il *ref*, cerchiamo di capire a cosa serve, studiandone semplicemente il contributo nell'uscita del circuito, separando quello degli altri generatori, spegnendoli:

$$V_u|_{V_{REF}} = V_{REF} \cdot \frac{R_3}{R_3 + R_4} \cdot \left(1 + \frac{R_2}{R_1}\right)$$

Ma, dal momento che $R_1 + R_2 = R_3 + R_4$, per le ipotesi applicate allo studio dell'amplificatore differenziale con CMRR massimizzato, si ha che:

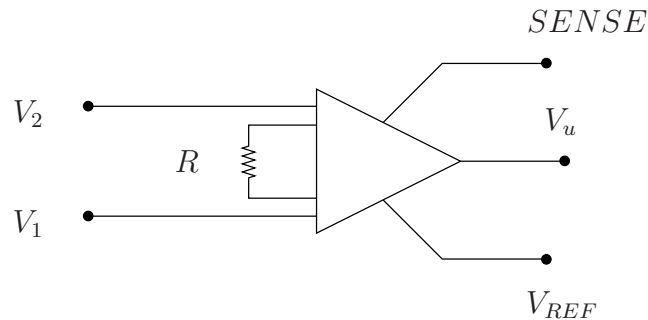


Figura 3.5: Simbolo dell'amplificatore da strumentazione.

$$V_u|_{V_{REF}} = V_{REF}$$

Questo ingresso “di riferimento” si chiama così in quanto permette di traslare di una tensione pari a V_{REF} stessa la transcaratteristica dell'amplificatore appena progettato. Sarà dunque semplicemente un livello di partenza, una quota di riferimento (come il nome suggerisce) per la transcaratteristica.

Nella sua forma più completa, dunque, un amplificatore da strumentazione si presenta come in figura 3.5.

La transcaratteristica finale dell'amplificatore da strumentazione è:

$$V_u = \frac{R_2}{R_1} \cdot \frac{R_a + R + R_B}{R} \cdot (V_1 - V_2) + V_{REF}$$

L'amplificatore da strumentazione così progettato dunque si può realizzare integrando un operazionale e tutte le resistenze, lasciando i morsetti disponibili solo per la resistenza R e gli ingressi.

Possiamo a questo punto dedicarci alla conclusione del capitolo, ponendoci una domanda: come mai il nome *amplificatore da strumentazione*?

La risposta è molto semplice: gli amplificatori da strumentazione trovano un impiego molto vasto in tutti i sistemi di misura, ad esempio in ambito di amplificazione dei segnali provenienti da trasduttori di vario genere. Applicazione pratica è quella proposta nell'introduzione: in qualsiasi problema che si possa ricondurre a reiezione di segnali di modo comune, la soluzione può sicuramente essere costituita da un amplificatore da strumentazione.

3.2 Circuiti monoalimentati

Finora abbiamo alimentato l'amplificatore operazionale con tensioni duali, ossia con una tensione V_{AL} , e la sua opposta, $-V_{AL}$, ma nella realtà, a meno

di particolari applicazioni che richiedano esplicitamente una cosa del genere, i sistemi vengono alimentati soltanto con una tensione mentre il secondo morsetto viene collegato al potenziale di riferimento. I circuiti finora usati possono essere “adattati” alla singola alimentazione, ossia possono essere leggermente modificati in modo da funzionare anche con una sola tensione di alimentazione, al costo di ridurre la dinamica di ingresso: utilizzando ad esempio un campo di tensioni comprese tra 0 V e 15 V, su di un circuito che prima usava un campo di tensioni comprese tra -15 V e 15 V, l’op-amp potrà in qualche modo funzionare, ma, dal momento che la sola dinamica di alimentazione è dimezzata (si perdono tutte le tensioni negative), anche quella di ingresso, ossia il range di ampiezze assumibili dal segnale senza che intervengano elementi di non linearità del sistema avrà sicuramente un dimezzamento, se non peggio.

Su questo tipo di argomento non c’è molto da dire, se non quale sarà la linea-guida da seguire: dal momento che in un sistema monoalimentato di base c’è, come punto di lavoro 0 V, avremo sicuramente la possibilità di amplificare i segnali positivi con una dinamica di ingresso circa immutata rispetto alla precedente, ma avremo perso completamente la possibilità di amplificare segnali negativi: il sistema *non può più andare al di sotto del potenziale di riferimento*.

Una strategia da seguire è la seguente: si “alza il punto di lavoro” sommando una tensione continua (ottenuta dalla stessa tensione di alimentazione, per mezzo di un partitore di tensione) al segnale, riducendo di fatto la dinamica per i segnali positivi, ma aumentandola per i segnali negativi; nella fattispecie, come prima suggerito, introducendo una continua pari a metà della tensione di alimentazione², si dà la possibilità di amplificare in egual maniera segnali positivi e negativi, massimizzando di fatto la dinamica di ingresso per segnali a media nulla (quali ad esempio sinusoidi, segnali che usiamo spessissimo!).

Presentiamo a questo punto alcuni esempi pratici, in grado di meglio spiegare le tattiche da seguire in questo ambito.

Esempio Pratico 4 *Dato un segnale di ingresso con dinamica limitata tra $V_i \in [1; 2]$ V, realizzare un circuito lineare in grado di avere in uscita $V_u = 0$ V quando $V_i = 1$ V e $V_u = 5$ V quando $V_i = 2$ V, con $V_{AL} = 5$ V, $-V_{AL} = 0$ V.*

Come facciamo? Beh, iniziamo a determinare graficamente la transcaratteristica del circuito: dal momento che l’andamento è lineare, la transcaratteristica sarà semplicemente un segmento di retta.

²Circa metà: dal momento che l’amplificatore molto spesso non è *rail-to-rail*, quindi conviene leggere dal datasheet la dinamica di ingresso del sistema, e impostare l’ampiezza della continua come metà di essa.

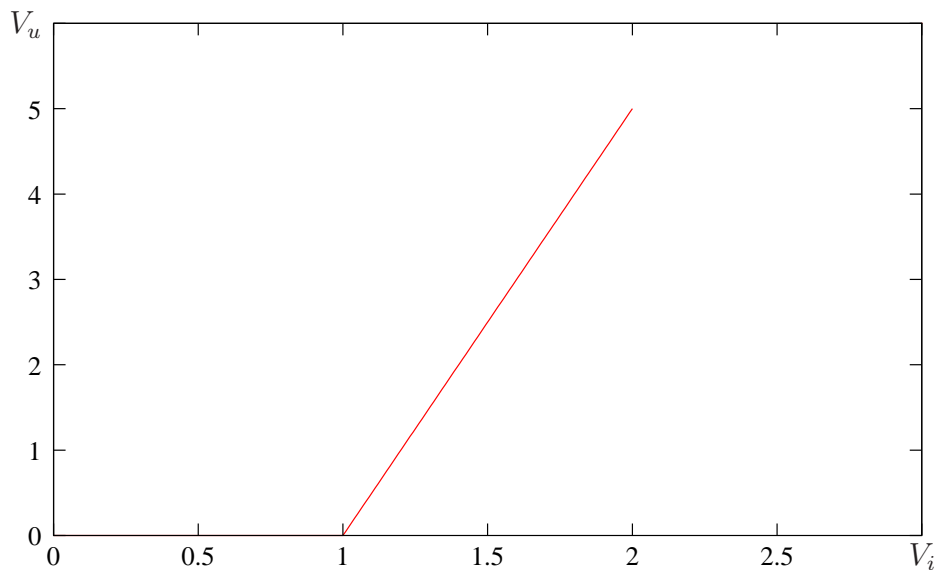


Figura 3.6: Transcaratteristica circuitale dalle specifiche dell'esempio 4.

Dunque, ricavando la retta come passante per due punti, si ha che:

$$V_u = 5(V_i - 1) = 5V_i - 5 \text{ V}$$

Abbiamo la transcaratteristica, vogliamo ora tradurla in un circuito con le caratteristiche indicate nelle specifiche. Al fine di realizzare la tensione di riferimento per l'amplificatore, rispetto al tipico amplificatore non invertente si inserisce un resistore in parallelo a R_1 , creando un partitore per la tensione di alimentazione tra le due resistenze: ciò creerà una tensione intermedia tra il potenziale di riferimento (0 V) e V_{AL} .

V_{AL} sarà dunque collegata al morsetto di polarizzazione, ma anche all'ingresso invertente dell'amplificatore operazionale. In questo modo, infatti, la transcaratteristica vale:

$$V_u = V_e \left(1 + \frac{R_2}{R_1 \oplus R_3} \right) - V_{AL} \cdot \frac{R_2}{R_1}$$

Impostando $R_2 = R_1$, V_{AL} non viene amplificata; scegliendo quindi $R_3 = \frac{1}{3}R_1$, si ottiene che:

$$1 + \frac{R_2}{R_1 \oplus R_3} = 5$$

Quindi, si è amplificato di 5 volte l'ingresso, mantenendo V_{AL} a 5 V , e si è perfettamente realizzata la specifica richiesta!

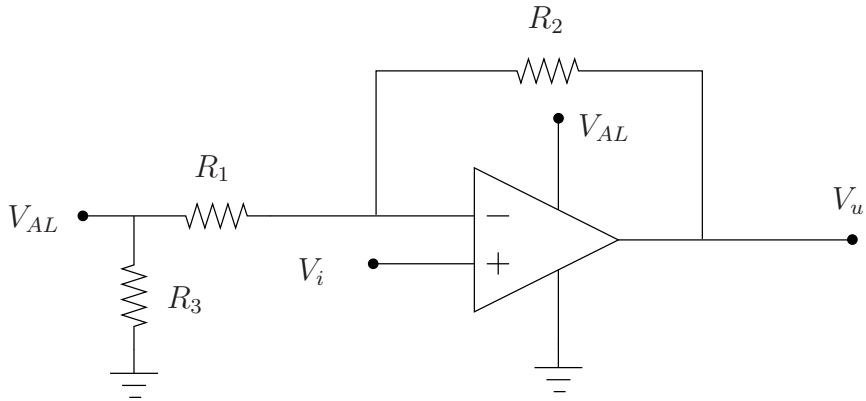


Figura 3.7: Circuito dell'amplificatore dell'esempio 4.

Esempio Pratico 5 Si realizzi un amplificatore invertente per un segnale in banda audio (da 20 Hz a 20 kHz), con $A_d = 10$, $V_{AL} = 5$ V.

Per lavorare con la massima dinamica per segnali a valor medio nullo, si vuole creare una dinamica tendenzialmente pari a $\frac{V_{AL}}{2}$, sia per quanto riguarda le parti positive che quelle negative. Servirà dunque un partitore di tensione in grado di dimezzare la tensione sul morsetto (non invertente, dal momento che intendiamo aggiungere una continua pari a $\frac{V_{AL}}{2}$ al segnale). Supponendo di aver determinato da lunghi calcoli che $R_2 = 100$ k Ω , ottimizzando gli offset e quant'altro, determiniamo gli altri parametri:

$$R_1 = \frac{100}{10} = 10 \text{ k}\Omega \longrightarrow A_d = 11$$

Per avere un dimezzamento della tensione di alimentazione mediante un partitore, ma al contempo per eliminare le tensioni e correnti di offset e/o bias, si deve avere sul morsetto non invertente un parallelo di resistori uguali al parallelo di resistori sul morsetto invertente (come già visto in precedenza).

Vediamo un po': se $R_1 = 10$ k Ω , $R_2 = 100$ k Ω , $R_1 \oplus R_2 \simeq 10$ k Ω , quindi:

$$R_3 \oplus R_4 = 10 \text{ k}\Omega$$

Al fine di fare una partizione circa metà-metà, si useranno due resistori dalle resistenze circa uguali, quindi:

$$R_3 = R_4 = 18 \text{ k}\Omega$$

18 è un valore normalizzato secondo la serie E12: l'ideale sarebbe avere due resistori da 20 k Ω , ma ci dobbiamo accontentare di uno dei valori più vicini.

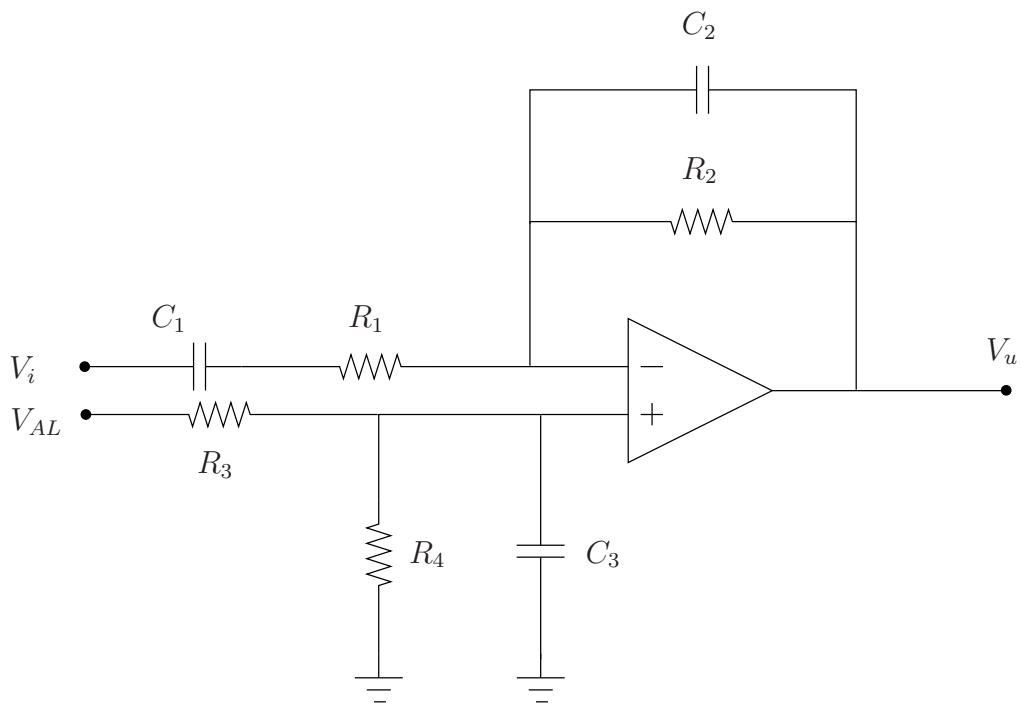


Figura 3.8: Amplificatore corrispondente all'esempio 5.

Per quanto riguarda i 20 Hz, una nota: C_1 vede solo R_1 (poichè dall'altra parte vi è un collegamento virtuale al potenziale di riferimento, 0 V); quindi:

$$20 \text{ Hz} \geq \frac{1}{2\pi R_1 C_1} \longrightarrow C_1 = 0,796 \mu\text{F}$$

Capitolo 4

Amplificatori non lineari

Indice

4.1	Amplificatore logaritmico	150
4.1.1	Esempio pratico di progetto	153
4.2	Raddrizzatore a singola semionda	159
4.2.1	Varianti	163
4.3	Raddrizzatore a doppia semionda	165
4.3.1	Varianti	169
4.3.2	Esempio di Progetto	173
4.3.3	Conclusione	175

ACCANTONIAMO LO STUDIO DEI CIRCUITI LINEARI, ossia dei circuiti in cui ogni elemento della retroazione è lineare (resistori, condensatori, induttori), per dedicarci a qualcosa di nuovo: l'introduzione di **elementi non lineari** nei circuiti basati sull'amplificatore operazionale. Si noti un fatto: stiamo dicendo che gli amplificatori siano non lineari, ma si sappia che, in queste condizioni, l'amplificatore operazionale viene ancora utilizzato in stato di linearità, dunque le "litane" e le regole finora utilizzate sono ancora valide. Si impiegano elementi non lineari nel circuito nel quale compare l'operazionale, ma esso è ancora considerabile per ipotesi in stato di funzionamento lineare.

4.1 Amplificatore logaritmico

Consideriamo un primo esempio di circuito contenente elementi non lineari (fig. 4.1). Al fine di determinare la transcaratteristica di questo circuito, conviene operare in questo modo: notiamo che, dato come ipotesi il fatto che l'operazionale si trova in stato di linearità, si può dire che:

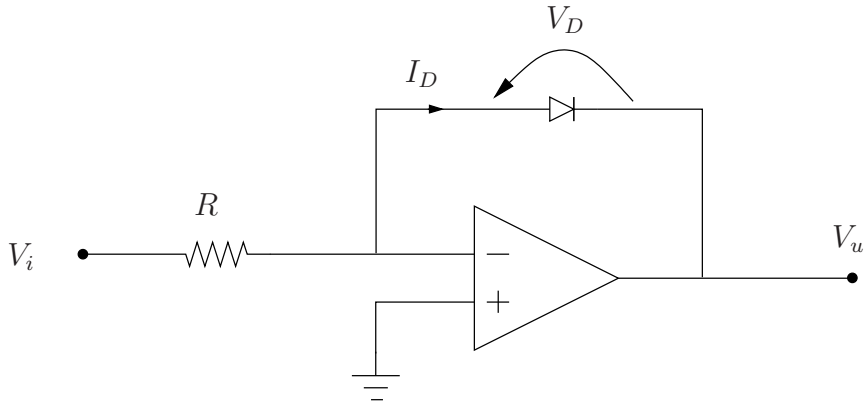


Figura 4.1: Amplificatore logaritmico con reazione a diodo.

$$V_- = V_+ = 0$$

Dunque, si ha che:

$$V_u = -V_D$$

dove V_D è la tensione sul diodo. Conosciamo tuttavia il legame tra corrente I_D sul diodo e tensione V_D , legame notoriamente esponenziale in un diodo a semiconduttori, la cui espressione operativa è:

$$I_D = I_S e^{\frac{V_D}{\eta V_T}}$$

Dove V_T è l'equivalente in tensione della temperatura, ed è pari a:

$$V_T = \frac{kT}{Q} \simeq \frac{T|_K}{11600}$$

Mentre η è detto *fattore di idealità*, ed è un fattore dipendente dal processo di fabbricazione e dal materiale semiconduttivo; I_S infine è la *corrente di saturazione inversa*, fortemente variabile con la temperatura T.

Detto ciò, possiamo invertire l'espressione della corrente, che fornisce l'espressione:

$$V_D = \eta V_T \ln \left(\frac{V_i}{R I_S} \right)$$

Come vediamo, l'uscita è proporzionale al logaritmo naturale della tensione di ingresso: abbiamo ottenuto, di fatto, un amplificatore **la cui funzione di trasferimento ha andamento logaritmico**.

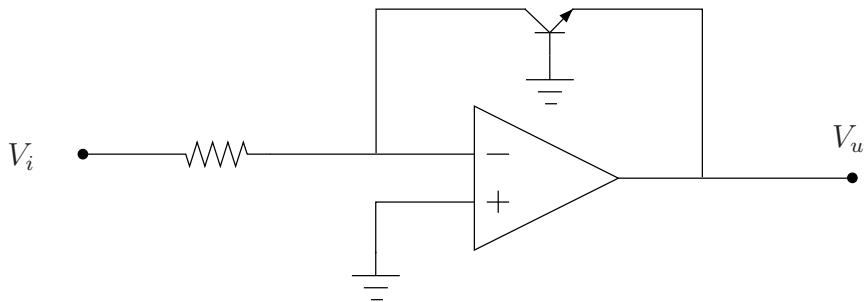


Figura 4.2: Amplificatore logaritmico con reazione a BJT.

Possiamo far di meglio? Beh, la corrente di saturazione, elemento molto antipatico in questo circuito, è per ora intoccabile: qualsiasi cosa cercheremo di fare, in qualche modo continueremo a tirarcela dietro.

Una cosa positiva sarebbe eliminare almeno questo η , fortemente dipendente da diodo a diodo. Visto che varia proprio da diodo a diodo, smettiamola di usare diodi! Invece che introdurre un diodo, introduciamo un elemento non lineare molto simile ad esso sotto molti punti di vista: un *transistore bipolare a giunzione*!

I BJT non hanno innanzitutto η e per quanto riguarda la nuova funzione di trasferimento, osserviamo che tra collettore e base non vi è tensione, dal momento che il collettore è collegato a 0 V mediante un collegamento virtuale. La base, inoltre, viene collegata a 0 V fisico, quindi la spiegazione dell'affermazione è fornita.

La funzione di trasferimento non cambia, se non sotto il punto di vista di η :

$$V_u = -V_T \ln \left(\frac{V_i}{RI_S} \right)$$

Possiamo ridurre la dipendenza dalla temperatura? In effetti qualcosa si può fare complicando un po' il circuito: introducendo un secondo transistor, collegato ad un generatore di corrente (fig. 4.3).

Come uscita, ora, considereremo la base del secondo transistor la cui tensione pari a:

$$V'_u = V_u + V_{BE} = -V_T \ln \left(\frac{V_i}{RI_{S1}} \right) + V_T \ln \left(\frac{I_0}{I_{S2}} \right)$$

Supponendo a questo punto di realizzare (in modo un po' intelligente) su di un circuito integrato questo circuito, si può supporre che le due correnti di saturazione inverse siano uguali, e che sull'integrato vi sia la stessa temper-

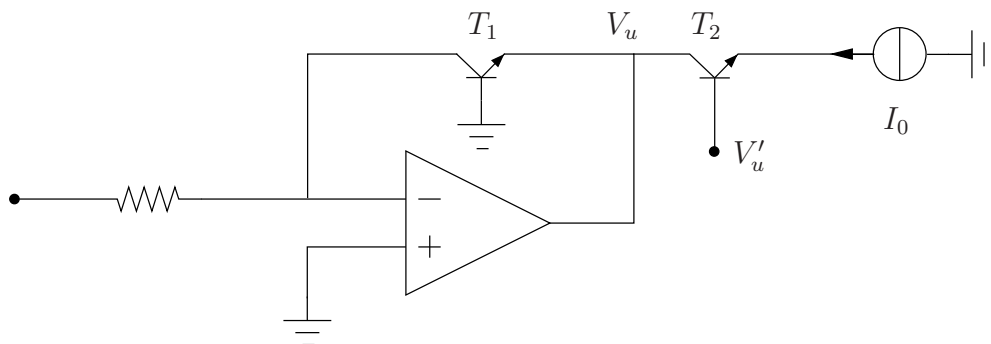


Figura 4.3: Amplificatore logaritmico a BJT con due transistori.

atura in ogni punto, in modo che le correnti di saturazione varino allo stesso modo. Usando la proprietà dei logaritmi, dunque, si ottiene:

$$V'_u = -V_T \ln \left(\frac{V_i}{RI_0} \right)$$

Abbiamo in qualche modo, dunque, eliminato la dipendenza dalla corrente di saturazione, introducendo una dipendenza da I_0 , corrente generata mediante un qualche generatore.

Completiamo dunque il circuito e la relativa descrizione con alcune osservazioni: il generatore di corrente si realizza semplicemente collegando l'emettitore del secondo transistoro, T_2 , e V_{AL} , con una certa resistenza R_0 . Si può migliorare l'uscita V'_u , collegando sull'uscita un amplificatore non invertente, in modo da regolare il guadagno sull'uscita ed al contempo disaccoppiare le impedenze, utilizzando questo stadio finale sia come amplificatore che come buffer (fig. 4.4).

La resistenza R_4 introdotta serve a "ristabilizzare" il circuito: a seconda del guadagno in corrente di T_1 , β_1 , si può ridurre la tensione che esce dall'emettitore del transistoro, riducendo il guadagno di anello del sistema retroazionato; ricordando che I_0 è dunque pari a $\frac{V_{AL}}{R_0}$, la transcaratteristica finale del circuito sarà:

$$V_u = -V_T \left(1 + \frac{R_2}{R_1 \oplus R_3} \right) \cdot \ln \left(\frac{V_i}{R} \cdot \frac{R_0}{V_{AL}} \right) - V_{REF} \cdot \frac{R_2}{R_3}$$

4.1.1 Esempio pratico di progetto

Abbiamo acquisito abbastanza elementi di teoria per poter tentare il progetto di un amplificatore logaritmico; nella fattispecie, si richiede di progettare un amplificatore logaritmico in grado di realizzare la transcaratteristica di fig

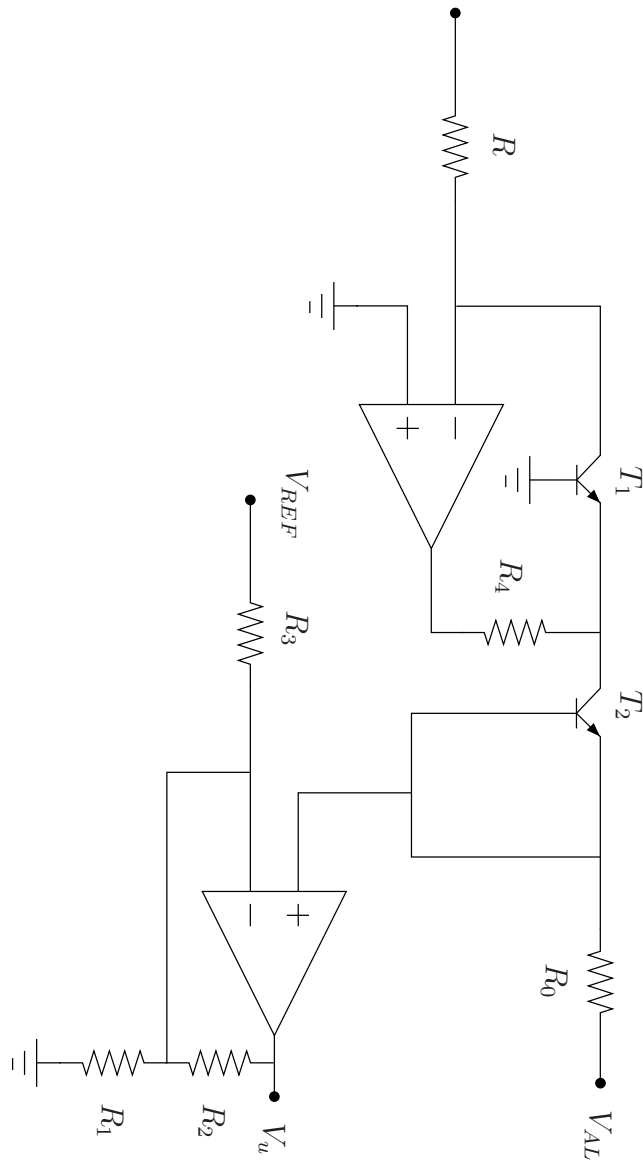


Figura 4.4: Amplificatore logaritmico a BJT nella versione migliorata.

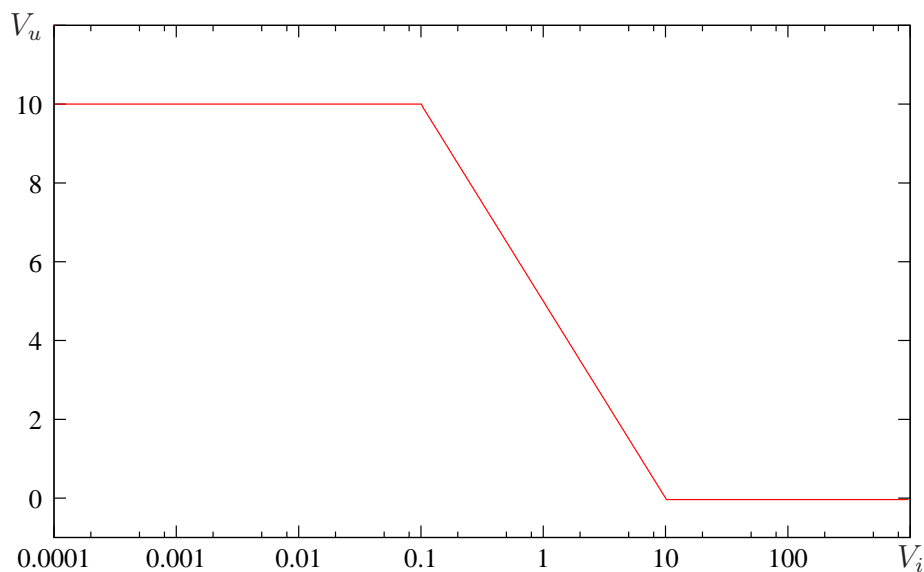


Figura 4.5: Transcaratteristica richiesta nell'esempio di progettazione 4.1.1, si noti che l'asse delle ascisse è in scala logaritmica.

4.5, con un amplificatore operazionale LM741, e tensione di alimentazione pari a 15 V.

Si noti che l'asse delle ascisse della transconduttanza è in scala logaritmica (lineare rispetto a scala logaritmica significa, di fatto, logaritmico).

Ciò che dobbiamo fare è dimensionare in maniera intelligente i parametri del circuito precedentemente presentato. La prima scelta da fare in modo intelligente è quella del punto centrale della transcaratteristica, ossia il *punto di lavoro del sistema*, in un senso un po' particolare: trattandosi di un amplificatore logaritmico, il punto di lavoro si imposterà attraverso i parametri contenuti nell'argomento del logaritmo:

$$\frac{V_i}{RI_0}$$

Il punto “più meglio” da scegliere è quello tale per cui la deriva termica sia nulla: nel quale si abbia una minima variazione della corrente variando di poco la temperatura. Questo punto mistico, è il punto in cui il logaritmo si annulla, ossia in cui l'argomento vale 1:

$$\frac{V_i}{RI_0} = 1$$

In questo modo, errori causati dalla deriva termica sono meno influenti sulla transcaratteristica del circuito (fig. 4.6).

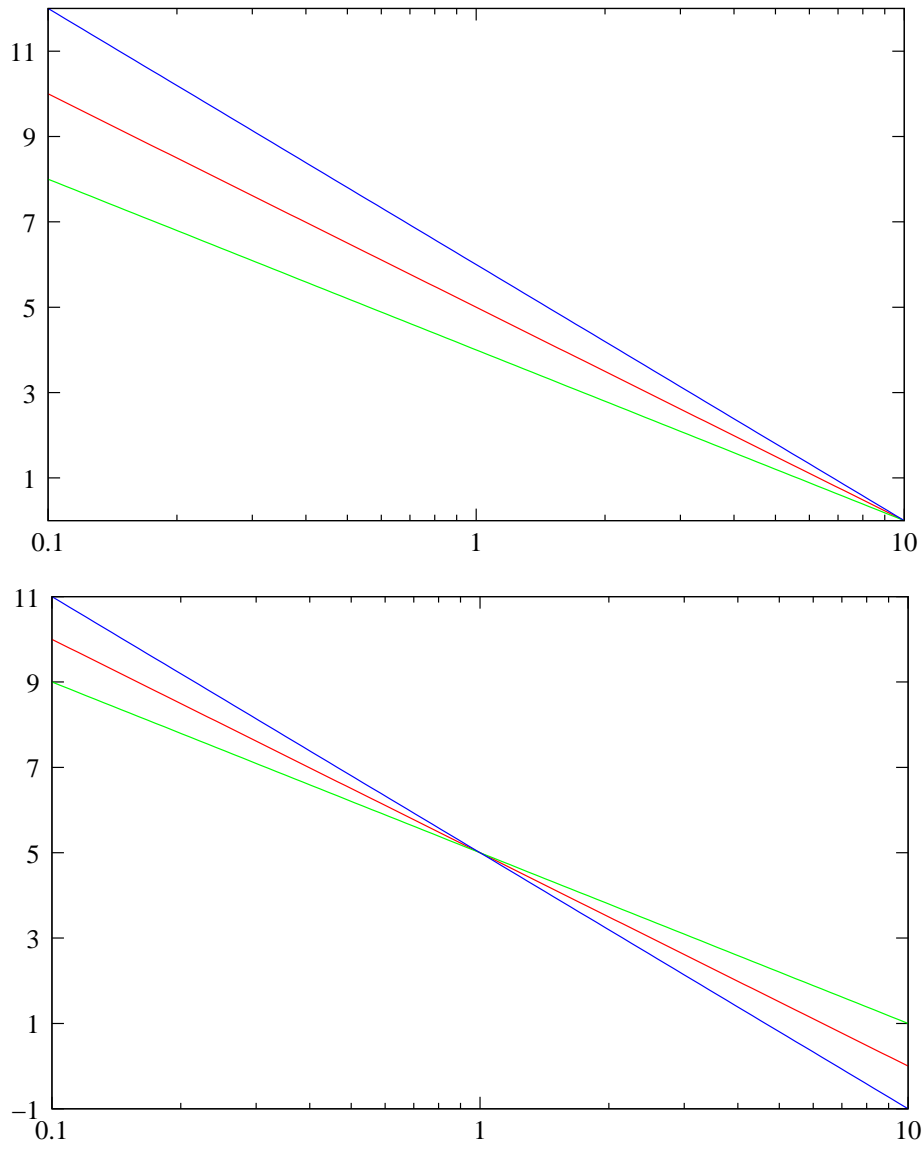


Figura 4.6: Effetto della *deriva termica* sulla caratteristica. Scegliendo il punto di lavoro si deve tenere conto di come viene modificata.

In questo modo, posizionando come centro della parte logaritmica della transcaratteristica il punto di lavoro a deriva termica nulla, si riducono gli errori sul punto di lavoro causati da sbalzi termici. In altre parole, la tensione di uscita avrà una dipendenza molto ridotta dall'equivalente in tensione della temperatura, V_T .

Abbiamo occupato il primo grado di libertà del circuito e ora, invertendo questa espressione, ricaviamo il valore di R :

$$R = \frac{V_{i,AVE}}{I_0}$$

$V_{i,AVE}$, dove AVE sta per *average* (tensione *media* in ingresso al circuito).

A partire da questo parametro, è possibile determinare un estremo inferiore ed uno superiore per quanto riguarda la resistenza R da introdurre nel circuito, mediante alcune osservazioni:

- La massima tensione di ingresso è $V_{i,MAX} = 10 \text{ V}$, come si può leggere dalla transcaratteristica fornita con le specifiche; invece leggendo il datasheet dell'amplificatore operazionale usato per il progetto, si può determinare la massima corrente di uscita, e dunque dire che:

$$R \gg \frac{V_{i,MAX}}{I_{u,MAX}}$$

Questo è un limite inferiore per il valore della resistenza R ;

- Per quanto riguarda il limite superiore della resistenza, si può fare il seguente ragionamento: sarebbe buona cosa il fatto che la corrente su R per effetto della tensione di ingresso sia abbastanza maggiore di quella che scorre a causa di polarizzazione e offset:

$$\frac{V_{i,min}}{R} \gg I_b + \frac{I_{off}}{2}$$

Per farci un'idea, possiamo procedere con un esempio numerico, utilizzando il LM741 (non avendo a disposizione il vero datasheet, alcuni dati saranno "spannometrici"); dato che il valore massimo di tensione sulla transcaratteristica grafica è $V_u = 10 \text{ V}$ (e la transcaratteristica è decrescente), sappiamo che, in corrispondenza a 10 V , si ha $R_L = 2 \text{ k}\Omega$ ¹, ma quindi possiamo determinare banalmente la corrente da generare come limite inferiore, I_0 , come:

¹per chi non se lo ricordasse, sono state date un paio di caratteristiche tecniche di questo amplificatore operazionale nel paragrafo 1.8.

$$I_0 = \frac{V_{u,MAX}}{R_L} = 5 \text{ mA}$$

Per restare ben dentro al range ora esposto e non tenersi troppo vicini al bordo del burrone, ci teniamo numericamente un po' più larghi, $R \gg R_{L,min} = 20 \text{ k}\Omega$

Da datasheet, ipotizzata una temperatura di lavoro di 25°C , si ha una corrente di circa $1 \mu\text{A}$ (considerando un caso abbastanza pessimistico); considerando una tensione minima di ingresso, $V_{i,min}$, pari a $0,1 \text{ V}$, avremo:

$$\frac{V_{i,min}}{R} \gg I_b + \frac{I_{off}}{2} \longrightarrow R \ll \frac{0,1}{1 \cdot 10^{-6}} = 10^5 \Omega$$

Quindi, diminuendo di un ordine di grandezza il bound:

$$R < 10 \text{ k}\Omega$$

Ops, problema: dovremmo avere, per soddisfare entrambi i bound (già aumentati o diminuiti di un ordine di grandezza), una resistenza maggiore di $20 \text{ k}\Omega$, o minore di $10 \text{ k}\Omega$; ciò non è molto bello come risultato, dal momento che l'intersezione tra i due intervalli è nulla. Decidiamo dunque di soddisfare solo il *lower bound*, e di minorare di solo 5 volte (anzichè di 10) l'*upper bound*, introducendo una resistenza da $22 \text{ k}\Omega$.

Calcoliamo a questo punto la corrente I_0 , dividendo la tensione di ingresso media (punto a deriva termica nulla stabilito all'inizio del problema) per la resistenza da noi scelta:

$$I_0 = \frac{V_{e,AVE}}{R} = \frac{1}{22 \cdot 10^3} = 45 \mu\text{A}$$

Consideriamo come tensione di polarizzazione del circuito V_{AL} (fornita dalle specifiche); perchè si possa avere una corrente pari a I_0 , bisogna dimensionare R_0 in modo che:

$$R_0 = \frac{15}{45 \cdot 10^{-6}} = 330 \text{ k}\Omega$$

Su R_4 deve inoltre cadere al più una tensione pari a quella di uscita, a meno della V_{BE} del BJT; per non aver dubbi togliamo una abbondante $V_{BE} = 1 \text{ V}$ e quindi, tenendo conto che dobbiamo avere al più un ordine di grandezza in meno della corrente di uscita totale *nella retroazione*:

$$I_F \ll I_{u,MAX} = \frac{5}{10} = 0,5 \text{ mA}$$

Dunque:

$$R_4 = \frac{V_u - V_{BE}}{I_F} = \frac{10 - 1}{0,5 \cdot 10^{-3}} = 18 \text{ k}\Omega$$

Poichè la dinamica di uscita è tra 0 V e 10 V, per poter mettere il punto a deriva termica nulla al centro della transcaratteristica (al centro di tutte le possibili ordinate ottenibili dal circuito di amplificazione), $V_{u,AVE} = 5 \text{ V}$; dovremo dunque introdurre una V_{REF} nel sistema, tale da spostare il punto a deriva termica nulla al centro delle ordinate della transcaratteristica. Per far ciò, ricordando che l'ingresso di V_{REF} si ottiene a partire da $V_{AL} = 15 \text{ V}$; dovremo fornire un partitore in grado di dare circa $\frac{1}{3}$ di V_{AL} in ingresso a V_{REF} , quindi:

$$V_{AL} \cdot \frac{R_2}{R_3} = V_{REF} \longrightarrow \frac{V_{AL}}{V_{REF}} = \frac{R_3}{R_2} = \frac{15}{5} = 3$$

$$R_3 = 3R_2$$

Supponiamo di aver ricavato, da uno studio del singolo stadio, che $R_2 = 100 \text{ k}\Omega$, $R_3 = 3 \cdot 100 \text{ k}\Omega \simeq 330 \text{ k}\Omega$.

Resta solo più un parametro da dimensionare: R_1 . Per farlo, consideriamo la transcaratteristica in un punto comodo da studiare ($V_i = 10 \text{ V}$; $V_u = 0 \text{ V}$). Riprendendo la formula finale della transcaratteristica del circuito:

$$V_u = -V_T \left(1 + \frac{R_2}{R_1 \oplus R_3} \right) \cdot \ln \left(\frac{V_i}{R} \cdot \frac{R_0}{V_{AL}} \right) - V_{REF} \cdot \frac{R_2}{R_3}$$

Sostituendo i valori del punto comodo che abbiamo scelto, vediamo che l'espressione si riduce a:

$$0 = -V_T \left(1 + \frac{R_2}{R_1 \oplus R_3} \right) \cdot \ln(10) + 5V$$

Invertendo l'equazione, si ricava R_1 , ossia l'ultimo parametro del progetto.

4.2 Raddrizzatore a singola semionda

Una volta introdotto il primo circuito non lineare, ossia l'amplificatore logaritmico, studiamo altri tipi di circuiti non lineari, basati su di un uso lineare dell'amplificatore operazionale. Parliamo nella fattispecie di un circuito un

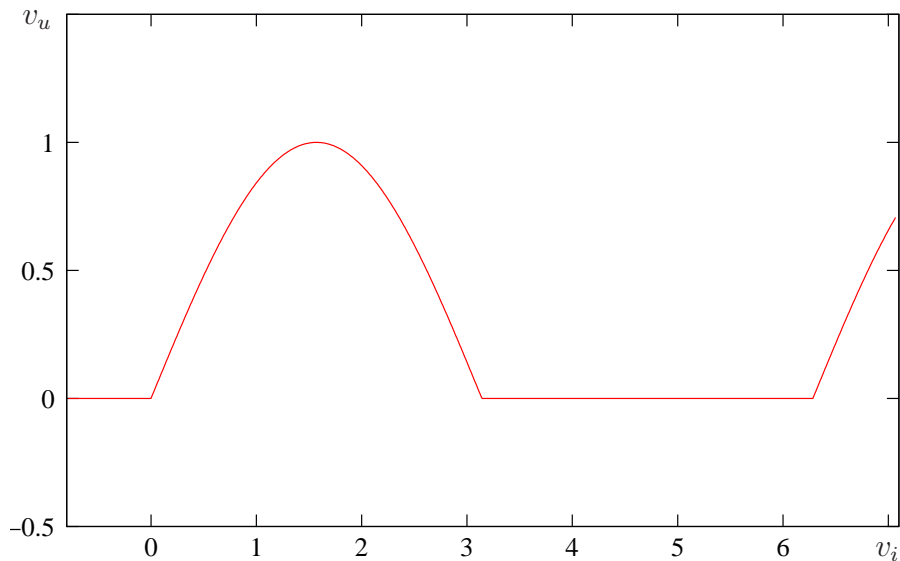


Figura 4.7: Segnale prodotto dal *raddrizzatore a singola semionda* a partire da una tensione sinusoidale.

po' particolare: il *raddrizzatore a singola semionda*, in grado di tagliare le componenti negative di un segnale, nel dominio del tempo.

Si noti una cosa: circuiti di questo tipo vengono spesso utilizzati in ambito di elettricità, con grossi segnali. Invece quello che analizzeremo è un circuito da segnali, ossia dalla dinamica di ampiezza limitata: non ci si aspetti che con questo circuito si possa raddrizzare la 220, o altro!

Il risultato finale, nel dominio del tempo, è qualcosa di simile al grafico di fig. 4.7.

A partire dal solito amplificatore invertente, base dei circuiti lineari, proponiamo un circuito attivo in grado di fare qualcosa di questo tipo (fig. 4.8).

Introducendo il diodo, capita questo fatto: quando V_i è positivo, la corrente su R_2 scorre nel verso indicato; quando V_i è negativo, $I_{R2} = 0$.

Vediamo facilmente che vale la seguente relazione:

$$V_u = -\frac{R_2}{R_1}V_i - V_\gamma$$

Dove V_γ è la tensione di soglia di accensione del diodo, ossia la caduta di tensione ai capi del diodo che deve esserci affinché, per tensioni superiori, il diodo si comporti sostanzialmente come un corto circuito.

La transcaratteristica di questo circuito ha un andamento come in figura 4.9.

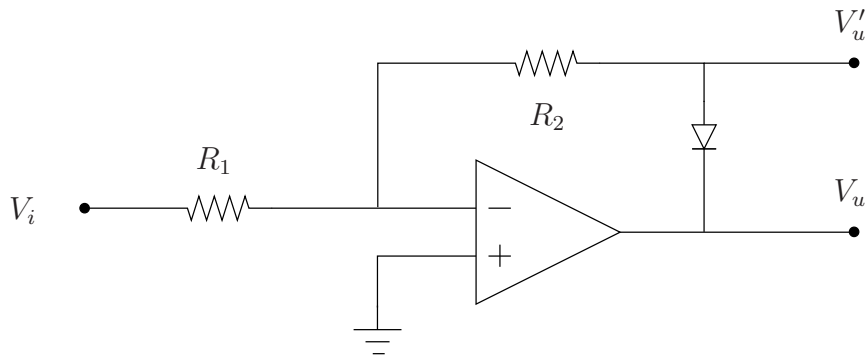


Figura 4.8: Schema circuitale del raddrizzatore a singola semionda.

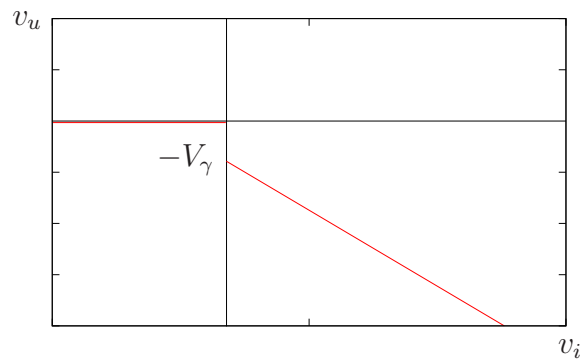


Figura 4.9: Transcaratteristica del raddrizzatore a singola semionda con un diodo.

Per $V_i < 0$, il comportamento è sicuramente ottimo: corrente nulla nel circuito, che comporta caduta di tensione nulla su R_2 , quindi uscita nulla. Ma all'aumentare di V_i , vi è uno “scalino”, dovuto al fatto che prima di condurre deve essere raggiunta una tensione almeno pari alla famigerata V_γ sul diodo, quindi la transcaratteristica si discosterà da 0 e diverrà lineare solo quando:

$$V_i - V_\gamma > 0$$

Quindi, con $V_e < V_\gamma$, non si avrà conduzione.

Questo problema è eliminabile in modo banalissimo: prendendo l'uscita V'_u , anziché V_u , ossia l'uscita sulla resistenza anziché sul diodo, *non si dovrà più aspettare che il diodo conduca per vedere una tensione*: ai capi della resistenza continua ad esservi tensione aumentata da V_i , ai capi del diodo non si vedrà niente; non prendendo l'uscita dal diodo, tuttavia, la tensione sarà prelevata da un solo resistore, elemento notoriamente lineare, dunque

non si dovranno aspettare le richieste del diodo (elemento estremamente non lineare) al fine di osservare sull'uscita un andamento apprezzabile.

I problemi non finiscono qui. Ve ne sono almeno altri due, che ora cercheremo in qualche maniera di aggiustare:

- Quando $V_i < V_\gamma$, il diodo è interdetto; questo significa che, in questo stato, la *resistenza di uscita è molto elevata*; quando il diodo conduce, dualmente, la resistenza di uscita si modifica, e torna ad essere ridotta ($\simeq 0$).
- Se il diodo è in stato di interdizione, il circuito non è più retroazionato! L'anello di reazione infatti si apre dal momento che il diodo non conduce e sulla resistenza non vi è più corrente (se non quella inversa di saturazione), dunque non esiste più la reazione, e il circuito inizia a operare al livello di saturazione inferiore, dal momento che vi è un segnale negativo al suo ingresso, e l'anello di reazione aperto comporta la massimizzazione del guadagno del circuito.

Alcune piccola note aggiuntive:

- Ad anello aperto, se si inserisce una tensione negativa anche relativamente bassa ai morsetti dell'operazionale, essa sarà interamente utilizzata dai morsetti di ingresso, dal momento che non si avranno partizioni o simili (avendo aperto l'anello di reazione). Ciò potrebbe **danneggiare l'amplificatore operazionale**;
- Passare dallo stato di interdizione/saturazione (specie per quanto riguarda l'amplificatore operazionale) a quello di funzionamento in zona lineare non è assolutamente istantaneo: i transistori hanno una certa inerzia nel cambiare stato, come si vede in dettaglio parlando di interruttori e di studio dei BJT in stato di saturazione (ciò che vale per i BJT in questo ambito tendenzialmente vale anche per i diodi).

Aldilà di questo ultimo aspetto, come possiamo migliorare il circuito? Si può introdurre una piccola modifica, che però lo rende molto migliore del precedente (fig. 4.10).

Mediante l'introduzione del diodo aggiuntivo, si risolve il problema dell'apertura del *feedback*: in questo circuito, quando il segnale di ingresso è positivo non si hanno sostanziali variazioni rispetto al circuito precedente; quando il segnale di ingresso è negativo, invece, il diodo D_2 entra in stato di conduzione, e chiude l'anello di retroazione (che altrimenti sarebbe rimasto aperto a causa dell'interdizione di D_1). Dal momento che, sostanzialmente

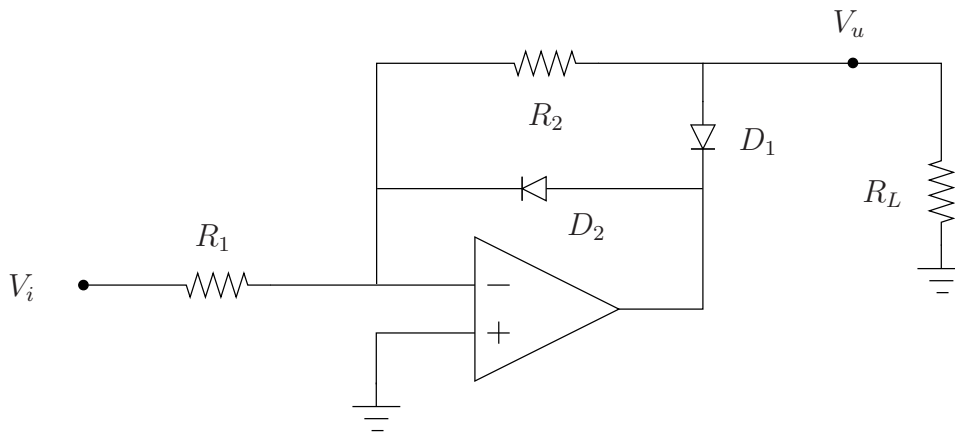


Figura 4.10: Introduzione di un diodo aggiuntivo per risolvere i problemi di bassa impedenza di uscita e mancanza di reazione durante la semionda negativa.

D_2 si comporta come un corto circuito, esso collega lo 0 V virtuale all'uscita del raddrizzatore, quindi si avrà $V_u = 0$, ma ad anello di reazione chiuso!

Per quanto riguarda il problema dell'impedenza, è sufficiente aggiungere, come visto nel disegno, una R_L : se R_L è un resistore di resistenza sufficientemente elevata, ma soprattutto riferito a 0 V (al potenziale di riferimento del circuito), si risolve in parte il problema, dal momento che impone sull'uscita una resistenza, che riesce ad attenuare il problema della "variabilità". Si noti che, se R_L non fosse riferita a 0 V, si rischierebbe di eliminare il comportamento *raddrizzatore* del circuito, dal momento che si finirebbe per far scorrere corrente nel diodo, e scombussolare tutte le ipotesi finora affermate².

4.2.1 Varianti

Come sempre, è arrivato il momento delle varianti! Cosa si può ottenere introducendo un resistore e una tensione extra (come in fig. ??? Cosa cambia nella transcaratteristica del circuito? A occhio e croce, abbiamo traslato qualcosa, dal momento che abbiamo introdotto una tensione di riferimento, V_{REF} , collegata mediante ad una resistenza, R_3 , ma non sappiamo ancora cosa.

La corrente I_{R2} scorre su R_2 se e solo se $I_2 > 0$ (utilizzando la convenzione del disegno, ossia quella di utilizzatore). I_2 è però la somma della corrente

²Soluzione alternativa al problema dell'impedenza, è introdurre un voltage follower sull'uscita: avendo esso impedenza altissima, non si farebbe passare corrente, e si risolverebbe comunque il problema in questione.

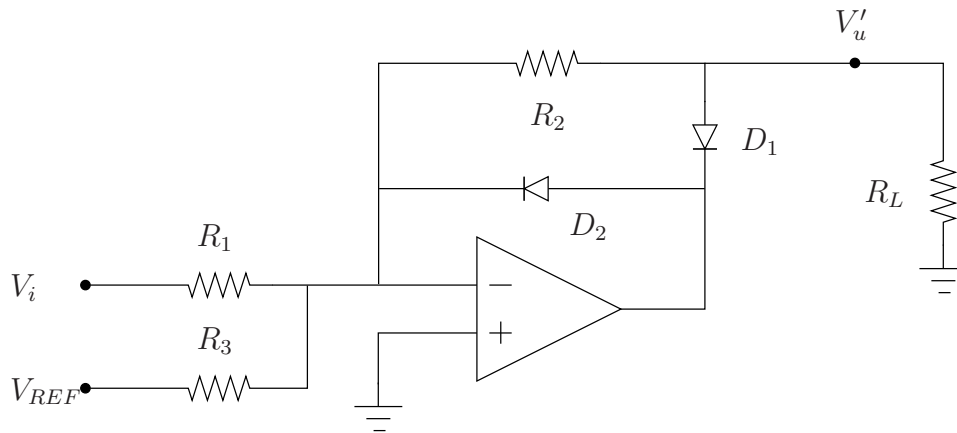


Figura 4.11: Variante del raddrizzatore a singola semionda con una tensione di riferimento aggiuntiva.

che scorre su R_1 e di quella che scorre su R_3 (dal momento che l'amplificatore operazionale è in stato di linearità). Dati quindi $I_1 + I_3 > 0$, il diodo condurrà; ciò è equivalente a dire che:

$$\frac{V_i}{R_1} + \frac{V_{REF}}{R_3} > 0$$

Il *punto limite* di funzionamento del circuito, ossia il punto in cui la transcaratteristica (grafico 4.12) ha il *punto angoloso*, sarà:

$$\frac{V_i}{R_1} = -\frac{V_{REF}}{R_3} \longrightarrow V_i = -\frac{R_1}{R_3} V_{REF}$$

Un circuito del quale abbiamo la possibilità di **traslare la transcaratteristica** rispetto alla tensione in ingresso, e di **regolarne la pendenza**, ottenendo di fatto un circuito piuttosto flessibile. I parametri calcolati per quanto riguarda questo circuito, riassumendo, sono la posizione del punto angoloso, V_{Ang} , e la pendenza della transcaratteristica, $\angle V'_u$, ottenibili come:

$$V_{Ang} = -V_{REF} \frac{R_1}{R_3}$$

$$\angle V'_u = -\frac{R_2}{R_1}$$

Questo, ovviamente, ricordando che l'uscita del circuito da considerare è V'_u , e non la tradizionale V_u utilizzata negli amplificatori precedentemente studiati.

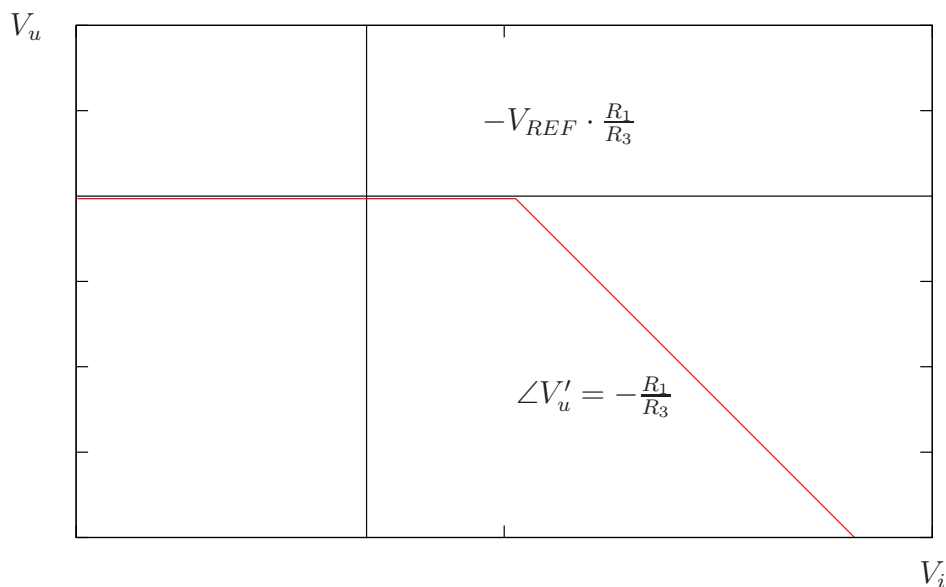


Figura 4.12: Transcaratteristica della variante del raddrizzatore a singola semionda con una tensione di riferimento aggiuntiva.

Questo circuito di fatto si comporta come un diodo in serie, ma, da un lato è *ideale*, nel senso che elimina gli elementi di non idealità introdotti dal diodo. Per questo viene anche detto *diodo ideale* o *superdiodo*. Inoltre, con il riferimento, è stato possibile introdurre “features” superiori, rendendolo un circuito decisamente interessante.

4.3 Raddrizzatore a doppia semionda

L'appetito vien mangiando: a questo punto vorremmo provare a tirare fuori una transcaratteristica più elaborata, come quella in figura 4.13.

In questo caso, parlando chiaramente, cosa si vorrebbe, da questo circuito? Si vorrebbe semplicemente un qualcosa in grado di realizzare elettronicamente la funzione *valore assoluto*: alias **raddrizzatore a doppia semionda**. Con i segnali positivi, di fatto, ci si comporta allo stesso modo del diodo ideale (raddrizzatore a singola semionda), con quelli negativi, anziché annullarli, si “ribaltano”, producendone il simmetrico rispetto all'asse delle ascisse (dove come al solito sulle ascisse si considera il segnale di ingresso, sulle ordinate quello di uscita, trattandosi di una transcaratteristica).

Quello che si potrebbe fare, dunque, è una sorta di “ribaltamento” *anche del circuito*: sicuramente, il primo pezzo del raddrizzatore a singola semionda precedentemente introdotto andrà bene; quello che dovremo fare è introdurre

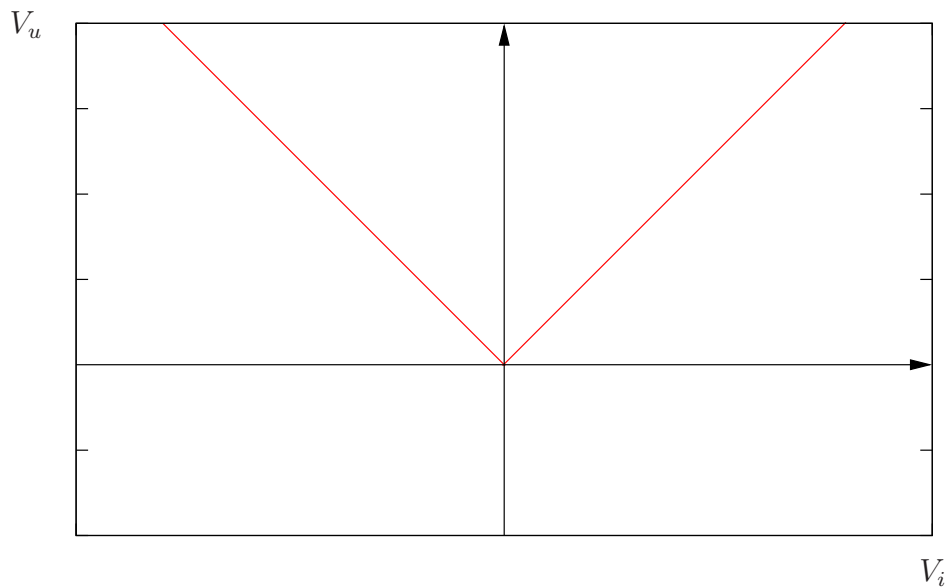


Figura 4.13: Transcaratteristica corrispondente alla funzione *valore assoluto* di V_i .

un secondo stadio, in grado di trattare le componenti negative del segnale. Ciò che si potrebbe realizzare, nella fattispecie, è il circuito dello schema 4.14.

Abbiamo aggiunto al circuito precedente un amplificatore invertente che si occupi della parte negativa del segnale, ottenendo quello che fa al caso nostro. Consideriamo il comportamento del circuito al variare di V_1 , ossia della tensione di uscita del primo stadio. Se V_1 è negativa, rispetto alla convenzione del disegno, avremmo che:

$$V_u = -V_1 \frac{R_4}{R_3} - V_i \frac{R_4}{R_5}$$

Questo, nel caso più generale; vediamo ora quale sia il comportamento di V_1 al variare di V_i . Per $V_i > 0$, i diodi conducono e l'uscita del primo stadio sarà semplicemente l'uscita di un amplificatore non invertente (basti considerare i diodi come corto circuiti!); quindi:

$$V_1 = -V_i \frac{R_2}{R_1}$$

Per quanto riguarda i segnali negativi, vediamo che, se $V_i < 0$, si ha che, come sappiamo già dal raddrizzatore a singola semionda:

$$V_1 = 0$$

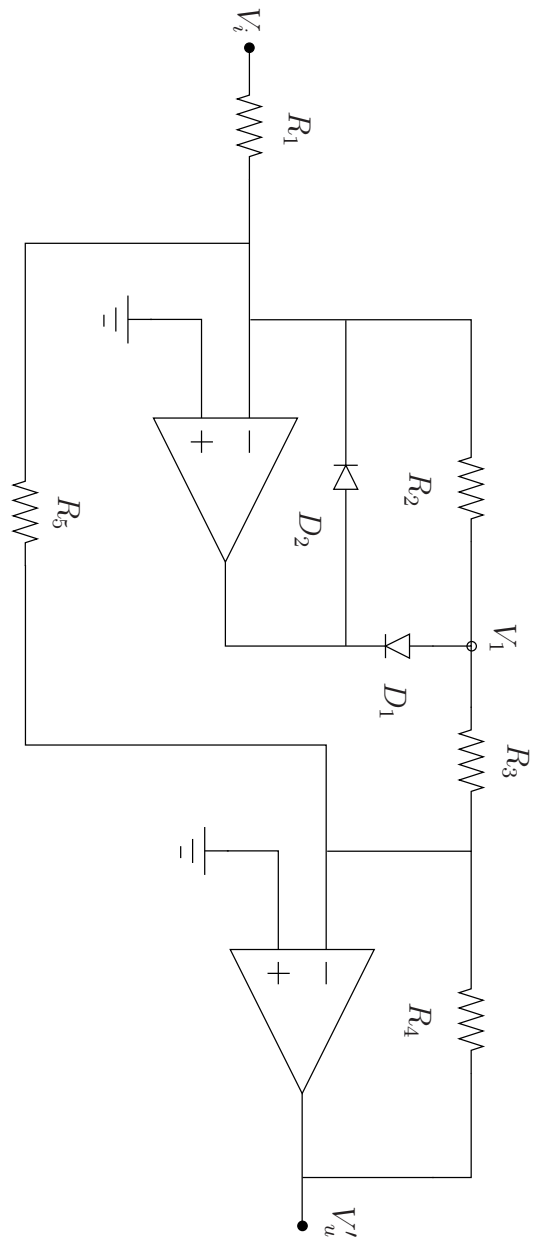


Figura 4.14: Schema circuitale del raddrizzatore a doppia semionda.

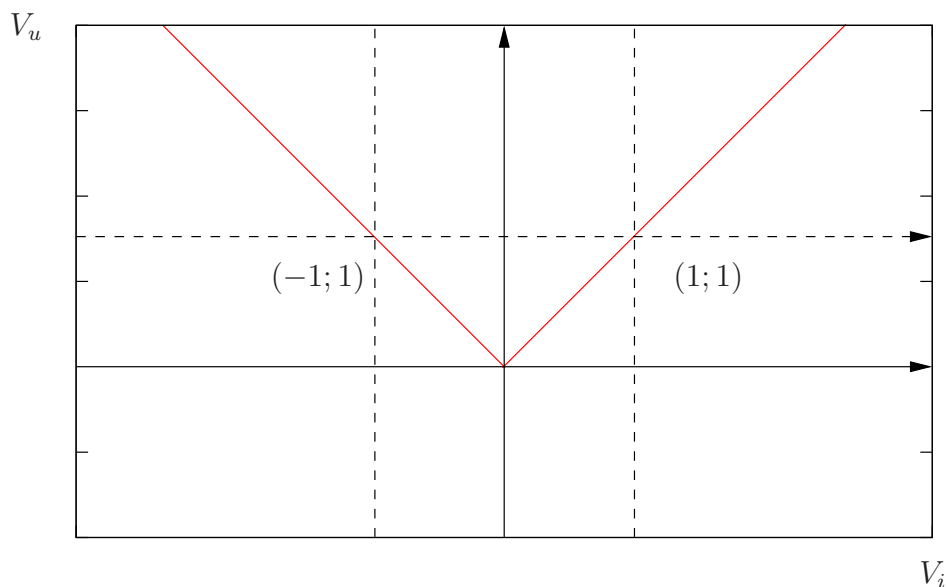


Figura 4.15: Transcaratteristica corrispondente alla funzione *valore assoluto* di V_i .

Cerchiamo di capirci qualcosa in più: se $V_i < 0$, nell'espressione di V_u avremo $V_1 = 0$, dunque apparirà solo il termine dipendente da R_4 e R_5 ; quando $V_e > 0$, invece, avremo due contributi, dal momento che sia V_i che V_1 saranno non nulle.

Osservando le espressioni finora ricavate capiamo che a seconda di come dimensioniamo le resistenze possiamo ottenere *qualsiasi pendenza della transcaratteristica!* Vediamo come questa cosa si può realizzare, in un breve esempio pratico.

Esempio Pratico 6 *Supponiamo di voler realizzare un raddrizzatore tale da non amplificare le componenti positive e semplicemente ribaltare quelle negative, ossia con la transcaratteristica di fig. 4.15.*

Proviamo a dimensionare il circuito in modo da realizzare questa semplice transcaratteristica; ricordiamo, innanzitutto, l'espressione operativa di V_u :

$$V_u = -V_1 \frac{R_4}{R_3} - V_i \frac{R_4}{R_5}$$

Si vede subito che il termine dipendente direttamente da V_i (sempre presente) deve avere coefficiente pari a uno, dal momento che vogliamo pendenza unitaria e quindi:

$$R_4 = R_5$$

Ci siamo già liberati in modo semplicissimo di un grado di libertà. A questo punto, bisogna imporre l'eguaglianza tra i moduli delle pendenze:

$$\frac{R_4}{R_3} \cdot \frac{R_2}{R_1} - \frac{R_4}{R_5} = 1 \longrightarrow \frac{R_4}{R_3} \cdot \frac{R_2}{R_1} = 2$$

Possiamo soddisfare in infiniti modi questa condizione; noi lo faremo, tuttavia, in un modo facile: decidiamo che o $R_1 = R_2$ o $R_3 = R_4$, in modo da rendere unitario uno dei due rapporti, e semplificare la scelta; la sotto-scelta, a questo punto, è quale dei due rapporti si intende ottimizzare; si hanno le due configurazioni seguenti:

$$\frac{R_2}{R_1} = 2; \quad \frac{R_4}{R_3} = 1$$

$$\frac{R_2}{R_1} = 1; \quad \frac{R_4}{R_3} = 2$$

Nell'ingegneria come nella vita, prima di prendere una decisione dobbiamo capire cosa vogliamo ottenere:

- la scelta n° 1 non è del tutto insensata, per quanto raramente utilizzata, dal momento che essa ottimizza gli offset, pur riducendo la dinamica del sistema: se serve un **sistema preciso**, estremamente insensibile a tensioni e correnti di offset, conviene usare la prima opzione. Infatti, amplifica in misura minore le componenti di offset del secondo amplificatore operazionale.
- se intendiamo **massimizzare la dinamica di ingresso**, scelta piuttosto comune, dovremo ripiegare sulla seconda scelta, ossia sul rendere unitario il guadagno del primo amplificatore operazionale. Il motivo è semplice: data ad esempio $V_{AL} = \pm 15 \text{ V}$, e $V_i = 10 \text{ V}$, imponendo due al guadagno del primo amplificatore, si sfiorerebbe la dinamica di ingresso del secondo stadio (e persino quella di uscita del primo!), ottenendo 20 V!

4.3.1 Varianti

Nell'Angolo delle Varianti questa volta proporremo qualcosa di ancora più bizzarro rispetto al precedente sistema; supponiamo, ad esempio, di voler realizzare una transcaratteristica molto complicata, come quella in fig. 4.16.

Il circuito attualmente introdotto non sarà assolutamente sufficiente per la realizzazione di una transcaratteristica di questo tipo, dunque dovremo

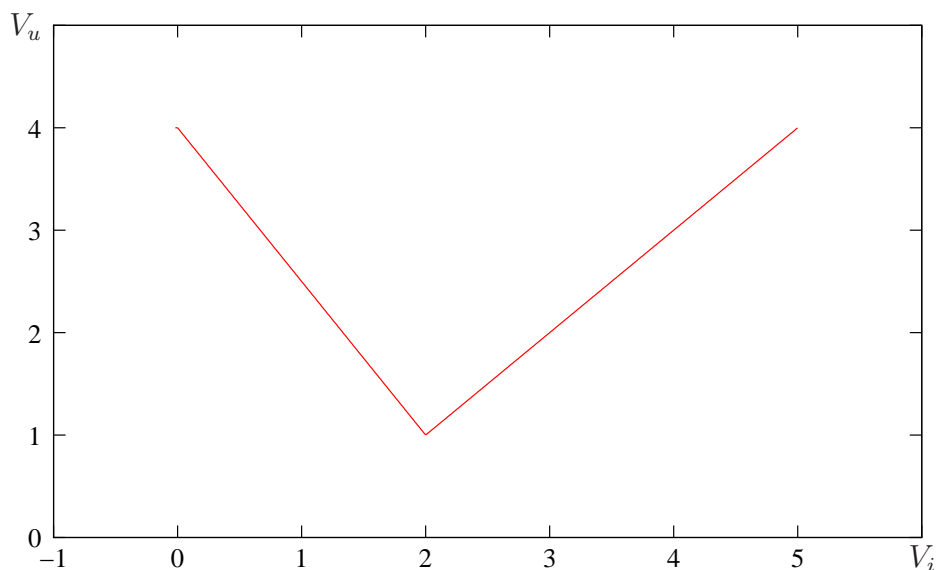


Figura 4.16: Transcaratteristica che si può definire analiticamente a tratti, brutta bestia.

introdurre nuovi ingressi, di riferimento, in modo da dare *nuovi gradi di libertà* al sistema.

Consideriamo una variante del raddrizzatore a doppia semionda, mediante l'introduzione di due tensioni di riferimento, V_{R1} e V_{R2} (fig. 4.17).

Abbiamo aggiunto due resistori e due tensioni, che agiscono sulla transcaratteristica in modo funzionalmente analogo ma praticamente molto diverso l'uno dall'altro, rendendola più *flessibile* e facile da manomettere da parte nostra. Lo spirito di fondo è lo stesso della variante al raddrizzatore a singola semionda.

V_{R1} agisce in modo più o meno simile a come agiva sul circuito a singola integrazione: volendo scrivere l'equazione delle correnti entranti al nodo 1, ricordando che esse esistono solo se $I_{R2} > 0$, vediamo che:

$$I_{R2} = \frac{V_i}{R_1} + \frac{V_{R1}}{R_6} > 0$$

Quindi:

$$V_i > -V_{R1} \cdot \frac{R_1}{R_6}$$

Cosa significa ciò? Beh, V_{R1} fornisce una traslazione "obliqua" del punto angoloso: ricordando che gli amplificatori in questione sono rigorosamente lineari a tratti, sapendo che l'amplificatore invertente alla base del sistema di

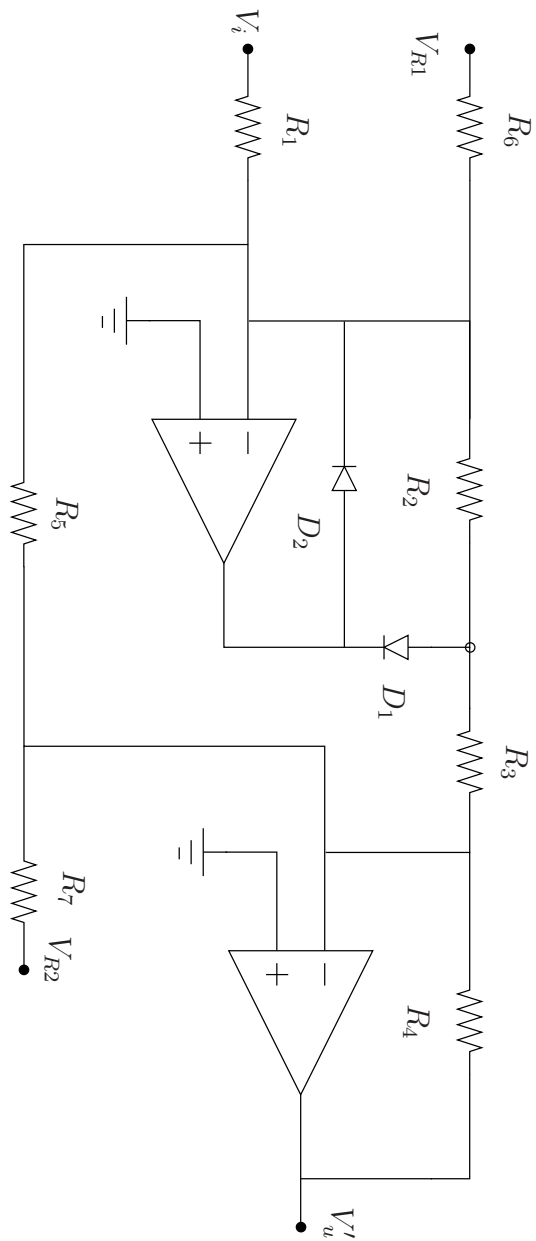


Figura 4.17: Schema circuitale del raddrizzatore a doppia semionda modificato dall'aggiunta di un paio di tensioni di riferimento per regolare alcuni parametri dei segmenti della transcaratteristica.

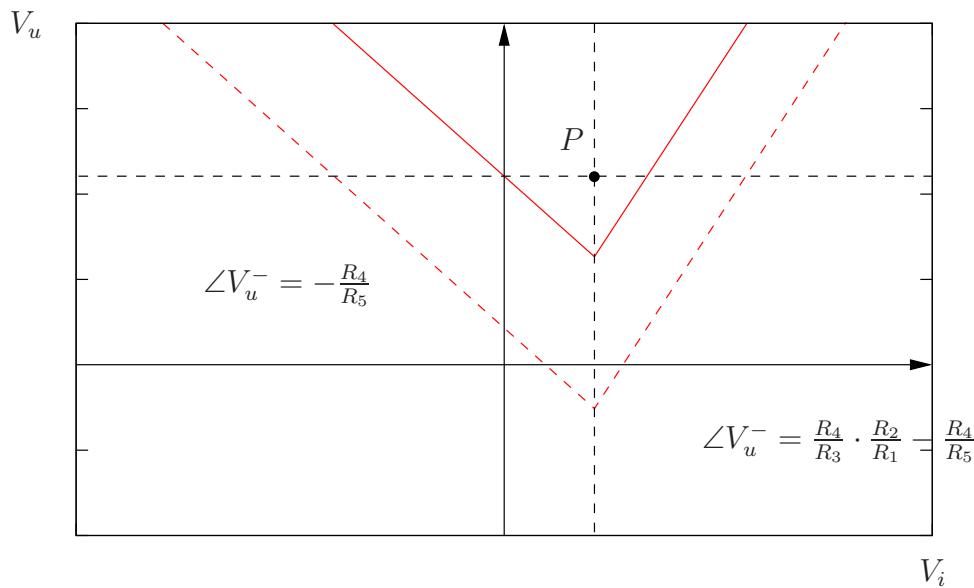


Figura 4.18: Transcaratteristica generale prodotta da un circuito con schema in figura ???. Il punto P ha coordinate dipendenti da vari parametri $(V_{R1} \cdot \frac{R_1}{R_6}; -V_{R2} \cdot \frac{R_4}{R_7})$.

raddrizzamento del segnale negativo ha una pendenza pari a $\frac{R_4}{R_5}$, la tensione V_{R1} fornisce una traslazione obliqua del punto angolare su questa pendenza.

Ciò ha un lato positivo ed uno negativo: da un lato, si ha una traslazione, cosa che ci piace; la traslazione però avviene in negativo: la caratteristica dell'amplificatore invertente è infatti decrescente, dunque mandando verso tensioni di ingresso più elevate il punto angolare, al contempo si abbassa la sua ordinata.

Ma le tensioni di riferimento sono proprio due per ovviare a questo problema: se la prima tensione di riferimento "avanza e abbassa", la seconda può compensare l'effetto collaterale dovuto alla prima. Vediamo che, sulla transcaratteristica, il contributo su V_u della sola V_{R2} è:

$$V_u|_{V_{R2}} = -V_{R2} \cdot \frac{R_4}{R_7}$$

Semplicemente riconducibile al calcolo del guadagno di un amplificatore invertente!

Abbiamo finalmente scoperto che aggiungendo V_{R2} , si può traslare V_u verso l'alto o verso il basso, ottenendo, in complessivo, una generica transcaratteristica con lo schema 4.18.

Abbiamo ben più gradi di libertà rispetto al circuito precedente, e la

possibilità di ottenere forme d'onda molto più elaborate. Cerchiamo di riassumere, dunque, le forme d'onda ottenibili con questo circuito (a costo di ripetere espressioni già presentate):

Per quanto riguarda il guadagno di $V'_{u,-}$, ossia il guadagno della parte di segnale negativa ribaltata (ottenuta mediante il secondo stadio di amplificazione, invertente), si ha, riconducendosi al banale guadagno dell'amplificatore invertente, che:

$$\angle V'_{u,-} = -\frac{R_4}{R_5}$$

Per quanto riguarda $V'_{u,+}$, ossia il guadagno, la pendenza del guadagno, della transcaratteristica riguardante le semionde positive dei segnali, nulla varia rispetto al circuito a singola semionda: semplicemente, quindi, si avrà:

$$\angle V'_{u,+} = \frac{R_4}{R_3} \cdot \frac{R_2}{R_1} - \frac{R_4}{R_5}$$

A questo punto, consideriamo le tensioni di riferimento; per quanto riguarda V_{R1} , ossia la tensione in grado di spostare seguendo l'andamento del guadagno dell'amplificatore invertente, ossia su pendenza $-\frac{R_4}{R_5}$, si avrà il posizionamento del punto angolare sull'ascissa (ossia sul valore del segnale di ingresso, V_i) pari a:

$$V_{u,Ang} = -V_{R1} \cdot \frac{R_1}{R_6}$$

Per quanto riguarda l'ultima tensione, in grado di modificare solo verticalmente la posizione della transcaratteristica, regolando la posizione dell'ordinata corrispondente a $V_i = 0$ V, si ha:

$$V_{u,R2}|_{V_i=0} = -V_{R2} \cdot \frac{R_4}{R_7}$$

Le formule di progetto sono dunque tutte esplicitate e spiegate; è ora possibile tentare di effettuare il progetto di una data transcaratteristica.

4.3.2 Esempio di Progetto

Data la transcaratteristica mostrata precedentemente (fig. 4.16), supponendo che $V_{AL} = \pm 15$ V, dimensionare il circuito raddrizzatore a doppia semionda in modo da realizzarla.

Iniziamo con qualche considerazione geometrica sulla forma insolita con cui ci troviamo a che fare. La pendenza della curva riguardante il "segnale negativo" è:

$$-\frac{R_4}{R_5} = \frac{4-1}{2-0} = \frac{3}{2}$$

Dato il punto $V_i = 0$, vediamo che:

$$V_u = -V_{R2} \cdot \frac{R_4}{R_7}$$

Dovremo dunque avere che:

$$-V_{R2} \cdot \frac{R_4}{R_7} = 4V$$

Ci serve una tensione negativa! Dal momento che, però, abbiamo nelle specifiche tensioni negative, si può usare il solito partitore; nella fattispecie, una furbata è fare in modo che il partitore sia costituito da R_4 e R_7 stessi, ma dunque:

$$\frac{R_4}{R_7} = \frac{4}{15}$$

Per quanto riguarda la pendenza a tensioni superiori a quella del punto angoloso, vediamo che:

$$\frac{4-1}{5-2} = 1$$

Si ha dunque amplificazione unitaria del sistema; quindi:

$$\frac{R_4}{R_3} \cdot \frac{R_2}{R_1} - \frac{3}{2} = 1$$

$$\frac{R_4}{R_3} \cdot \frac{R_2}{R_1} = \frac{5}{2}$$

Sfruttando la stessa ipotesi precedentemente utilizzata³, supponiamo di voler massimizzare la dinamica di ingresso, quindi imponiamo per il primo stadio di amplificazione guadagno unitario; a questo fine:

$$\frac{R_2}{R_1} = 1 \longrightarrow \frac{R_4}{R_3} = \frac{5}{2}$$

Dobbiamo a questo punto solo più “traslare obliquamente” il punto angoloso, in modo che esso abbia l’ascissa su $V_i = 2$ V. Per far ciò:

$$-V_{R1} \frac{R_1}{R_6} = 2V$$

³per quanto riguarda il raddrizzatore a singola semionda

Al fine di ottenere questo risultato, si considererà un nuovo partitore, tale da realizzare, a partire dai 15 V di alimentazione, i 2 V necessari per il riferimento:

$$\frac{R_1}{R_6} = \frac{2}{15}$$

Dovremmo ancora stabilire il valore assoluto di almeno due resistori (sarebbero in realtà 3, volendo realizzare una resistenza tra il “-” del secondo amplificatore operazionale e 0 V, ma sarebbe troppo complicato, dal momento che a seconda dello stato dei diodi l’impedenza vista dal morsetto non invertente del secondo operazionale varia); per quanto riguarda le altre, si può scegliere “politicamente” il valore $R_2 = R_4 = 100 \text{ k}\Omega$, da un’ipotetica analisi del datasheet degli amplificatori operazionali utilizzati.

4.3.3 Conclusione

Una breve conclusione riguardo il nostro circuito, nella fattispecie riguardo al suo dominio di funzionamento: questo circuito non funziona, se non a basse frequenze: il diodo ed il sommatore infatti hanno tempi di latenza non nulli, e neanche indifferenti, che influenzano negativamente il funzionamento del circuito in necessità di reattività molto elevate, quindi in necessità di costanti di tempo piccole (frequenze elevate). Questo circuito, a radiofrequenza, mostrerà tutti i suoi parametri parassiti, divenendo sostanzialmente inutilizzabile.

Capitolo 5

Uso dell'amplificatore operazionale fuori linearità

Indice

5.1	Comparatori di soglia	177
5.1.1	Isteresi di un comparatore di soglia	179
5.1.2	Conclusioni	184
5.2	Multivibratori astabili	184
5.3	Generatore di onda triangolare	190
5.3.1	Esempio teorico/pratico di progetto	193
5.4	Oscillatori sinusoidali	203
5.4.1	Condizioni di Barkhausen	204
5.4.2	Realizzazione pratica	205
5.4.3	Oscillatore a ponte di Wien	206
5.4.4	Oscillatori a sfasamento	210
5.4.5	Oscillatori a tre punti	213
5.4.6	Oscillatori al quarzo	218
5.5	Voltage Controlled Oscillator (VCO)	219

FINORA ABBIAMO UTILIZZATO L'AMPLIFICATORE OPERAZIONALE in molti modi: con retroazioni resistive, reattive, non lineari, ottenendo diversi tipi di amplificatori nonché di altri tipi di circuiti. Tutto ciò che abbiamo finora fatto, tuttavia, aveva diverse caratteristiche in comune, legate tra loro:

- L'uso di un anello di reazione prettamente negativa;
- L'uso dell'amplificatore operazionale in stato di linearità.

Certamente, l'uso dell'amplificatore operazionale in linearità (si noti che anche con le reti di reazione non lineari, l'amplificatore operazionale si trova-

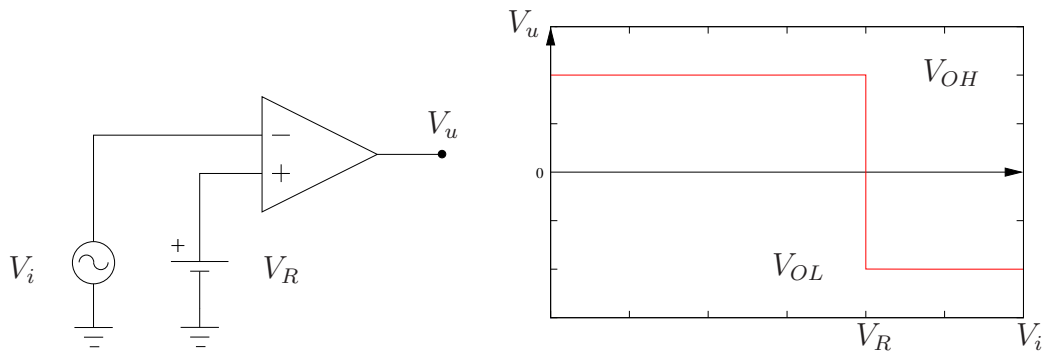


Figura 5.1: Schema circuitale del comparatore di soglia e relativa transcaratteristica.

va in stato di linearità) comportava diversi vantaggi, basati sulle “litaneie” (tensione nulla tra gli ingressi, correnti nulle negli ingressi); fuori linearità, perderemo di fatto le cosiddette litaneie, e dovremo determinare altre tecniche per lo studio dei circuiti.

Incominceremo a studiare l’amplificatore operazionale ad anello aperto, ossia senza un anello di reazione, e continueremo introducendo reazioni positive, al fine di studiare circuiti di vario genere.

5.1 Comparatori di soglia

Incominciamo a studiare il più semplice dei circuiti ad anello aperto: il comparatore di soglia. Cos’è un comparatore di soglia? Cerchiamo di mostrarlo, presentando il circuito e una prima transcaratteristica (5.1).

Su di un morsetto imponiamo una certa tensione V_R (che chiameremo comunemente *tensione di soglia* o *di riferimento*) mediante una batteria; l’altra tensione sarà il segnale in ingresso al comparatore. L’operazionale ha sul “+” V_R , che dunque sarà una tensione positiva (dal momento che non sarà invertita dal morsetto di ingresso non invertente), mentre V_i sarà una tensione variabile (di segno opposto, poichè sul morsetto invertente).

Ricordiamo che il guadagno dell’operazionale ad anello aperto è elevatissimo: in operazionali standard, esso si può quantificare nell’ordine di 10^6 o più. Ma dal momento che la tensione di alimentazione ha però un valore finito, limitato, la dinamica di uscita del sistema dipenderà da esso, ossia da V_{AL} . Avevamo detto che, per usare l’operazionale in uno stato di linearità, era necessario considerare segnali di ampiezza (differenziale) prossima a V_T ; dal momento che, però, ora si ha a che fare con segnali ben più grossi di V_T , l’operazionale, non potendo amplificare in modo lineare le differenze al

di sopra di una certa ampiezza, *saturerà*: cercando stoicamente di “amplificare fino a quando si riesce” il segnale differenziale, dopo un certo valore, si inchiederà ad un valore costante.

Quando $V_i - V_R > 0$, si ha che la tensione differenziale è negativa, dunque l’amplificatore tende ad amplificare verso la tensione più negativa che la dinamica di uscita gli permette, fino a farlo saturare, in un certo livello di tensione, che chiameremo V_{OL} . Dualmente, se $V_e - V_R < 0$, per le stesse motivazioni l’operazionale saturerà “in positivo”, raggiungendo una tensione V_{OH} ; il tratto verticale che congiunge il salto da V_{OL} a V_{OH} non ha pendenza infinita, bensì pari a A_d , numero comunque elevatissimo.

Al variare delle tensioni di ingresso, quindi, questo dispositivo ha solo due possibili tensioni di uscita: V_{OL} e V_{OH} ; si può dunque dire che esso sia un primo esempio di *interfaccia tra il mondo analogico verso quello digitale*. Questo dispositivo infatti torna utilissimo al momento di fare delle scelte: esso è in grado di dirci se un valore di tensione sia inferiore o superiore ad un certo valore dato come riferimento, fornendo, di fatto, a partire da un’informazione tratta da un segnale continuo un’informazione binaria (digitale). Un comparatore di soglia “sente” se un certo segnale ha valore inferiore o superiore a questa soglia, prefissata da un utente. Si noti la non-linearità dell’amplificatore in questo modo d’uso: indipendentemente dall’ampiezza, se non dal suo range di appartenenza, si avrà uno di due soli valori di uscita. Se nei capitoli precedenti, ad una variazione dell’ingresso si era (quasi) sempre ottenuta una variazione dell’uscita lineare (o comunque dipendente dalla circuiteria presente sulla reazione, come negli amplificatori logaritmici) rispetto a quella dell’ingresso, ora no: al variare dell’ingresso, a meno che non si oltrepassi la soglia, si ha una tensione costante.

Con la topologia attualmente presentata abbiamo realizzato un comparatore di soglia invertente: aumentando l’ingresso, V_i , si passa da un *livello alto* (causato dal fatto che V_R , tensione sul morsetto non invertente, prevale su V_i), ad uno *basso* (causato dal fatto duale: V_i diventa più grande di V_R , ma, trovandosi sul morsetto invertente, si sottrae ad essa, ottenendo una tensione differenziale v_d negativa e dunque facendo saturare negativamente).

Esistono comparatori di soglia non invertenti? Ma certo, e la loro realizzazione è banale: basta introdurre la tensione di riferimento sul morsetto invertente, e quella di ingresso sul morsetto non invertente: essendo V_i positiva, si va a sommare anziché a sottrarre alla tensione di riferimento, provocando, al proprio aumentare, l’ingresso nella zona logica alta, e quindi ottenendo in uscita V_{OH} per $V_i > V_R$.

In ambo i casi, si hanno solo due valori di uscita; questi, nella pratica, coincidono sostanzialmente con i valori della dinamica di uscita ad una certa

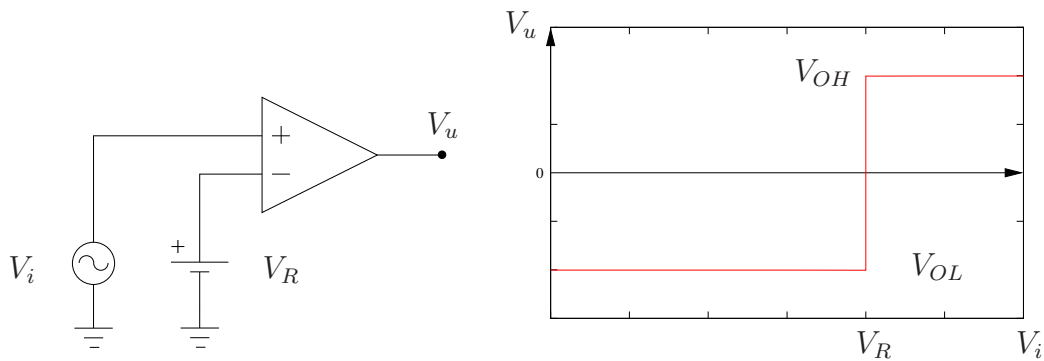


Figura 5.2: Schema circuitale del comparatore di soglia non invertente e relativa transcaratteristica.

alimentazione; in quanto tali, dunque, sono indicati sui datasheet dei vari amplificatori operazionali.

5.1.1 Isteresi di un comparatore di soglia

Ok, abbiamo inventato il comparatore di soglia. Abbiamo inventato un circuito perfetto? Ovviamente, no! Esso ha un problema abbastanza preoccupante, che ora cercheremo di illustrare. Ad ogni segnale con il quale dobbiamo lavorare è sovrapposto, in qualche modo, un rumore, derivante da fonti di tipo differente: alimentazione, disturbi elettromagnetici esterni al sistema, o tante altre cose; questo rumore, le cui caratteristiche non sono stazionarie, si presenta sotto forma di un segnale sovrapposto a quello “utile”: in qualsiasi istante di tempo può assumere un qualsiasi valore, con una certa probabilità (trattandosi di un processo stocastico). Ovviamente, la probabilità che un impulso di rumore abbia ampiezza molto elevata è molto ridotta, quasi nulla (si tratta di eventi remoti, trascurabile a questo livello di analisi). Ciò che ci interessa, è un’ipotesi specifica: supponiamo che il segnale si trovi *molto vicino* alla soglia di commutazione, ossia abbia un’ampiezza prossima a quella di commutazione dello stato del comparatore di soglia. Più l’ampiezza dell’ingresso è vicina alla soglia, più piccola dovrà essere l’ampiezza del rumore tale da darci fastidio, cioè provocare una commutazione dello stato del comparatore non dovuta al segnale in ingresso, ma solo al rumore. Essendo più piccola l’ampiezza del rumore tale da infastidirci, più alta sarà la probabilità che vi sia un impulso di rumore dall’ampiezza sufficiente alla commutazione, rendendolo un fatto pressochè certo. Cosa capita dunque? Più ci si avvicina alla soglia, più ci saranno commutazioni di stato *indesiderate*, causanti un problema assolutamente non indifferente, dal momento che distruggono l’e-

quilibrio del sistema appena presentato (vedere la figura ?? per il peggiore caso possibile: $V_i \rightarrow V_R$).

Esiste un modo in grado di permettere di definire meglio lo stato del sistema, *in prossimità delle soglie?* Beh, sì, ed il modo si basa sulla seguente idea: se al posto di una singola soglia ve ne fossero due, e se il sistema fosse configurato in modo da poter commutare solo quando entrambe le soglie vengono superate, allora, separandole in modo sufficiente da abbassare la probabilità di commutazione della soglia (richiedendo un impulso dall'ampiezza sufficientemente elevata). Questa "doppia soglia" del sistema è anche detta **isteresi**.

Bene, l'idea l'abbiamo detta, ora è tempo di metterla in pratica! Bisogna creare un meccanismo semplice ed automatico in grado, studiando la tensione di uscita, di realizzare la condizione di doppio superamento di soglia. Ciò è possibile mediante l'introduzione di un nuovo, particolare tipo di retroazione: si prende una parte della tensione di uscita, e la si riporta all'ingresso non invertente dell'amplificatore operazionale.

Si noti assolutamente che questo non è un amplificatore: la reazione è positiva! Questo, dunque è un comparatore di soglia invertente con isteresi.

Inoltre poichè l'operazionale è fuori linearità, non valgono più le solite condizioni di funzionamento: $V_+ \neq V_-$. Si aggiunge però un'altra ipotesi nuova: la tensione di uscita ha di fatto una natura binaria, ossia può assumere solo uno di due valori (V_{OL} e V_{OH}). La resistenza di ingresso dell'operazionale si può sempre considerare elevatissima, dunque si può comunque considerare che non entri, nel dispositivo, una corrente importante. Osservando il circuito si può dire che la tensione del nodo A valga:

$$V_A = V_R \cdot \frac{R_2}{R_1 + R_2} + V_u \cdot \frac{R_1}{R_1 + R_2}$$

Il comparatore in questione è invertente; supponiamo dunque che, all'accensione, vi sia $V_u = V_{OH}$, allora si deve per forza avere $V_i < V_A$, altrimenti non si avrebbe la tensione alta in uscita; quale sarà la tensione di soglia? Pensandoci bene sarà semplicemente quella tensione che porterà la tensione del morsetto non invertente e quella del morsetto invertente allo stesso livello:

$$V_{S1} = V_R \cdot \frac{R_2}{R_1 + R_2} + V_{OH} \cdot \frac{R_1}{R_1 + R_2}$$

Supponiamo a questo punto di partire dall'altra ipotesi: troveremo, semplicemente, che:

$$V_{S2} = V_R \cdot \frac{R_2}{R_1 + R_2} + V_{OL} \cdot \frac{R_1}{R_1 + R_2}$$

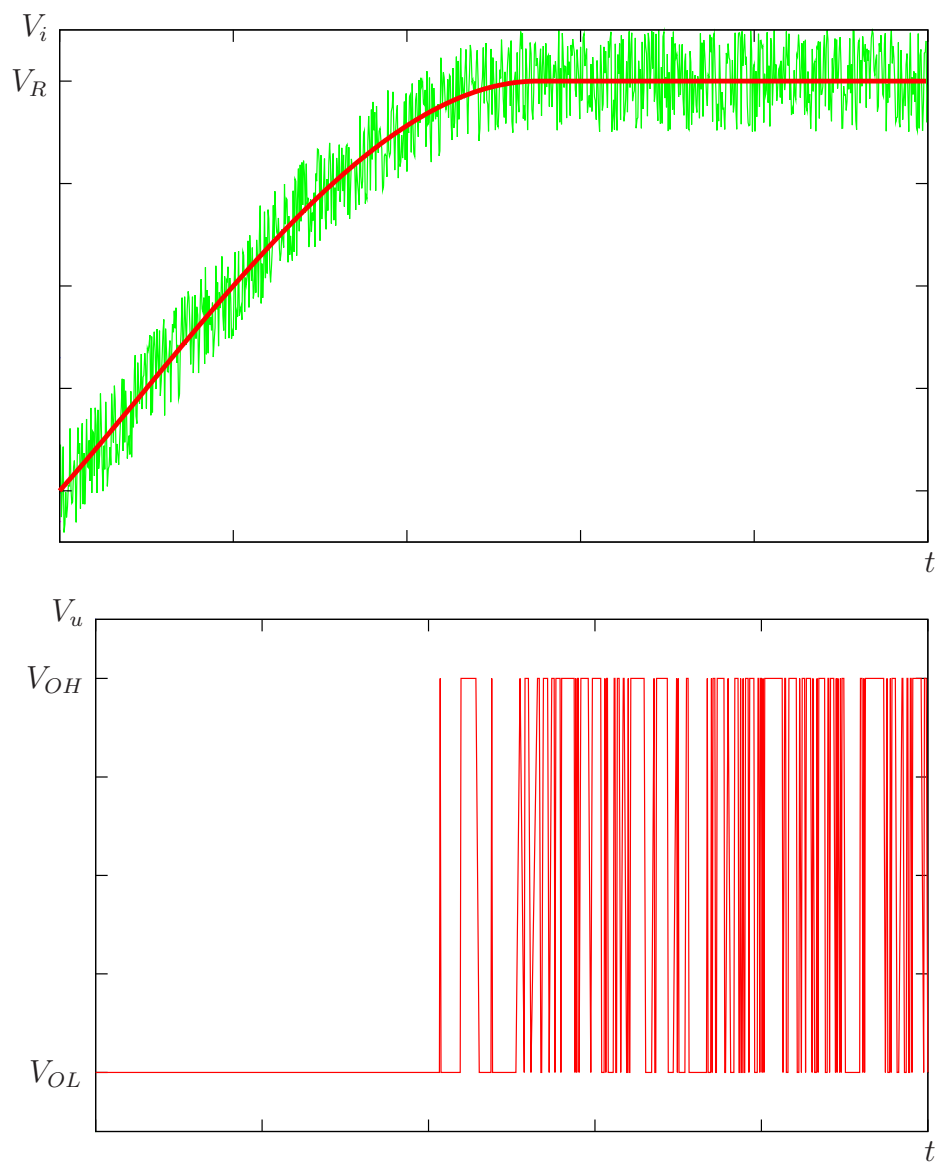


Figura 5.3: Nel grafico superiore, segnale ideale in ingresso in rosso e sommato a rumore in verde. Nel grafico inferiore la corrispondente uscita, nella quale è evidente l'instabilità dovuta all'eccessiva vicinanza del livello stabile in ingresso alla tensione di riferimento V_R .

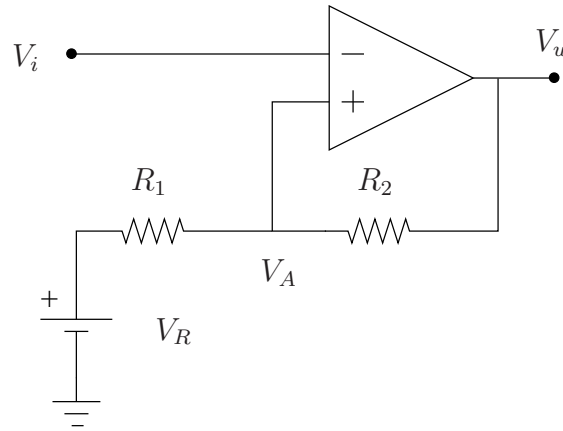


Figura 5.4: Comparatore di soglia con isteresi.

Si noti che non è detto a priori che V_R sia al centro di V_{S1} e V_{S2} , come vedremo tra breve. Calcoliamo alcuni dei parametri dell'isteresi, in modo da capire anche come progettare un circuito di questo genere.

L'ampiezza dell'isteresi è pari a:

$$V_{S1} - V_{S2} = V_{OH} \frac{R_1}{R_1 + R_2} - V_{OL} \frac{R_1}{R_1 + R_2}$$

Supponendo che $V_{OH} = -V_{OL}$, avremo che:

$$V_{S1} - V_{S2} = (V_{OH} - V_{OL}) \cdot \frac{R_1}{R_1 + R_2} = 2V_{OH} \cdot \frac{R_1}{R_1 + R_2}$$

Il valore medio dell'isteresi sarà:

$$\frac{V_{S1} + V_{S2}}{2} = \frac{V_R R_2}{R_1 + R_2} + \frac{V_{OH} + V_{OL}}{2} \cdot \frac{R_1}{R_1 + R_2}$$

Se si ipotizza ancora $V_{OH} = -V_{OL}$, avremo che:

$$\frac{V_{S1} + V_{S2}}{2} = \frac{V_R R_2}{R_1 + R_2}$$

Si è così dimostrato che l'isteresi non è centrata su V_R , ossia che V_R non è il valore medio dell'isteresi. Solitamente, il valore medio è leggermente attenuato rispetto a V_R , nella fattispecie di un fattore proporzionale all'ampiezza dell'isteresi stessa.

Tutti questi calcoli valgono per quanto riguarda il comparatore di soglia invertente; e per il comparatore di soglia non invertente (fig. 5.5), come ci si comporterà?

Ragioniamo in maniera duale a prima, e vediamo che ora V_A vale:

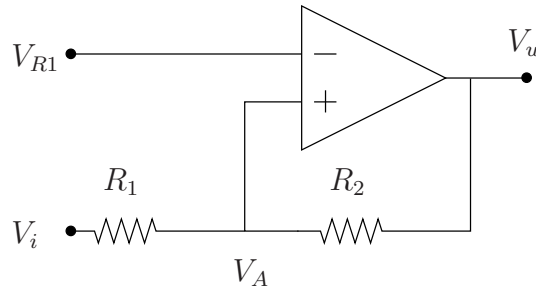


Figura 5.5: Realizzazione circuitale del comparatore di soglia con isteresi non invertente.

$$V_A = V_i \cdot \frac{R_2}{R_1 + R_2} + V_u \cdot \frac{R_1}{R_1 + R_2}$$

Come prima, il valore della soglia sarà quello per cui $V_A = V_R$; supponiamo dunque, dualmente a prima, che, acceso il dispositivo, si abbia $V_u = V_{OL}$; avremo:

$$V_R = V_{S1} \cdot \frac{R_2}{R_1 + R_2} + V_{OL} \frac{R_1}{R_1 + R_2}$$

Quindi, invertendo, ricaviamo V_{S1} :

$$V_{S1} = V_R \cdot \frac{R_1 + R_2}{R_2} - V_{OL} \cdot \frac{R_1}{R_2}$$

In maniera del tutto duale, si ricava V_{S2} :

$$V_{S2} = V_R \cdot \frac{R_1 + R_2}{R_2} - V_{OH} \cdot \frac{R_1}{R_2}$$

Studiamo a questo punto le caratteristiche geometriche dell'isteresi, facendo come prima.

L'ampiezza dell'isteresi sarà:

$$V_{S1} - V_{S2} = \frac{R_1}{R_2} (V_{OH} - V_{OL})$$

Ipotizzando $V_{OH} = -V_{OL}$:

$$V_{S1} - V_{S2} = 2 \frac{R_1}{R_2} V_{OH}$$

Il valor medio delle soglie invece sarà:

$$\frac{V_{S1} + V_{S2}}{2} = V_R \cdot \frac{R_1 + R_2}{2} - (V_{OL} - V_{OH}) \cdot \frac{R_1}{2R_2}$$

Se poi $V_{OH} = -V_{OL}$:

$$\frac{V_{S1} + V_{S2}}{2} = V_R \cdot \frac{R_1 + R_2}{R_2}$$

5.1.2 Conclusioni

Una volta descritto il funzionamento e le equazioni di progetto del comparatore di soglia, abbiamo terminato la parte teorica; per concludere l'argomento, tuttavia, si vuole dare un piccolo cenno pratico, sugli integrati commercializzati come comparatori di soglia; solitamente essi vengono venduti direttamente montati su di un circuito integrato, e non vengono realizzati su bassetta o su stampato.

In riferimento alla figura 5.7, in uscita dal dispositivo si hanno due terminali collegati a collettore ed emettitore di un BJT di uscita. L'emettitore sarà collegato a quella che vorremmo sia V_{OL} , ossia una V'_{OL} molto prossima alla V_{OL} del circuito. Dualmente, il collettore sarà collegato a quella che vorremmo sia $V_{OH} \simeq V'_{OH}$ mediante la resistenza di *pull-up* del circuito (R_{PU}).

Questo transistor funziona da interruttore: se $I_b > 0$, il BJT va in stato di saturazione, stato in cui $V_E \sim V_C$ (a meno di una piccola caduta di tensione, al massimo nell'ordine dei 0.2 V). La tensione in uscita, dunque, sarà V_{OL} , dal momento che la tensione di emettitore sarà prossima a quella di collettore; se $I_b = 0$, invece, il BJT andrà in stato di interdizione, dunque la tensione di uscita sarà V_{OH} .

Questo tipo di uscita, che per ora abbiamo solo introdotto (approfondiremo nell'argomento *porte logiche*), è detto **open collector**, ed è una base dell'elettronica digitale.

Per il resto, si sappia che lo schema di un comparatore di soglia è simile a quello di un operazionale, cercando però di prediligere, agli altri parametri, un'elevata velocità di transizione tra i due stati, in modo da garantire la massima reattività nel cambio di stato da *alto* a *basso* e viceversa.

5.2 Multivibratori astabili

Una interessante applicazione dei circuiti appena studiati senza dubbio è il *multivibratore astabile*. Esso è un generatore di forma d'onda quadra, autooscillante. Il nome *astabile* deriva dal fatto che il circuito ha due soli stati di

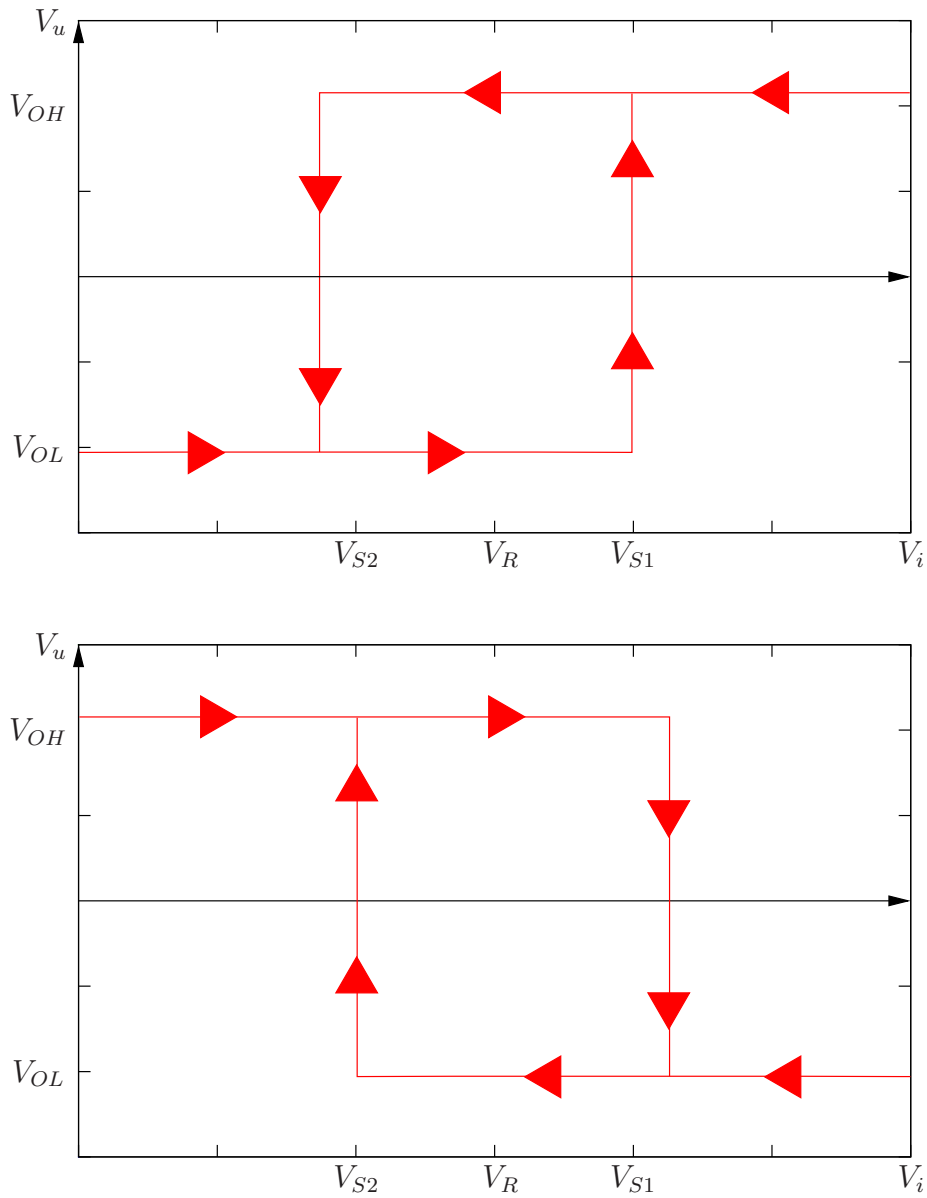


Figura 5.6: Transcaratteristica dei comparatori di soglia con isteresi. In alto quella dell'invertente e in basso quella del non invertente.

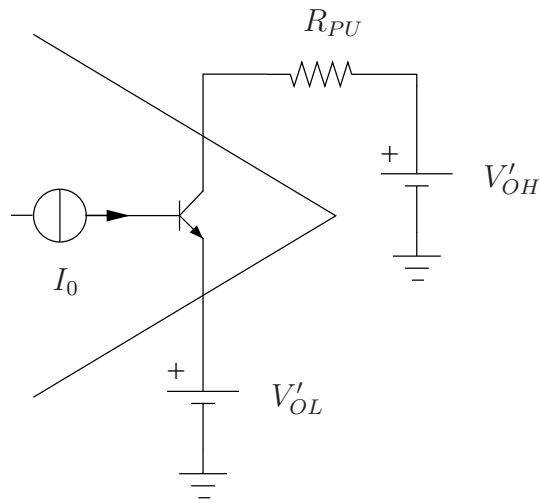


Figura 5.7: Modello circuitale della sola parte di uscita di un generico comparatore di soglia trovabile in commercio.

funzionamento, nessuno dei quali è definitivamente stabile: il circuito rimane per uno degli stati solo per il tempo per il quale dura la stabilità, saltando poi repentinamente nell'altro stato, dove si rimarrà per un certo tempo, e continuare ad oscillare tra uno e l'altro.

Quello che ci serve è dunque un circuito tale per cui, dopo un certo tempo, si abbia una commutazione automatica di stato (autooscillazione). Un'idea, dunque, potrebbe essere la seguente: utilizzando elementi circuitali in grado di *accumulare energia*, raggiunto un certo livello energetico costringono una certa circuiteria a commutare di stato, passando in una condizione di funzionamento in cui l'energia accumulata si scaricherà, fino a far ri-commutare lo stato. Conosciamo elementi in grado di fungere da accumulatori energetici? Certamente: qualsiasi elemento reattivo è in grado di immagazzinare, sotto forme diverse (carica, campo magnetico) energia; dal momento che gli induttori non ci stanno molto simpatici, poichè difficili da realizzare, si può intuire che sceglieremo i condensatori.

Si parla di commutazione di stati quando si è raggiunto un certo livello di accumulo energetico, quindi possiamo immaginare che la circuiteria alla base del "misuratore di energia" sarà semplicemente un comparatore di soglia. In particolare sarà invertente: comparando la tensione ai capi di un condensatore, si riesce a quantificare l'energia presente in esso, dunque a stabilire l'istante della commutazione.

A questo punto possiamo prendere in considerazione e analizzare il funzionamento del circuito dello schema 5.8. Come al solito, abbiamo sul morset-

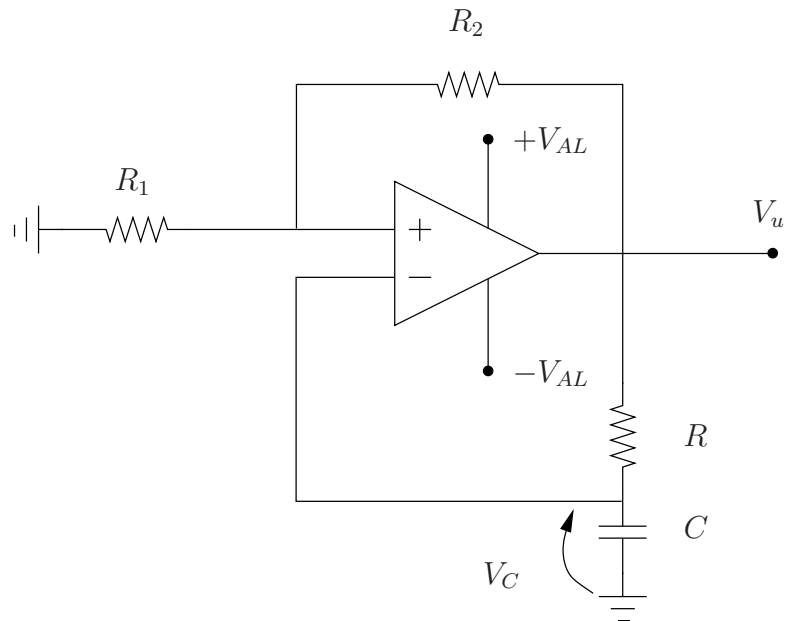


Figura 5.8: Schema circuitale del multivibratore astabile: si nota una certa somiglianza con il comparatore di soglia.

to invertente una corrente pressochè nulla, dal momento che gli stadi di ingresso di un operazionale hanno o la base di un BJT o ancor peggio il gate di un MOSFET. Dunque, R e C sono in serie: su di essi vi è la stessa corrente!

I possibili livelli delle tensioni di uscita del circuito sono come nel comparatore di soglia: V_{OH} e V_{OL} ; il riferimento di tensione è infine collegato a 0 V, dal momento che $V_R = 0$ V (essendo R_1 collegata al potenziale di riferimento).

Come funziona questo sistema? Cerchiamo di capirlo, in modo qualitativo, prima di passare al matematico: una volta acceso il dispositivo, l'uscita si troverà in uno dei due stati, V_{OL} o V_{OH} ; supponiamo per ipotesi che lo stato iniziale sia V_{OH} , supposizione che non ci provoca problemi di alcun tipo: i conti son del tutto analoghi, supponendo che l'uscita sia bassa, al momento dell'accensione. Se $V_u = V_{OH}$, il condensatore tenderà a caricarsi, con un transitorio di tipo esponenziale fino al raggiungimento della tensione V_{OH} , che per lui sarà una sorta di traguardo d'arrivo, ossia, *livello di regime* V_∞ . Il fatto che $V_u = V_{OH}$, dunque, costringe il condensatore a tendere al suddetto livello di tensione, fino a quando non interviene V_{S1} , ossia la tensione di soglia alta, che, appena raggiunta, farà commutare lo stato del circuito, portando l'uscita ad un livello pari a $V_u = V_{OL}$; il condensatore, vedendo il cambio di tensione, cambia direzione e viaggia verso il traguardo di partenza (!) svuotandosi e

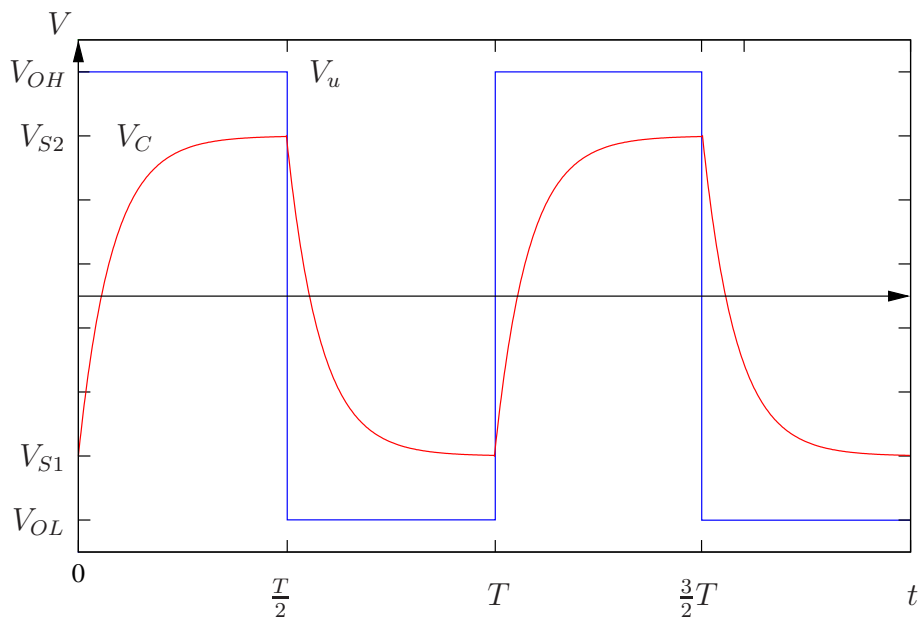


Figura 5.9: Andamento delle tensioni V_u e V_C rispettivamente in blu e rosso.

cercando a questo punto di raggiungere un *nuovo livello di regime*, divenuto V_{OL} . la storia si ripete: il transitorio esponenziale del condensatore tende a raggiungere questo nuovo punto fino al raggiungimento della soglia V_{S2} , che farà commutare il circuito, la cui uscita tornerà a raggiungere il livello V_{OH} . Attenzione: la tensione sul condensatore, dunque, ha un andamento a dente di sega (fig. 5.9) ma, quello della V_u , è un'onda quadra (a causa del comparatore di soglia *built-in*)!

Abbiamo spiegato come funziona il circuito, passiamo al matematiche: a partire dal calcolo della tensione sul condensatore, $v_C(t)$, coerentemente con il discorso precedente si considera $t = 0$ l'istante della seconda commutazione, quella da livello basso a livello alto dell'uscita. Supponendo che le soglie siano equidistanti dal potenziale di riferimento di 0 V, possiamo dire che il periodo del multivibratore astabile sarà il doppio di uno dei due *semiperiodi*. Dopo la commutazione le tensioni “notevoli” saranno: $V_\infty = V_u = V_{OH}$, $V_{0+} = V_{S2}$ e l'impedenza vista dalla capacità C , sarà semplicemente la resistenza R ad essa in serie; ricordiamo dunque la formula del transitorio:

$$v_C(t) = (V_{0+} - V_\infty) e^{-\frac{t}{\tau}} + V_\infty$$

Riepilogando tutto ciò che abbiamo finora detto, avremo che:

$$V_{0+} = V_{S2}; \quad \tau = R_{eq}C = RC; \quad V_\infty = V_{OH}$$

Quindi:

$$v_C(t) = (V_{S2} - V_{OH}) e^{-\frac{t}{RC}} + V_{OH}$$

Dopo un semiperiodo, $t = \frac{T}{2}$, dove ovviamente T è il periodo di oscillazione del circuito multivibratore (nonchè periodo dell'onda quadra in uscita!), si sarà raggiunta, a partire dalla tensione V_{S2} , la tensione V_{S1} , poichè il condensatore si sarà caricato a sufficienza da provocare la commutazione di stato; si può dunque dire che:

$$V_{S1} = (V_{S2} - V_{OH}) e^{-\frac{T}{2RC}} + V_{OH}$$

Dal momento che vogliamo trovare T , invertiamo la formula, ottenendo:

$$e^{-\frac{T}{2RC}} = \frac{V_{S1} - V_{OH}}{V_{S2} - V_{OH}}$$

Calcolandone il logaritmo naturale:

$$T = -2RC \ln \left(\frac{V_{S1} - V_{OH}}{V_{S2} - V_{OH}} \right)$$

Usando la proprietà del logaritmo, portiamo il "-1" all'esponente, invertendo la frazione, e ottenendo l'espressione operativa di T :

$$T = 2RC \ln \left(\frac{V_{S2} - V_{OH}}{V_{S1} - V_{OH}} \right)$$

Dato che le varie espressioni delle tensioni si potrebbero estrarre dal datasheet dell'amplificatore operazionale in uso, tuttavia è possibile riprendere le equazioni ricavate nello studio dei comparatori di soglia, e vedere che:

$$V_{S1} = V_{OH} \frac{R_1}{R_1 + R_2}; \quad V_{S2} = V_{OL} \frac{R_1}{R_1 + R_2}$$

Invertendo e sostituendo, imponendo $V_{OH} = -V_{OL}$, si trova che:

$$V_{OH} - V_{S1} = V_{OH} \left(1 - \frac{R_1}{R_1 + R_2} \right) = V_{OH} \frac{R_2}{R_1 + R_2}$$

$$V_{OH} - V_{S2} = V_{OH} \left(1 + \frac{R_1}{R_1 + R_2} \right) = V_{OH} \frac{2R_1 + R_2}{R_1 + R_2}$$

Sostituendo nell'espressione di T :

$$T = 2RC \ln \left(\frac{V_{OH} \frac{2R_1 + R_2}{R_1 + R_2}}{V_{OH} \frac{R_2}{R_1 + R_2}} \right) = 2RC \ln \left(\frac{2R_1 + R_2}{R_2} \right)$$

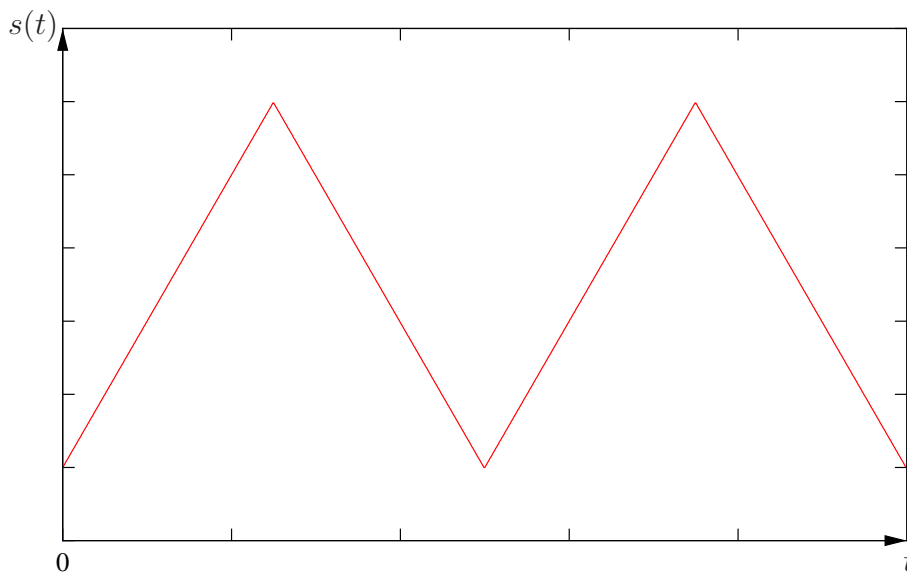


Figura 5.10: Esempio di segnale triangolare nel dominio del tempo.

Siamo così riusciti ad eliminare la dipendenza dalle tensioni di alimentazione, ottenendo una funzione delle sole resistenze della retroazione.

Visto che abbiamo sempre solo parlato di circuiti con ingressi e uscite, ci si potrebbe chiedere qual'è l'ingresso del multivibratore astabile.

Uhm... guardiamo il secondo nome del circuito: *generatore di onda quadra*. Questo sistema *genera*, non amplifica o riproduce o attenua o altro! In quanto generatore, non ha ingressi (a meno dell'alimentazione, che però non è un *segnale* in ingresso!), dunque non bisogna assolutamente stupirsi del fatto che esso abbia ingressi. Al contrario, esso viene soprattutto usato come ingresso, per circuiti di altro tipo.

5.3 Generatore di onda triangolare

Per riassumere il discorso fatto nella sezione precedente in soldoni, il generatore di onde quadre funziona cambiando la tensione di uscita al variare di quella riportata in ingresso. La nuova sfida è la generazione di *segnali triangolari* (fig. 5.10).

Però noi che sappiamo tanta matematica (non si seguono tutti quei corsi di Analisi solo per passare il tempo) siamo consapevoli che l'onda quadra è sostanzialmente una funzione definita a tratti e prolungata per periodicità, dove i tratti di funzione sono sostanzialmente delle costanti. Ma chi è pratico di Analisi sa anche che l'integrale di una costante altri non è che una retta, di

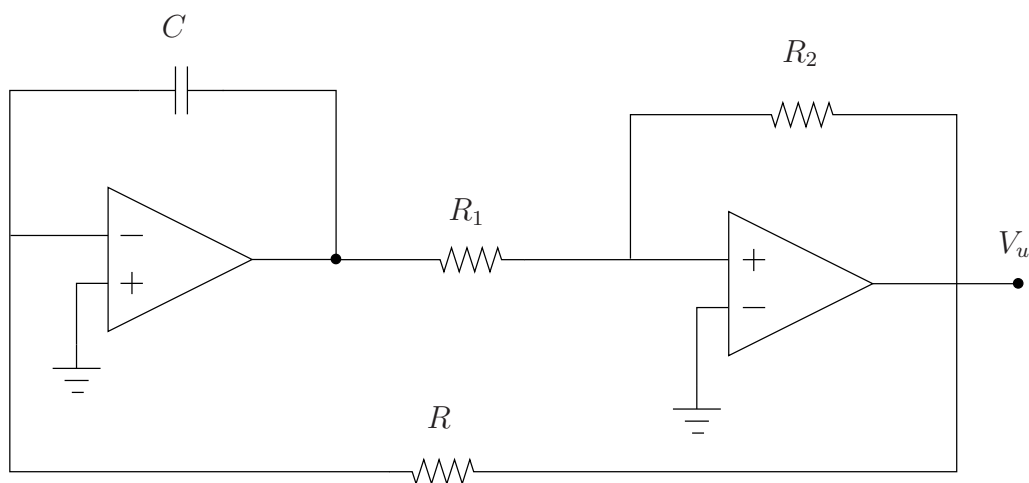


Figura 5.11: Schema circuitale del generatore di onda triangolare, composto da un integratore e un comparatore di soglia.

pendenza pari al valore della costante stessa. Se avessimo un modo dunque di realizzare la funzione integrale nel circuito, e di sostituire alla rete RC costituente il nucleo reattivo del circuito una circuiteria in grado di “fare gli integrali”, saremmo a cavallo!

Ehi! Ma noi questa circuiteria che fa l’integrale la conosciamo già! Siamo infatti capaci di costruire circuiti integratori dalla teoria dell’uso dell’amplificatore operazionale in linearità. Proviamo dunque a realizzare il circuito appena descritto e schematizzato in figura 5.11.

Usando un comparatore di soglia non invertente (dal momento che l’integratore è intrinsecamente invertente, dunque la reazione sarà “positivizzata” dal solo integratore), qualitativamente vediamo che, se il comparatore di soglia produrrà un’onda quadra, l’integratore la integrerà, producendo un’onda triangolare.

Ne siamo sicuri? Beh, abbastanza: come sappiamo dalla teoria precedentemente studiata, il fatto che la tensione sia costante sull’ingresso dell’integratore comporta una variazione lineare della tensione sul condensatore. Però si noti un fatto: il condensatore si caricherà come descritto, ma del segno opposto rispetto alla tensione di uscita: noi riportiamo indietro la tensione di uscita, mediante la rete di reazione, ma la topologia dell’amplificatore invertente, su cui si basa il nostro integratore, è tale da invertire il segno della carica del condensatore rispetto a quello della tensione di uscita. Supponendo che, appena acceso il circuito, sull’uscita si abbia tensione bassa, V_{OL} , il condensatore tenderà ad aumentare la propria tensione, linearmente; qui non si hanno *livelli di regime* o *tensioni asintotiche* da raggiungere, dal momen-

to che l'integratore "non vede cosa deve raggiungere", ma integra e basta. All'avanzare del tempo t , il condensatore raggiungerà il livello di tensione di soglia alto, V_{S1} , dunque il comparatore (non invertente) commuterà da V_{OL} a V_{OH} , ma l'integratore, invertente, tenderà a caricarsi linearmente con cariche del segno opposto, tendendo a raggiungere una tensione negativa, fino a V_{S2} , che provocherà commutazione, e così via.

Essendo il "dispositivo reattivo" ora diventato un integratore, avremo il seguente andamento della tensione sul condensatore:

$$v_C(t) = v_C(0) - \frac{1}{RC} \int_0^t v_i(t) dt$$

Sappiamo però che $v_i(t) = V_u$, poichè l'ingresso dell'integratore è l'uscita portata indietro dalla retroazione; partendo dall'ipotesi $V_{OL} = -V_{OH}$, considerando $t = 0$ l'istante in cui $v_C(t) = v_C(0) = V_{S1}$, in direzione V_{OL} :

$$v_C(t) = V_{S1} - \frac{V_{OH}}{RC} \cdot t$$

Questo è compatibile con tutti i ragionamenti finora effettuati; dopo un semiperiodo, pari a $\frac{T}{2}$, avremo raggiunto V_{S2} ; si può dunque scrivere che:

$$V_{S2} = V_{S1} - \frac{V_{OH}}{RC} \cdot \frac{T}{2}$$

Invertendo l'espressione, si trova che:

$$T = 2RC \frac{V_{S1} - V_{S2}}{V_{OH}}$$

Tutto ciò è assolutamente vero, a patto che le tensioni siano simmetriche rispetto al potenziale di riferimento, e dunque che $V_{OL} = -V_{OH}$.

Dallo studio del comparatore di soglia non invertente, ricordiamo che:

$$V_{S1} - V_{S2} = 2V_{OH} \cdot \frac{R_1}{R_2}$$

Avremo dunque che:

$$T = 4RC \frac{R_1}{R_2}$$

Ohibò! Cosa abbiamo qui? Un'espressione lineare! Non solo ci siamo sbarazzati dunque del legame con le tensioni, ma ora abbiamo addirittura un legame lineare (e non più logaritmico) con le resistenze.

Abbiamo abbastanza materiale per un esempio di progetto; esso sarà da considerarsi parte integrante della teoria, dal momento che, al generatore “di serie” finora proposto, introdurremo elementi aggiuntivi piuttosto interessanti.

5.3.1 Esempio teorico/pratico di progetto

Date le seguenti specifiche: $f = 500 \text{ Hz}$, $V_{Tpp} = 8 \text{ V}$ (altezza forma d’onda triangolare), $V_{AL} = \pm 15 \text{ V}$, amplificatore “simile” a $\mu A741$, $V_{OH} = -V_{OL} = 12 \text{ V}$, progettare il generatore di forme d’onda triangolare.

Al fine di effettuare il progetto, avremo bisogno di parte delle formule appena ricavate e parte delle formule del comparatore di soglia. Nella fattispecie, per quanto riguarda l’ampiezza della forma d’onda triangolare, essa semplicemente sarà semplicemente la distanza tra le soglie.

Quindi:

$$V_{S1} - V_{S2} = 8 \text{ V} = 2V_{OH} \cdot \frac{R_1}{R_2}$$

Da qui:

$$8 = 24 \cdot \frac{R_1}{R_2} \longrightarrow R_2 = 3R_1$$

Nota: R_2 assorbe corrente dall’integratore, quindi bisogna dimensionarla in modo che sia sufficientemente alta ma non troppo, in modo da non dare troppo “spazio” alle correnti di bias. Politicamente, scegliamo $R_2 = 150 \text{ k}\Omega$, quindi $R_1 = 47 \text{ k}\Omega$ (normalizzando secondo la serie E12).

Quindi:

$$T = \frac{1}{f} = 2 \text{ ms}$$

Ricordiamo a questo punto che:

$$T = 4RC \frac{R_1}{R_2} \longrightarrow 2 \cdot 10^{-3} = \frac{4}{3}RC$$

Da qua:

$$RC = 1,5 \text{ ms}$$

R deve essere al solito abbastanza alta, ma anche in questo caso *moderazione!* Quindi, politicamente, $R = 100 \text{ k}\Omega$; dunque:

$$C = 1,5 \cdot 10^{-3} \cdot 10^{-5} = 15 \text{ nF}$$

Abbiamo finito! Abbiamo infatti dimensionato tutti i parametri del circuito.

Generatore di onde triangolari a frequenza variabile

Chi si accontenta gode? E invece no. Noi non ci accontentiamo, poichè questo circuito può essere migliorato, introducendo almeno altre due o tre *features*. La prima potrebbe essere la frequenza: vorremmo introdurre nel circuito un meccanismo in grado di regolare la frequenza dell'amplificatore operazionale in modo continuo.

Come possiamo fare? Beh, riprendiamo un'espressione ormai un po' vecchia:

$$T = 2RC \frac{V_{S1} - V_{S2}}{V_{OH}}$$

Calcolandone l'inverso, si ottiene:

$$f = \frac{V_{OH}}{2RC(V_{S1} - V_{S2})}$$

Allora se riuscissimo a variare V_{OH} , potremmo variare linearmente anche la frequenza del generatore di segnali.

Un'idea potrebbe essere collegare la tensione di uscita del comparatore di soglia, V_Q , ad un potenziometro, P_1 (fig. ??).

Consideriamo a questo punto V_3 , ossia la tensione "portata indietro" all'ingresso dell'integratore, abbiamo che:

$$V_3 = V_{OH} \cdot \frac{xP_1 + R_3}{xP_1 + R_3 + (1-x)P_1} = \frac{xP_1 + R_3}{P_1 + R_3}$$

Dove $x \in [0; 1]$.

Il potenziometro è sostanzialmente come un filo: si considera la sua resistenza fino ad un certo punto, x (lunghezza, distanza da un capo); esso dunque può essere pensato come una coppia di resistori: xP_1 , e $(1-x)P_1$, dove P_1 dimensionalmente è una densità lineare di resistenza misurata in Ω/m , per essere precisi.

Consideriamo il fatto che xP_1 sia quella collegata a R_3 , e $(1-x)P_1$ stia "sopra" al nodo. Modificando il potenziometro, si modifica la tensione V_3 , ma dunque si modifica la frequenza del segnale! Se $x = 1$, si ha V_{OH} ; se $x = 0$, si deve avere la tensione minima richiesta dalle specifiche. Supponendo, a partire dal circuito precedente, che $f_{min} = 50$ Hz, avremo che:

$$\frac{50}{500} = \frac{1}{10}$$

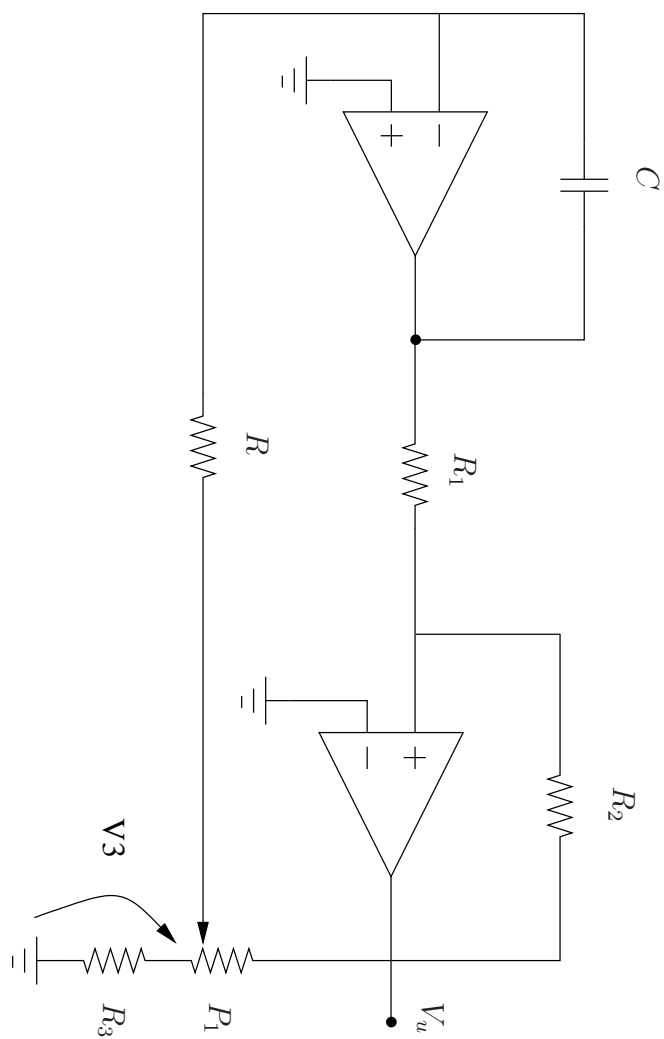


Figura 5.12: Generatore di onde triangolari a frequenza variabile grazie all'introduzione del potenziometro P_1 .

Quindi:

$$\left. \frac{xP_1 + R_3}{P_1 + R_3} \right|_{x=0} = \frac{1}{10}$$

Possiamo ora ricavare il valore di R_3 ; questa resistenza “balzata fuori dal nulla”, ha proprio il compito di limitare l’escursione della frequenza al variare della manopola del potenziometro, ai valori richiesti dalle specifiche; in particolare potremo dimensionare R_3 , sapendo che il minimo della frequenza richiesta dal circuito corrisponde da $\frac{1}{10}$ della frequenza massima, dunque la tensione minima (provocando una variazione lineare della frequenza) dovrà essere 10 volte inferiore alla tensione massima, come appena scritto.

$$\frac{R_3}{P_1 + R_3} = \frac{1}{10} \longrightarrow R_3 = \frac{P_1}{9}$$

Per essere sicuri, e per normalizzare un po’ meglio secondo la serie E12, usiamo:

$$R_3 = \frac{P_1}{10}$$

Resta ancora qualcosa da fare: abbiamo considerato un certo numero di formule, ma semplificate, se volessimo calcolare l’equivalente Thevenin a destra di R , vedremmo che è presente una R_{eq} pari a:

$$R_{eq} = \frac{(xP_1 + R_3)(1-x)P_1}{P_1 + 2R_3}$$

Questo calcolo non è fatto a caso: dovremmo scegliere $R \gg R_{eq,max}$, al fine di non dover considerare, in ciascuna delle formule finora espresse, il contributo di R_{eq} . Alternativa sarebbe stata l’uso di un voltage follower, ma non è necessario ricorrere a tanto, per il seguente motivo: possiamo dire che, secondo la normalizzazione E12, l’errore sulle resistenze sia almeno di 5 %, quindi che, se $R_{eq} = 5\%R$, essa rientra tra gli errori coi quali bisogna già normalmente convivere. Vediamo, dalla formula, che $R_{eq}(x)$ è una parabola discendente; calcolando la derivata ed il punto stazionario, dunque, si può dimostrare che:

$$R_{eq,MAX} = \frac{11}{10}P_1 \cdot \frac{1}{4} \simeq \frac{1}{4}P_1$$

Quindi:

$$\frac{1}{4}P_1 \leq 5\%R \longrightarrow P_1 \leq 4 \cdot 5 \text{ k}\Omega = 20 \text{ k}\Omega$$

In commercio, si trovano potenziometri della serie E3: 1; 2, 2; 4, 7 (per decade); ci si adatti dunque con questi valori ($10k\Omega$ potrebbe essere una buona soluzione).

Generatore di onde triangolari a offset variabile

Altra variazione sul tema: come si fa a *modificare l'offset dell'onda triangolare?* Ossia, per dirlo in maniera più diretta, come è possibile “alzare o abbassare”, rispetto al potenziale di riferimento, il segnale triangolare prodotto dal circuito che stiamo analizzando?

La risposta è in effetti abbastanza scontata: si opera su V_R , ossia sul morsetto invertente del comparatore di soglia. Volendo introdurre un offset variabile V_T tale per cui:

$$V_T \in [-4; 4] \text{ V}$$

Si introduce nel circuito un secondo potenziometro, e si usa come mostrato in figura 5.13.

Si può vedere facilmente che, riprendendo le espressioni ormai viste e riviste:

$$\frac{V_{S1} + V_{S2}}{2} = V_{REF} \cdot \frac{R_1 + R_2}{R_2} = V_{REF} \left(1 + \frac{R_1}{R_2} \right) = \frac{4}{3} V_{REF}$$

Come specificato, $V_T \in [-4; 4] \text{ V}$; per avere 4 V, bisognerà avere la V_{REF} massima, e quindi:

$$\frac{4}{3} V_{REF,MAX} = 4 \text{ V} \longrightarrow V_{REF,MAX} = 3 \text{ V}$$

Dualmente, si verifica che:

$$V_{REF,min} = -3 \text{ V}$$

I campi di variazione di V_{REF} sono simmetrici, e lo sono anche le tensioni di alimentazione. Ciò può indurci a dire che $R_4 = R_5$. Il massimo valore di funzionamento per metà del potenziometro (dal momento che metà sarà data per $-V_{AL}$, l'altra metà per $+V_{AL}$, è ovviamente $x = \frac{1}{2}$, quindi si può dire, dal momento che l'offset viene “prelevato” dal potenziometro, che vi sia un partitore tra $\frac{1}{2}P_2$ e R_4 (e poi con R_5 per quanto riguarda l'offset negativo); quindi, calcoliamo la relazione tra R_4 e P_2 dal partitore:

$$3 \text{ V} = \frac{\frac{P_2}{2}}{\frac{P_2}{2} + R_4} \cdot 15 \text{ V} \longrightarrow \frac{P_2}{2} = \frac{1}{5} \left(\frac{P_2}{2} + R_4 \right)$$

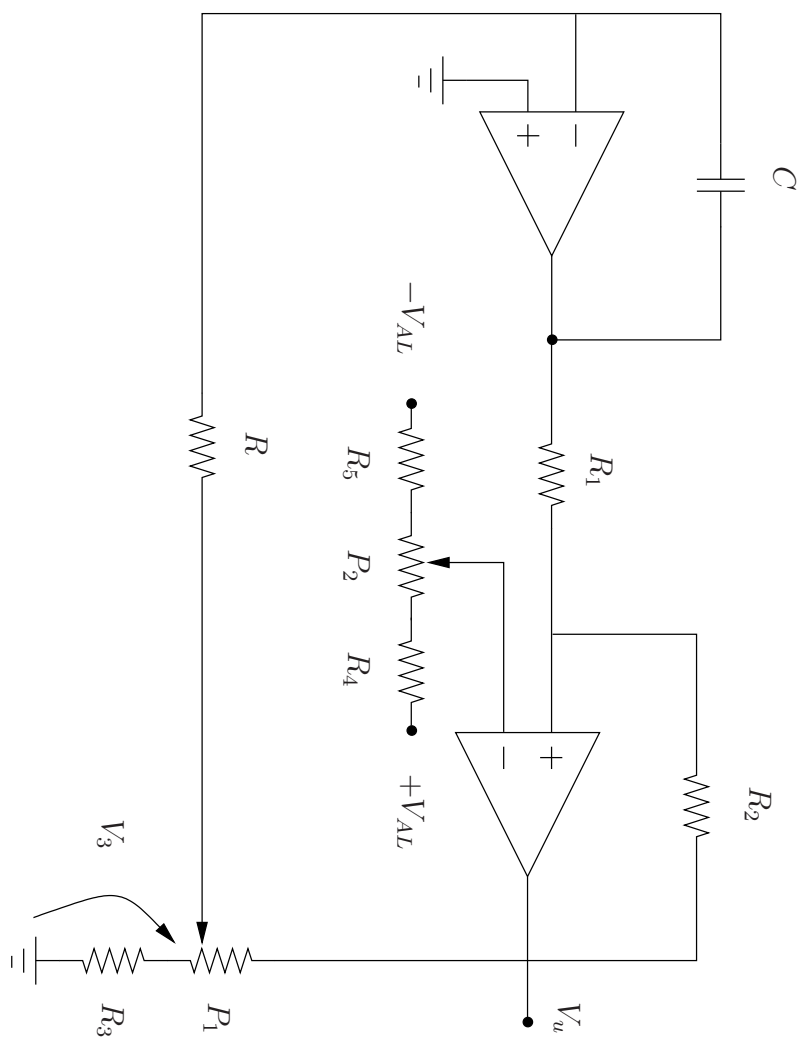


Figura 5.13: Introduzione di un secondo potenziometro nel generatore di onde triangolari per regolare la componente continua del segnale in uscita.

Da qui:

$$\frac{1}{5}R_4 = \frac{P_2}{2} - \frac{1}{5}P_2 \cdot \frac{1}{2} \longrightarrow R_2 = 2P_2$$

Si può scegliere $R_4 \simeq 18 \text{ k}\Omega$, e $P_2 = 10 \text{ k}\Omega$ (utilizzando quindi un potenziometro analogo a quello suggerito in precedenza).

Generatore di onde triangolari a duty cycle variabile

Abbiamo già introdotto due varianti di questo circuito, rendendolo abbastanza versatile; c'è un'ultima cosa da fare, al fine di poter dire di avere un circuito veramente *tutto-fare*: introdurre un meccanismo in grado di fargli fare il caffè... volevo dire... rendere variabile il *duty cycle* in modo continuo.

Cosa significa “variare il duty cycle di un generatore di forme d'onda triangolari”? Sappiamo che la forma a triangolo è ottenuta mediante l'integrazione di un'onda quadra; variare il duty cycle del triangolo significa sostanzialmente aumentare il tempo di salita, o il tempo di discesa (rispettivamente, se si aumenta il duty cycle dell'onda quadra integrata, o se si diminuisce), cercando comunque di *mantenere costante la frequenza* dell'onda quadra (e dunque di quella triangolare).

Ripartiamo dal circuito già introdotto quando abbiamo parlato di frequenza variabile, lasciando per un momento perdere l'offset per non appesantire il circuito; si sappia comunque che i vari meccanismi introdotti sono assolutamente compatibili tra loro!

Nel circuito finora progettato, $T_1 = T_2 = \frac{T}{2}$; abbiamo tempi “alti” e “bassi” uguali, ossia il triangolo è *isoscele*: il segnale impiega tanto tempo per crescere quanto per decrescere.

Come sappiamo, il duty cycle D_C per un segnale si definisce classicamente come:

$$D_C = \frac{T_1}{T} \cdot 100$$

Sappiamo, dalle precedenti analisi del circuito, che:

$$T_1 = \frac{V_{S1} - V_{S2}}{V_{OH}} RC; \quad T_2 = T - T_1$$

Finora, però, abbiamo avuto $T_1 = T_2$; come potremmo cambiare ciò? La risposta in realtà è abbastanza semplice: come parametro libero abbiamo finora tenuto R , ossia la resistenza di reazione dal multivibratore astabile verso l'integratore. Essa stabilisce quanta corrente circoli nella reazione e quindi la costante di tempo dell'integratore. Tuttavia con una resistenza R ,

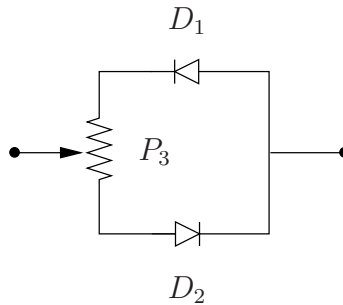


Figura 5.14: Schema del sotto-circuito da sostituire alla resistenza R del generatore di onde triangolari per ottenere la regolazione del duty cycle.

il circuito integratore vede la stessa resistenza sia quando carica sia quando scarica il condensatore: impiegando un banale elemento resistivo, infatti, esso non riesce a “distinguere” il verso della corrente, dunque, indipendentemente dal fatto che una corrente sia in un senso o nell’altro, mostra sempre la stessa impedenza al condensatore.

L’idea alla base della variazione del duty cycle, è la seguente: bisogna ideare qualcosa in grado di mostrare al condensatore un’impedenza diversa a seconda del verso della corrente (entrante/uscente cioè carica/scarica).

Per ottenere questo risultato bisogna sostituire quella banalissima resistenza R con qualcosa di più complicato (*No pain, no gain*).

Il funzionamento del nostro nuovo giocattolo di fig. 5.14 è il seguente: D_1 blocca la corrente che va da sinistra verso destra nello schema, ma D_2 la lascia passare; dualmente, D_2 blocca la corrente diretta da destra verso sinistra, ma D_1 la lascia passare. A seconda del verso la corrente potrà andare solo in uno dei due rami del parallelo, ma dunque potrà scorrere solo su uno dei due resistori regolabili che compongono il potenziometro. A seconda di come sarà impostato il cursore/terminale centrale di P_3 , inoltre, il condensatore in fase di carica ed in fase di scarica vedrà resistenze diverse.

Definendo le resistenze $R_a = yP_3$ e $R_b = (1 - y)P_3$, avremo che il periodo T sarà pari a:

$$T = T_1 + T_2 = \frac{V_{S1} - V_{S2}}{V_{OH}} \cdot C \cdot (R_a + R_b)$$

Riprendendo la definizione di duty cycle:

$$D_C = \frac{T_1}{T_1 + T_2} = \frac{R_a}{R_a + R_b}$$

Ma, nel nostro caso, $R_a + R_b = P_3$, ossia è il valore del potenziometro; dal momento che con il cursore è possibile modificare il valore di y , in questo

modo si potrà modificare la resistenza vista dal condensatore nelle diverse situazioni, quindi regolare il duty cycle. Sarebbe preferibile tuttavia non avere mai $R_a = 0$: una resistenza nulla potrebbe provocare problemi per via della reazione, che diverrebbe elevatissima (per lo stesso motivo, dunque, si eviti anche $R_b = 0$).

Introducendo in serie al sotto-circuito una resistenza R_6 (fig. 5.15), si introduce di fatto un *lower bound* di sicurezza alla resistenza che il condensatore vede: sia in un senso che in un altro, sicuramente il condensatore vedrà almeno R_6 e in più si aggiungerà o yP_3 o $(1 - y)P_3$. Possiamo dunque dire che, con l'attuale circuito, si abbia:

$$R_a = yP_3 + R_6$$

$$R_b = (1 - y)P_3 + R_6$$

Da qui:

$$R_a + R_b = P_3 + 2R_6 = 2R$$

Data dunque $R = 100 \text{ k}\Omega$, si deve avere $R_a + R_b = 200 \text{ k}\Omega$: R_a è la resistenza vista quando la corrente va da destra a sinistra, R_b il duale: per non introdurre modifiche trascendentali, la somma di queste due resistenze deve essere uguale al doppio di R , una sola per volta delle due verrà percorsa da corrente. Per verificare questo fatto, consideriamo un caso banale: se il D_C è del 50 %, $R_a = R_b = 100 \text{ k}\Omega$.

Consideriamo a questo punto un esempio pratico di realizzazione di questo meccanismo: supponiamo di voler fare in modo che il duty cycle vari dal 25% al 75%; sappiamo dunque, dalle espressioni già viste, che:

$$D_C = \frac{yP_3 + R_6}{P_3 + 2R_6}$$

Se il minimo del duty cycle deve essere 0,25, dal momento che il minimo si ottiene all'estremo del potenziometro tale per cui $y = 0$, si ha:

$$D_{C,min} = \frac{R_6}{P_3 + 2R_6} = \frac{1}{4} \longrightarrow R_6 = \frac{200 \text{ k}\Omega}{4} = 50 \text{ k}\Omega \simeq 47 \text{ k}\Omega$$

A partire dunque dal valore normalizzato secondo la serie E12, consideriamo:

$$2R_6 \simeq 100 \text{ k}\Omega$$

Quindi, ora:

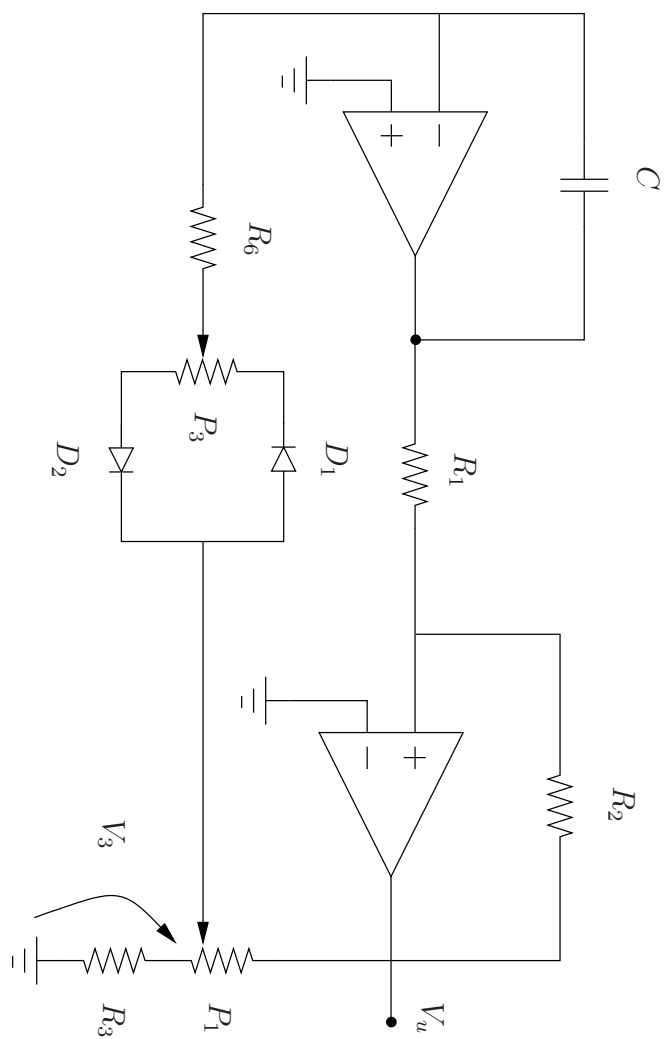


Figura 5.15: Generatore di onde triangolari con regolazione del *duty cycle* per mezzo del potenziometro P_3 .

$$P_3 + 100 \text{ k}\Omega \simeq 200 \text{ k}\Omega \longrightarrow P_3 \simeq 100 \text{ k}\Omega$$

E per il 75 % che si fa? Beh, non lo so: abbiamo finito i gradi di libertà! Non possiamo fare più niente! Proviamo a immaginare che però il potenziometro sia al massimo, quindi che $y = 1$:

$$\left. \frac{R_6 + yP_3}{P_3 + 2R_6} \right|_{y=1} \cdot 100 = \frac{147 \text{ k}\Omega}{200 \text{ k}\Omega} \simeq 75\%$$

“Fortuitamente”, con questa configurazione, abbiamo ottenuto proprio il duty cycle desiderato. Abbiamo avuto solo fortuna, o c’è dietro qualcosa? C’è ovviamente dietro qualcosa: l’aver inserito R_6 in quella posizione costituisce un vincolo alla resistenza vista dal condensatore (che al minimo è per l’appunto pari a R_6), ma uguale per le correnti di entrambi i versi; il fatto di aver inserito questo bound comune ad entrambi i versi del segnale (sia esso entrante o uscente dal condensatore), presuppone il fatto che la variazione del duty cycle sia simmetrica rispetto al 50 %, come ad esempio 25 % e 75 %, ossia il nostro caso.

Potrebbe tuttavia capitare di dover aver a che fare con un **duty cycle asimmetrico**: in tal caso, anziché una sola resistenza, se ne dovranno inserire due, ma in serie ai singoli diodi, D_1 e D_2 . In questo modo, le resistenze minime viste dal condensatore saranno differenti a seconda del verso della corrente, dunque si avranno differenti costanti di tempo e differenti tempi di carica del circuito integratore. A parte questa osservazione, le espressioni sono, per il resto, del tutto analoghe a quelle appena affrontate, ma con l’introduzione di un grado di libertà in più rispetto all’esempio pratico da noi affrontato.

Ci poniamo a questo punto una domanda finale: tutto ciò che abbiamo detto, funziona veramente? La risposta, per questa volta, è “ni”: abbiamo considerato infatti ideali i diodi, annullando dunque eventuali correnti inverse di saturazione e cadute di tensione ai loro capi; un diodo in realtà, quando è acceso, ha la sua V_γ , che modificherà leggermente la tensione di uscita, V_{OH} , e di conseguenza la frequenza del segnale triangolare generato dal circuito appena presentato. Questa sorpresa finale può essere pane per i denti dei lettori più volenterosi...

5.4 Oscillatori sinusoidali

La realizzazione classica di un oscillatore sinusoidale è molto complicata, e sempre più in disuso (dal momento che alcune novità tecnologiche, una su tutte gli *oscillatori al quarzo*, hanno reso obsoleta questa branca dell’elettronica). Gli oscillatori realizzati a partire dalle teorie tra breve esposte sono poco

efficienti, poichè molto difficili da progettare, e sempre disturbati da fenomeni di distorsione di vario tipo. Per progettare un buon oscillatore, bisognerebbe adottare tecniche ben più raffinate di quelle da noi mostrate, che però non tratteremo. È comunque giusto fornire almeno delle idee per quanto riguarda le idee che si celano dietro i circuiti in grado di generare segnali almeno in prima approssimazione sinusoidali, quindi questa sezione è assolutamente da tenere in considerazione, per quanto riguarda la formazione di un ingegnere elettronico.

Cerchiamo di tirare fuori qualche idea: cosa potremmo fare, dunque, per progettare un oscillatore sinusoidale? Una prima idea potrebbe essere quella di prendere un generatore di forme d'onda, quadre ad esempio, collegarvi in cascata un filtro passa-banda a banda molto stretta, in modo da prelevare idealmente una singola armonica tra tutte quelle presenti nello spettro del segnale generato (segnale a banda larga, visto che servono molte armoniche per costituire un "salto"), e in uscita dal sistema presentare solo quella: dalla teoria dei segnali si sa che, il risultato, sarà di fatto una sinusoidale!

Questo in realtà è un po' un modo di girare attorno al problema al posto di risolverlo: sì, il risultato potrebbe anche funzionare, ma non è ciò che ci piacerebbe direttamente realizzare: quello che noi vorremmo, di fatto, è un oscillatore intrinsecamente sinusoidale.

Innanzitutto, senza approfondire eccessivamente, è necessario introdurre nozioni teoriche non ancora acquisite, al fine di fornire, più avanti, le vere idee alla base della progettazione di un oscillatore sinusoidale.

5.4.1 Condizioni di Barkhausen

Un'idea un po' meno intuitiva rispetto a quella precedentemente introdotta è quella di utilizzare una retroazione un po' particolare, un po' differente da quelle finora analizzate (fig. 5.16).

Il blocco β non è invertente, dunque la reazione è positiva. Supponiamo di aver ottenuto all'uscita una sinusoidale e di riportarla all'ingresso; se la sinusoidale ad ogni giro d'anello viene amplificata, essa continua ad aumentare la propria ampiezza, fino a mandare il sistema in stato di saturazione. Data dunque una sinusoidale in uscita, $|T| = |A\beta|$, deve valere esattamente 1: valesse di più, il sistema prima o poi andrebbe in stato di saturazione; se valesse un po' di meno, dopo un transitorio di una certa durata il sistema, a forza di attenuare il segnale sinusoidale, porterebbe l'uscita a 0 V.

Il sistema retroazionato deve dunque essere tale da avere guadagno di anello a fase nulla: se $\angle T \neq 0^\circ$, la sinusoidale non sarebbe più tale: il continuo sfasamento porterebbe infatti ad una continua variazione della forma d'onda,

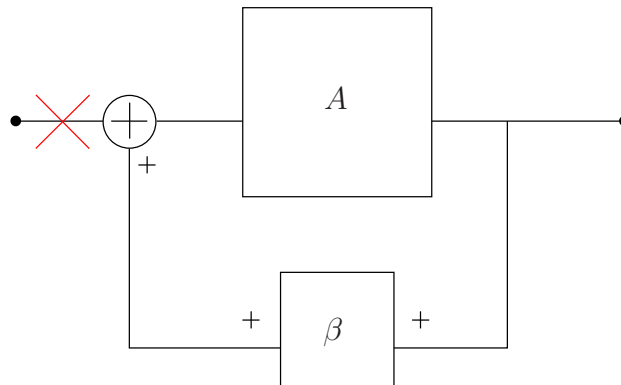


Figura 5.16: Schema a blocchi di uno sistema con reazione positiva.

poichè si otterrebbe un continuo fenomeno di distorsione di fase su ciascuna delle sinusoidi riportate in ingresso.

Queste due condizioni sono dette **condizioni di Barkhausen**, e devono essere entrambe *rispettate alla perfezione*: un errore anche alla sesta o settima cifra decimale (e anche oltre!) sarebbe fatale per la stabilità dell'oscillatore! Dunque, i due comandamenti da rispettare per ottenere un perfetto oscillatore sinusoidale, sono i seguenti:

$$\begin{cases} |T| = 1,00000... \\ \angle T = 0,000000000...^\circ \end{cases}$$

5.4.2 Realizzazione pratica

Abbiamo finora fatto supposizioni, in particolare di avere già un segnale sinusoidale sull'uscita, al fine di poter introdurre la teoria e poter motivare e spiegare le condizioni di stabilità di Barkhausen.

Come si genera il segnale sinusoidale nella pratica? La risposta non è molto banale: come forse si sarà intuito, date le condizioni di Barkhausen, il segnale si manterrà sicuramente sinusoidale. Il problema è: e se non ci fosse il segnale?

La strategia da implementare sul nostro circuito sarà la seguente: *reazione positiva* fino a quando il segnale non raggiunge una data ampiezza, che dovrà essere l'ampiezza della sinusoide prodotta in uscita dal generatore, dopodichè il circuito deve innescare una *reazione negativa*. Per esempio, un singolo elettrone viene per qualche motivo mosso nell'anello, il feedback positivo amplifica il segnale, continuando ad aumentarne l'ampiezza; però ad un certo punto il segnale innescato dal nostro amico elettrone diventa troppo ampio e si deve a questo punto innescare automaticamente una reazione negativa,

tale da limitare l'ampiezza dell'oscillazione del segnale, riportando il sistema in uno stato tale da soddisfare le condizioni di Barkhausen. Riassumendo:

- Per bassi livelli di segnale, $|T| > 1$;
- Per le ampiezze che vogliamo in uscita, $|T| = 1, \angle T = 0^\circ$;
- Per ampiezze troppo grandi di segnali, $|T| < 1$.

Si noti che un oscillatore non è assolutamente un circuito lineare: il suo guadagno dipende strettamente dall'ampiezza del segnale che esso stesso produce: a seconda di esso, $|T|$ varierà, in modo da ottenere un sistema *autostabilizzato*, ossia tendenzialmente in grado di ripristinare e correggere da solo, automaticamente, lo stato di funzionamento corretto.

5.4.3 Oscillatore a ponte di Wien

Facciamo a questo punto un po' di pratica, tentando di studiare le condizioni di Barkhausen su di un circuito ideale (nel senso che esso funziona benissimo... finchè si resta su di un pezzo di carta). Al fine di studiare questo circuito, ricorreremo al seguente stratagemma: per il calcolo del guadagno di anello, $T = A\beta$, separeremo i blocchi A e β aprendo l'anello di reazione. Si definiscono a questo punto v_f (segnale "al capo" del blocco β), e v_i (segnale all'ingresso del blocco di amplificazione, A), e si determina T come rapporto tra i due segnali:

$$T = \frac{v_f}{v_i}$$

All'ingresso di A abbiamo infatti il segnale v_i , che viene retroazionato mediante β , ottenendo:

$$v_f = v_i \cdot A \cdot \beta$$

Da qui, l'espressione del guadagno di anello appena proposta.

Consideriamo lo schema di base di un *oscillatore a ponte di Wien* in figura 5.17. La croce rossa segnata sul disegno indica il punto in cui si apre l'anello di reazione: sopra avremo il segnale in ingresso¹ all'amplificatore v_i , invece sotto il segnale retroazionato v_f .

Consideriamo inoltre, per rendere più comoda la notazione, le seguenti definizioni:

¹Attenzione: dal momento che l'oscillatore è un generatore, dire che il sistema complessivo ha un ingresso è un errore madornale!

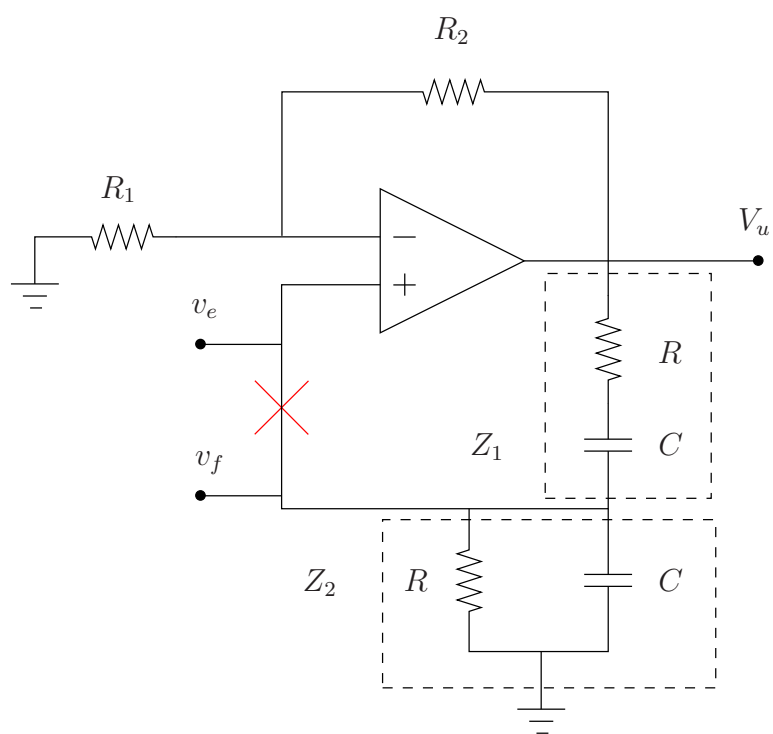


Figura 5.17: Schema di base dell'oscillatore sinusoidale a ponte di Wien. La croce rossa indica il punto in cui si intende aprire l'anello di retroazione.

$$Z_1 = R + \frac{1}{sC} = \frac{1 + sRC}{sC}$$

$$Z_2 = R \oplus \frac{1}{sC} = \frac{R}{1 + sRC}$$

Vediamo dunque banalmente che:

$$V_u = \left(1 + \frac{R_2}{R_1}\right) v_i$$

$$v_f = \frac{Z_2}{Z_1 + Z_2} V_u$$

Sostituendo dunque le espressioni operative di Z_1 e Z_2 , si ottiene:

$$\begin{aligned} v_f &= v_i \cdot \left(1 + \frac{R_2}{R_1}\right) \frac{\frac{R}{1+sRC}}{\frac{R}{1+sRC} + \frac{1+sRC}{sC}} = \\ &= v_i \cdot \left(1 + \frac{R_2}{R_1}\right) \cdot \frac{sRC}{(1+sRC)^2 + sRC} = \\ &= v_i \cdot \left(1 + \frac{R_2}{R_1}\right) \cdot \frac{sRC}{s^2 R^2 C^2 + 3sRC + 1} \end{aligned}$$

Considerando la trasformata di Laplace con ascissa di convergenza pari a 0, possiamo dire che $s = j\omega$, e quindi passare dal dominio di Laplace a quello di Fourier, per avere una migliore interpretazione della formula, ottenendo:

$$T(j\omega) = \left(1 + \frac{R_2}{R_1}\right) \cdot \frac{j\omega RC}{-\omega^2 R^2 C^2 + 3j\omega RC + 1}$$

Ciò che desideriamo è il fatto che, ad una certa pulsazione $\omega = \omega_0$, siano verificate le condizioni di Barkhausen. Lo studio di queste condizioni risulta essere più facile da fare nel dominio di Fourier, dal momento che i numeri complessi hanno stretti collegamenti con il concetto di fase e con quello di modulo, sui quali le condizioni di Barkhausen si basano.

Vediamo subito che, a prescindere da ω , il numeratore avrà sempre una fase pari a 90° (dal momento che c'è solo un termine, moltiplicato per l'unità immaginaria j); perchè dunque la fase di T sia 0° , anche il denominatore deve avere fase pari a 90° , in modo che la differenza delle due fasi dia 0° .

Perchè ciò sia verificato, la parte reale del numeratore deve essere annullata, in modo da far rimanere solo quella immaginaria ed il relativo sfasamento; si pone dunque uguale a 0 la parte reale del denominatore, ottenendo:

$$\omega_0^2 R_2 C^2 - 1 = 0 \longrightarrow f_0 = \frac{1}{2\pi RC}$$

Abbiamo messo a posto la fase; e per quanto riguarda il modulo? Beh, sostituiamo l'espressione appena ricavata nell'equazione di partenza, imponendo a 0 la parte reale del denominatore; si avrà dunque:

$$|T(j\omega)|_{\omega=\omega_0} = \left(1 + \frac{R_2}{R_1}\right) \cdot \frac{j\omega_0 RC}{3j\omega_0 RC} = 1$$

Da qui, si ha che:

$$\frac{R_2}{R_1} = 2$$

Solo in questa condizione, l'oscillatore "oscilla" per davvero in modo pulito.

Tutti quelli ora proposti sono conti teorici, e nella realtà utili solo fino ad un certo punto: per far funzionare sul serio un circuito di questo tipo, bisogna introdurre diversi accorgimenti. Ciascun accorgimento si basa sostanzialmente sull'uso di una retroazione con elementi non lineari: è possibile ottenere il meccanismo di autoregolazione del quale prima si parlava se essi variano la propria resistenza a seconda dell'ampiezza del segnale retroazionato. Se non vi è segnale, quindi, la reazione diventa positiva; se ve ne è troppo, negativa; se è "ampio al punto giusto" si cerca di continuare in tale stato.

Sarebbe utile introdurre una sorta di lampadina: essa non si accende finché non scorre un segnale di ampiezza sufficientemente elevata; quando poi si accende, la sua resistenza aumenta, il guadagno di anello dunque diminuisce, e così il sistema si ristabilizza; tra l'altro si avrebbe anche una "spia" in grado di dirci se l'oscillatore funziona!

Al posto della lampadina si potrebbe fare qualcosa di un po' meno rustico mettendo un MOSFET, collegato in modo da modificare la propria resistenza in modo idoneo, mediante la modulazione della tensione di gate.

Il modo forse più furbo è quello di usare due diodi zener in antiserie, con la seguente di fig. 5.18.

Quando il segnale di tensione è positivo da destra verso sinistra, D_2 è in zona zener, e subisce una caduta di tensione V_Z ; dualmente, D_1 condurrà, e farà solo cadere una tensione V_γ ai propri capi; invece quando il segnale di tensione è positivo da sinistra verso destra, $V_{D1} = V_Z$, $V_{D2} = V_\gamma$; ciò significa che da un lato si hanno fenomeni di distorsione, incertezze su V_γ , e altri fenomeni provocanti indeterminazione di altro genere, ma dall'altro canto gli zener limitano la tensione a V_Z , bloccando direttamente il segnale al posto di

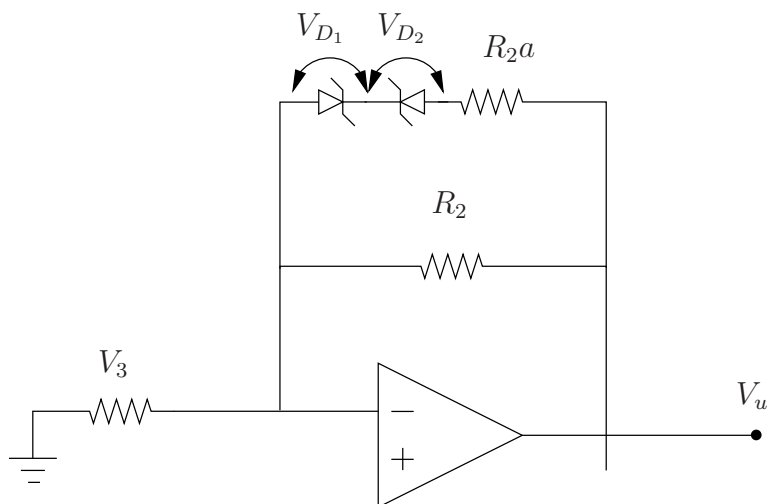


Figura 5.18: Lato di retroazione con una coppia di *diodi zener* che consentono di regolare l'uscita.

operare su impedenze variabili. R_{2a} è in parallelo a R_2 , ed è scelta in modo che $R_{2a} \oplus R_1$ sia minore di 2 (in modo da avere $T \simeq 1$).

5.4.4 Oscillatori a sfasamento

Una volta descritto il circuito oscillatore a ponte di Wien, proponiamo un'altra soluzione, probabilmente più realizzabile rispetto alla precedente, descritta dallo schema 5.19.

Questo circuito si basa su di un amplificatore invertente, realizzato con un amplificatore operazionale (il lettore penserà: “tanto per cambiare...”). Calcoliamo, con il metodo precedentemente adottato, il guadagno di anello, $T(j\omega)$. In questo caso, tuttavia, si avrà una sostanziale differenza rispetto a prima: per quanto riguarda il circuito a ponte di Wien, infatti, il circuito sul quale si costruiva il resto della reazione era un amplificatore non invertente, circuito dalle impedenze molto buone sia per quanto riguarda ingresso che uscita (altissima in ingresso, bassissima in uscita, in modo da avere un buon amplificatore di tensione). In questo caso abbiamo un amplificatore invertente e da un lato le espressioni si semplificheranno, ma dall'altro si ha un grosso inconveniente: data la sua bassa impedenza di ingresso, non è un buon amplificatore di tensione, dunque, al momento di “aprire” l'anello di reazione, dovremo tenere conto da entrambi i lati della resistenza R , ossia sia nella reazione β che all'ingresso del blocco di amplificazione A .

Da un lato, dunque, avremo:

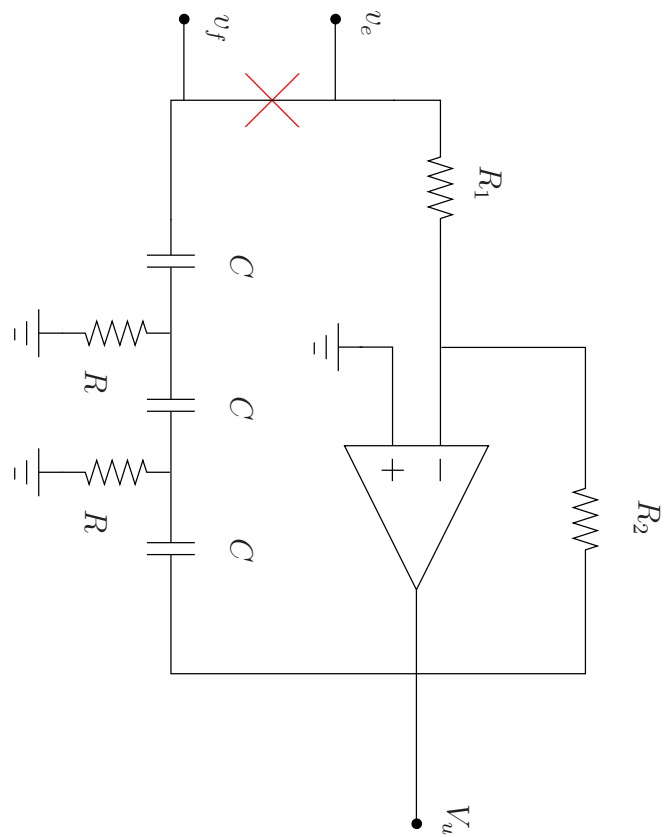


Figura 5.19: Schema circuitale del generatore a sfasamento.

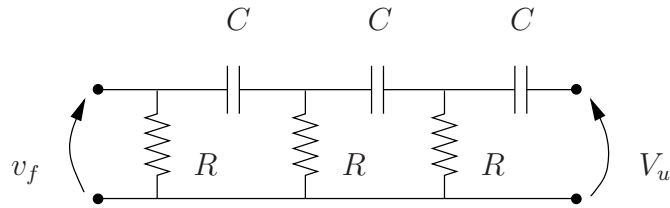


Figura 5.20: Schema del blocco β del circuito di fig. ??.

$$\frac{v_u}{v_i} = -\frac{R_2}{R}$$

Dal lato della reazione, invece, al fine di calcolare v_f a partire dall'uscita, v_u , bisogna risolvere la rete a scala di figura 5.20.

Questa rete semplicemente è il blocco di reazione β ; calcolando mediante le regole dell'elettrotecnica v_f funzione di v_u , si ottiene:

$$\frac{v_f}{v_u} = \frac{s^3 R^3 C^3}{s^3 R^3 C^3 + 6s^2 R^2 C^2 + 5sRC + 1}$$

Sostituendo la prima equazione nella seconda, si ottiene:

$$\frac{v_f}{v_i} = -\frac{R_2}{R} \cdot \frac{s^3 R^3 C^3}{s^3 R^3 C^3 + 6s^2 R^2 C^2 + 5sRC + 1}$$

Volendo procedere come prima, al fine di determinare il punto di validità delle condizioni di Barkhausen, si studia il guadagno nel dominio di Fourier, imponendo $s = j\omega$:

$$T(j\omega) = \frac{-R_2(-jR^3C^3\omega^3)}{R(-j\omega^3R^3C^3 - 6\omega^2R^2C^2 + 5j\omega RC + 1)}$$

Perchè la fase si annulli, il denominatore deve essere puramente immaginario e ciò si ottiene annullando, per una certa frequenza ω_0 la parte reale, ottenendo:

$$1 = 6\omega_0^2 R^2 C^2 \longrightarrow \omega_0 = \frac{1}{\sqrt{6}RC} \longrightarrow f_0 = \frac{1}{2\pi\sqrt{6}RC}$$

Sostituendo questo risultato intermedio in $T(j\omega)$, si ottiene:

$$\begin{aligned} T(j\omega_0) &= \frac{R_2}{R} \cdot \frac{\frac{1}{6\sqrt{6}}}{-\frac{1}{6\sqrt{6}} + \frac{5}{\sqrt{6}}} = \\ &= \frac{R_2}{29R} \longrightarrow R_2 = 29R \end{aligned}$$

Questa è la condizione di oscillazione su di un oscillatore a sfasamento: dimensionando le resistenze secondo il criterio appena ricavato, le condizioni di Barkhausen si possono verificare per un singolo valore di pulsazione, $\omega = \omega_0$, quindi esisterà un punto di funzionamento nel quale il circuito oscillerà.

5.4.5 Oscillatori a tre punti

Smettiamola per un po' di usare amplificatori operazionali prima di assuefarci eccessivamente, e torniamo ai mattoncini chiave: i transistori (bipolari): cerchiamo di realizzare oscillatori mediante circuiti a transistori.

Concettualmente, procederemo nel seguente modo: partiremo dall'utilizzo di un generico stadio di amplificazione alla base dell'oscillatore, poi specificheremo le tecniche per realizzarlo. Si noti che lo stadio di amplificazione sarà costituito da alcuni transistori bipolari e il simbolo triangolare di fig. 5.21 non rappresenta un amplificatore operazionale! Solo in un secondo tempo "guarderemo dentro" a questo triangolo, in modo da capire come realizzarlo e quindi completare il progetto del sistema.

Per realizzare oscillatori ad alte frequenze si impiegano elementi che noi consideriamo raramente: induttanze per realizzare dei risonatori LC (ovviamente, impostati in modo da soddisfare le condizioni di Barkhausen!).

Si consideri la topologia generale atta a descrivere un oscillatore a tre punti (fig. 5.21).

La tensione v_d è la tensione differenziale compresa tra il potenziale di riferimento, 0 V, e il morsetto "-", nel quale entra il segnale di feedback; l'uscita sta sull'impedenza indicata come Z_2 .

Apriamo come al solito l'anello di reazione, e identifichiamo il segnale di feedback v_f , come quella tensione che cade sull'impedenza Z_1 . Si può banalmente vedere che:

$$V_u = V_O \cdot \frac{Z_L}{Z_L + R_O}$$

Si noti che ora, non avendo un operazionale, non abbiamo più le magiche proprietà precedentemente usate, tra cui $R_0 \simeq 0$: lo stadio di amplificazione è ora a BJT, dunque non possiamo dire con precisione quale sia l'impedenza di uscita, senza averlo analizzato al suo interno.

Ad anello aperto, si vede che la tensione V_u si può ripartire tra Z_1 e Z_3 ; possiamo quindi in questo modo calcolare la tensione di feedback come:

$$v_f = -\frac{Z_1}{Z_1 + Z_3} V_u$$

Dunque:

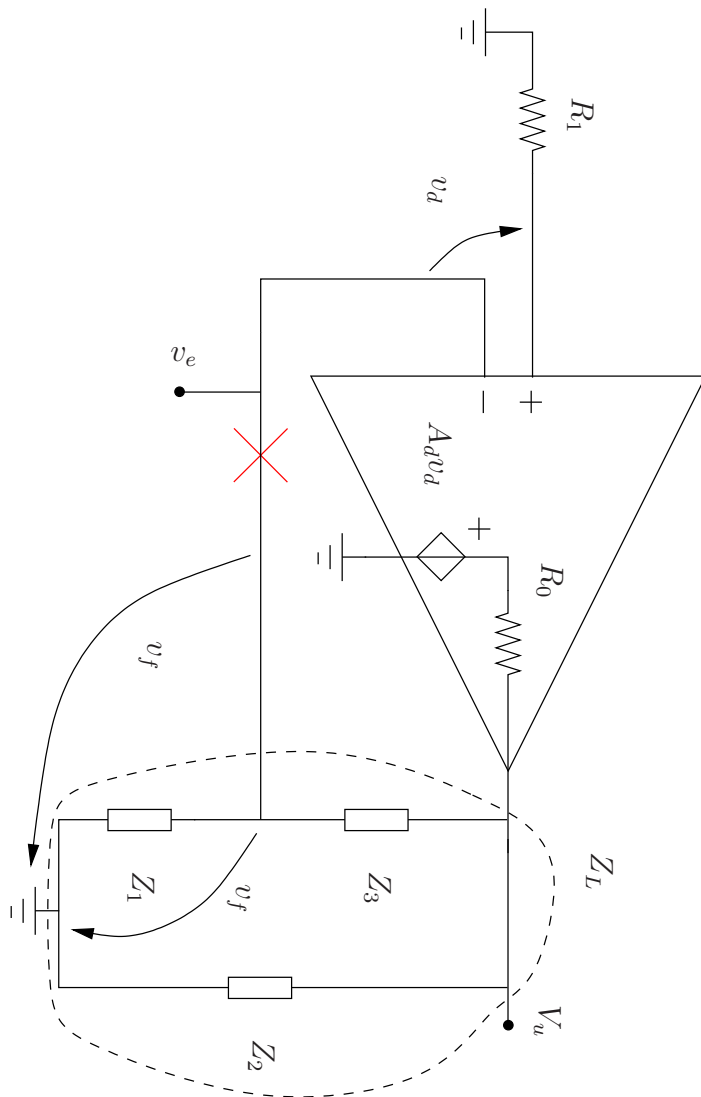


Figura 5.21: Modello generale dell'oscillatore a tre punti.

$$v_f = -\frac{Z_1 Z_L A_d v_d}{(Z_1 + Z_3) \cdot (Z_L + R_O)}$$

Ad anello aperto, si vede facilmente che:

$$Z_L = (Z_1 + Z_3) \oplus Z_2 = \frac{Z_2(Z_1 + Z_3)}{Z_1 + Z_2 + Z_3}$$

Sostituendo ciò nell'espressione precedente, si ottiene:

$$v_f = -\frac{(Z_1 + Z_3) Z_1 Z_2 A_d v_d (Z_1 + Z_2 + Z_3)}{(Z_1 + Z_3) \left[\frac{(Z_1 + Z_3) Z_2 + R_O (Z_1 + Z_2 + Z_3)}{Z_1 + Z_2 + Z_3} \right]} = -\frac{Z_1 Z_2 A_d v_d}{R_O (Z_1 + Z_2 + Z_3) + Z_2 (Z_1 + Z_3)}$$

Dal momento che di solito si usano, come impedenze, elementi puramente reattivi, possiamo dire che $Z_n = jX_n$, considerando esclusivamente la reattanza e non la resistenza per ciascuna impedenza. Il guadagno di anello, in questi termini, avrà un'espressione del tipo:

$$\frac{v_f}{v_d} = -j^2 \frac{X_1 X_2 A_d}{jR_O (X_1 + X_2 + X_3) + j^2 X_2 (X_1 + X_3)} = \frac{X_1 X_2 A_d}{jR_O (X_1 + X_2 + X_3) - X_2 (X_1 + X_3)}$$

Poichè l'espressione sia reale, e dunque abbia fase 0° sul piano di Gauss, deve esistere una certa $\omega = \omega_0$ tale per cui si elimini la parte immaginaria del denominatore (dal momento che, in questa funzione, il numeratore è reale), quindi:

$$X_1 + X_2 + X_3 = 0, \omega = \omega_0$$

A questa pulsazione, si avrà:

$$T(j\omega_0) = \frac{X_1 X_2 A_d}{X_2^2} = \frac{X_1}{X_2} A_d$$

Ciò deve essere uguale a 1, al fine di soddisfare le condizioni del criterio di Barkhausen. Quello che però noi sappiamo nel dominio dei fasori, è il fatto che una capacità ed un'induttanza si trasformino nel seguente modo:

$$C \longrightarrow \frac{-j}{\omega C}; \quad L \longrightarrow j\omega L$$

Perchè $|T|$ possa valere 1, e $\angle T = 0^\circ$, X_1 e X_2 devono essere o due capacità o due induttanze, mentre X_3 deve essere di tipo diverso rispetto a X_1 e X_2 : solo in questo modo si potrà avere un T positivo, ma al contempo si ha la possibilità di avere $X_1 + X_2 + X_3 = 0$.

A questo punto, a partire da queste idee, sono stati inventati due tipi di oscillatori:

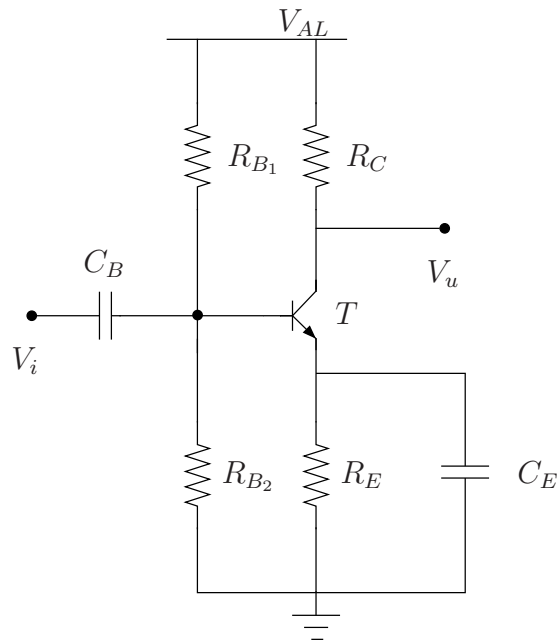


Figura 5.22: Stadio amplificatore con BJT *npn* a emettitore comune con autopolarizzazione (*self-biasing*).

- Oscillatore Colpitz: X_1 e X_2 capacitive, X_3 induttiva;
- Oscillatore Hartley: X_1 e X_2 induttive, X_3 capacitiva.

Stadio di amplificazione

Abbiamo visto la teoria e come dimensionare le impedenze collegate all'uscita dello stadio di amplificazione a transistori, ma tuttavia non abbiamo ancora parlato dell'elemento alla base del sistema, ossia lo stadio di amplificazione. Lo stadio di amplificazione adatto a questo contesto è quello rappresentato in figura 5.22.

L'idea pratica alla base di tutto ciò è l'uso di uno stadio *common emitter*, realizzato su di un circuito di polarizzazione *self-biasing*.

Ad esempio, un **oscillatore Colpitz**, con questo tipo di amplificatore, si può realizzare secondo lo schema della figura 5.23.

Si inserisce sul carico del circuito un risonatore LC, con un condensatore compreso tra uscita e 0 V, l'altro tra 0 V e ingresso, un'induttore tra uscita e ingresso. Viene dunque inserito un condensatore di bypass in base, su C_B , in modo da disaccoppiare la continua; C_E ha lo scopo di aumentare il guadagno all'aumentare della frequenza.

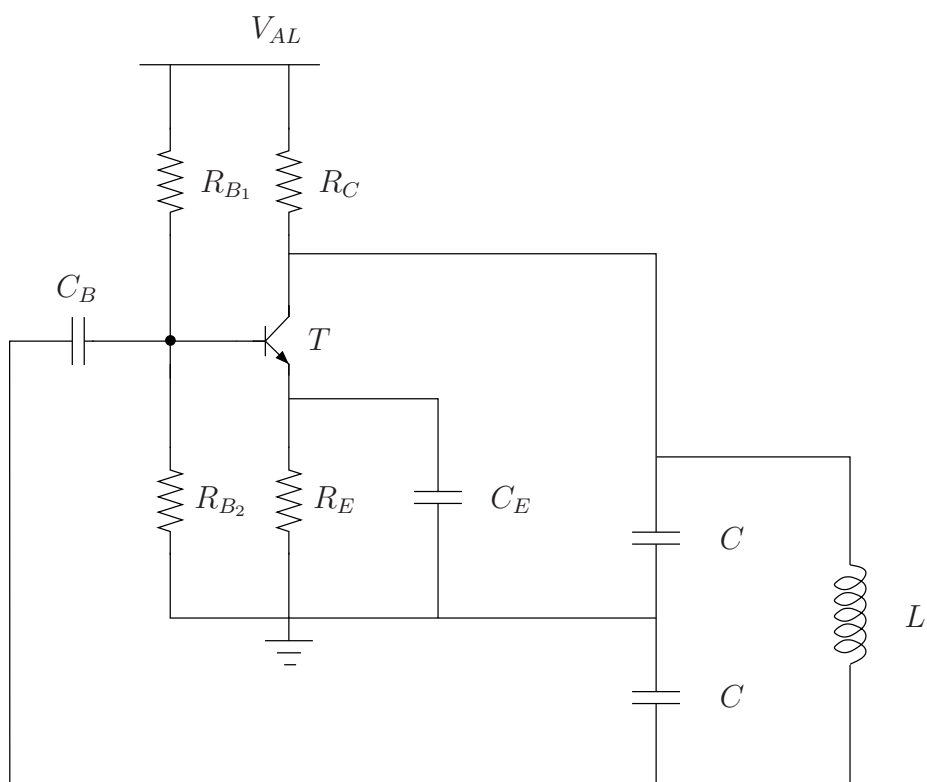


Figura 5.23: Schema circuitale dell'oscillatore *Colpitz* con stadio amplificatore della figura 5.22.

Volessimo realizzare un **Hartley**, banalmente, potremmo invertire i ruoli di induttori e condensatori, ottenendo due induttori e un condensatore, disposti dunque in maniera duale rispetto a come è stato appena descritto.

Oscillatori Meißner

Esiste un'ultima topologia per gli oscillatori classici a transistori: l'oscillatore di Meißner. L'idea alla base di questo tipo di oscillatore riguarda la retroazione: per riportare l'uscita all'ingresso si utilizza un trasformatore inserito sul collettore in parallelo ad una capacità, in modo da ottenere un risonatore LC ed al contempo una reazione. Uno schema esemplificativo rappresentante la suddetta topologia è disponibile in figura 5.24.

5.4.6 Oscillatori al quarzo

Nei sistemi elettronici digitali più moderni, i segnali vengono generati in modo ben differente rispetto a quelli appena descritti!

Negli ultimi anni la tattica fondamentale a partire dalla quale si progetta un oscillatore si basa sull'uso di un elemento di base differente da quello finora utilizzato: un cristallo di quarzo, che nei circuiti è rappresentato dal simbolo di figura 5.25 insieme al suo modello circuitale equivalente. Il funzionamento dell'oscillatore non verrà trattato in dettaglio.

Purtroppo tuttavia i quarzi sono considerabili solo come dei bipoli, ergo non è possibile introdurre il terzo terminale che potrebbe ricondurre questo equivalente circuitale ad un oscillatore Colpitz; tuttavia, si sappia che la cosa non provoca grandi problemi.

Gestire questo elemento, al fine di realizzare oscillatori, è abbastanza difficile. Due possibili topologie atte a pilotare un oscillatore al quarzo sono schematizzate nelle figure 5.26 e 5.27.

Esse sostanzialmente possono essere descritte nel seguente modo:

1. La prima topologia si basa sostanzialmente sull'uso di un JFET, retroazionato mediante le capacità parassite del JFET stesso;
2. La seconda topologia si basa sull'uso di un inverter, ossia di un generico amplificatore invertente; usando i parametri specificati, il quarzo tendenzialmente dovrebbe produrre un segnale oscillante, sinusoidale; con una capacità variabile, inoltre, si dovrebbe ottenere perfino una regolazione della frequenza di oscillazione.

5.5 Voltage Controlled Oscillator (VCO)

Un dispositivo importantissimo nell'elettronica è il cosiddetto **VCO**, ossia letteralmente *oscillatore comandato in tensione*. Il termine "oscillatore" è in realtà inappropriato in questo contesto, per il seguente motivo: quando si parla di oscillatori, generalmente si intendono di *forme d'onda sinusoidali*; in questo ambito, tuttavia, non è così, dal momento che in uscita dal VCO si ha un segnale **ad onda quadra**.

Cos'è dunque un po' più nel dettaglio un VCO? Semplicemente, è un generatore con frequenza di uscita proporzionale ad una data tensione di controllo. Consideriamo lo schema 5.28 (del quale si possono ottenere miglioramenti che eventualmente discuteremo in seguito).

Cerchiamo di capire come funziona questo circuito: il comparatore di soglia con isteresi indicato in figura ha una certa tensione di uscita $V_{OH} > 0\text{ V}$, $V_{OL} \simeq 0\text{ V}$, e due soglie di commutazione V_{S1} e V_{S2} . Possiamo dire che in uscita dal circuito, dunque, vi siano sostanzialmente due possibili uscite, ossia V_{OH} e V_{OL} , che si alternano (provocando l'andamento da onda quadra prima discusso).

Supponiamo che, all'accensione del circuito, in uscita dal comparatore di soglia vi sia il valore basso; in tali condizioni, la tensione riportata verso T_4 è molto bassa, dunque non è tale da polarizzare il transistor, che rimane interdetti. Se T_4 è interdetto, allora sappiamo due cose: da un lato, che la corrente che scorre sul suo collettore sia nulla, ma quindi che anche la somma delle correnti uscenti dagli emettitori di T_1 e T_2 lo sia. La cosa può capitare, se anche le singole correnti uscenti dagli emettitori di T_1 e T_2 sono nulle; ciò fa intuire il fatto che questi due transistori siano interdetti. Il transistor pnp T_3 , invece, sarà polarizzato, ed in uscita dal suo collettore si avrà una corrente I , quantificabile come:

$$I \simeq \frac{V_{AL} - V_{EB} - V_C}{R}$$

Questa corrente, dal momento che i transistori T_1 e T_2 sono interdetti, per andare da qualche parte, dovrà passare nel diodo! Dal diodo, infine, va verso il condensatore C , che si carica con una corrente costante; caricandosi, tuttavia, aumenterà la tensione sul punto A del circuito, fino a superare la tensione di soglia, V_{S1} . Superata questa tensione, il comparatore di soglia (non invertente) commuta, raggiungendo il livello alto di uscita, V_{OH} . Il fatto di aver aumentato notevolmente la tensione di uscita, porta una grossa corrente al transistor T_4 , che va in stato di saturazione. Dal momento che T_4 va in stato di saturazione, il suo collettore inizia a condurre, dunque la somma delle correnti I non sarà più nulla; sul nodo di collegamento tra i due emetti-

tori di T_1 e T_2 , vi sarà una tensione pari alla $V_{CE,4,SAT}$, ossia alla tensione di saturazione tra emettitore e collettore del transistor T_4 ; essa generalmente è piuttosto bassa, nella fattispecie al più nell'ordine del 0,2 V. In questo momento, T_1 e T_2 lavorano come uno specchio di corrente: la corrente I prima quantificata non passerà sul diodo, polarizzato inversamente (come tra breve vedremo): se sul collettore di T_4 avremo infatti circa 0,2 V, supponendo che $V_{BE,1}$ sia dell'ordine di 0,7 V, avremo una tensione di circa 0,9 V sul collettore di T_1 . Il diodo si trova dunque compreso tra la tensione del condensatore (che, per quanto in fase di scarica, è molto elevata) e i 0,9 V, ed è, quindi, polarizzato inversamente. Lo specchio di corrente a questo punto dovrà prendere da qualche parte la carica da traspostare, e questa "qualche parte" è il condensatore, che quindi, in questo semi-ciclo, si ri-svuoterà tornando allo stato iniziale.

Supponendo a questo punto che il VCO venga realizzato su di un circuito integrato, possiamo supporre che la pendenza di carica e quella di scarica del condensatore siano uguali in modulo (e chiaramente opposte in segno). Superata dunque la soglia bassa di tensione, V_{S2} , a forza di svuotare il condensatore, il ciclo ricomincerà da capo: oltrepassata V_{S2} , il condensatore sarà pressochè scarico, ma, dal momento che "torna" la soglia bassa, T_4 si interdica, T_1 e T_2 si interdicono di conseguenza, la corrente quindi torna a scorrere sul diodo.

Quantifichiamo dunque il periodo del VCO: dato $\frac{T}{2}$ il tempo impiegato per passare dalla tensione V_{S2} a V_{S1} , avremo che:

$$V_{S1} - V_{S2} = \frac{I}{C} \cdot \frac{T}{2}$$

Ma:

$$I = \frac{V_{AL} - V_{EB} - V_C}{R}$$

Quindi:

$$T = 2(V_{S1} - V_{S2}) \frac{C}{I} = 2 \frac{(V_{S1} - V_{S2})RC}{V_{AL} - V_{EB} - V_C}$$

La frequenza del segnale generato, dunque, vale:

$$f = \frac{V_{AL} - V_{EB} - V_C}{2(V_{S1} - V_{S2})RC}$$

Abbiamo ottenuto proprio quello che volevamo: un generatore di onda quadra con frequenza regolabile in tensione!

Questo circuito, per come lo abbiamo finora visto, funziona veramente oppure è una bidonata come quel vecchio oscillatore sinusoidale? Beh, più o meno: qualche problema, di fatto, lo ha, come ora vedremo.

Innanzitutto ci sono delle condizioni sulle soglie: è necessario che V_{S2} sia almeno maggiore di quei $0,9\text{ V}$, precedentemente introdotti: se infatti $V_u \simeq 0$, T_4 è interdetto, la tensione di collettore di T_1 , e di conseguenza quella sul “+” del diodo è superiore a $0,9\text{ V}$ (cosa verificabile studiando le correnti, dal momento che tutta la corrente andrà nel diodo, essendo i BJT T_1 e T_2 interdetti); se però $V_{S2} > 0,9\text{ V}$, non si avrebbero mai commutazioni del comparatore, dal momento che il livello suddetto non verrebbe mai raggiunto! $0,9\text{ V}$, quindi, è la minima tensione raggiungibile sul “+” del diodo, e questo fatto determina il limite inferiore della tensione di soglia bassa, V_{S2} .

Per quanto riguarda V_C , abbiamo un bound inferiore ed uno superiore:

- $V_{C,MAX} \simeq V_{AL} - V_{EB}$; supponendo che, in un BJT di potenza, si abbia $V_{EB} = 0,8\text{ V}$, si può stimare il bound massimo della tensione V_C come:

$$V_{C,MAX} = V_{AL} - 0,8\text{ V}$$

In questo modo si ha un minimo di tensione sulla resistenza (ricordando che sul collettore si hanno, all'incirca, $0,9\text{ V}$ in uno stato del sistema), e quindi una *corrente minima* sul collettore di T_3 .

- $V_{C,min} \simeq V_{S1} + V_\gamma$: in questo modo si ha quantomeno la garanzia di non mandare in stato di saturazione il transistor T_3 , abbassando la tensione di base ad un valore inferiore rispetto a quella di collettore.

Abbiamo quindi alcuni vincoli un po' antipatici, che vorremmo magari cercare di eliminare o quantomeno attenuare. La soluzione è rappresentata in fig. 5.30.

L'uso di questo specchio di corrente permette di eliminare il vincolo della minima tensione di controllo. Tuttavia per il resto il funzionamento del circuito è del tutto analogo al precedente, dunque non è necessario effettuare un'analisi più approfondita.

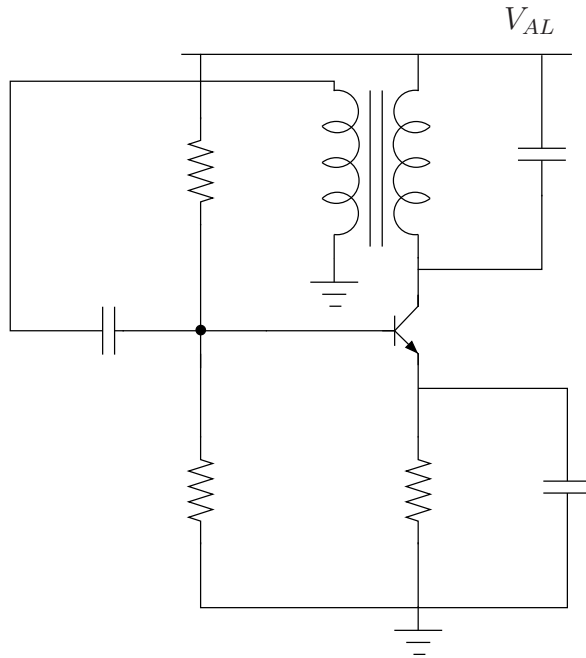


Figura 5.24: Schema circuitale dell'oscillatore *Meißner*.

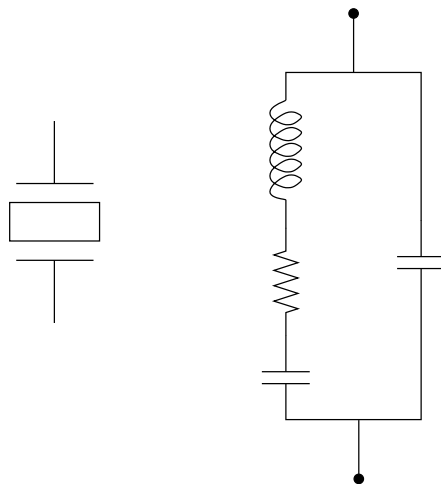


Figura 5.25: Simbolo circuitale di un oscillatore al quarzo e modello equivalente del dispositivo.

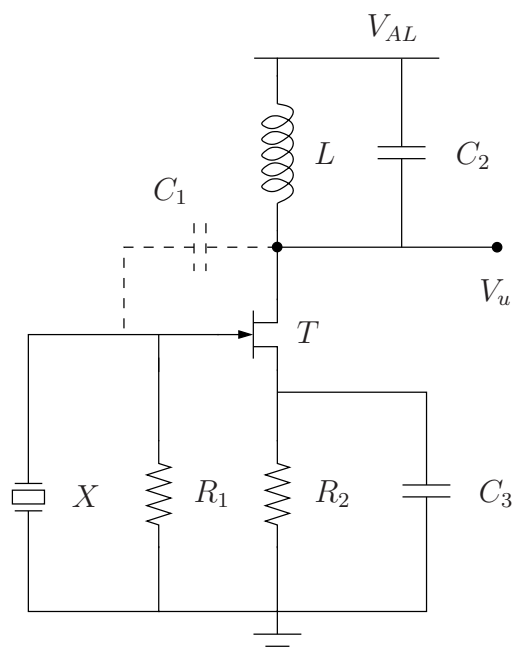


Figura 5.26: Schema di un circuito di controllo dell'oscillatore al quarzo con un JFET.

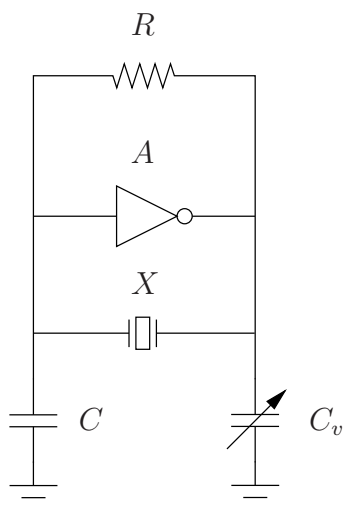


Figura 5.27: Circuito di pilotaggio dell'oscillatore al quarzo basato su un amplificatore invertente. I valori consigliati sono $R = 10 \text{ M}\Omega$; $C = 12 \text{ pF}$; $C_v = 12 \text{ pF}$ (variabile).

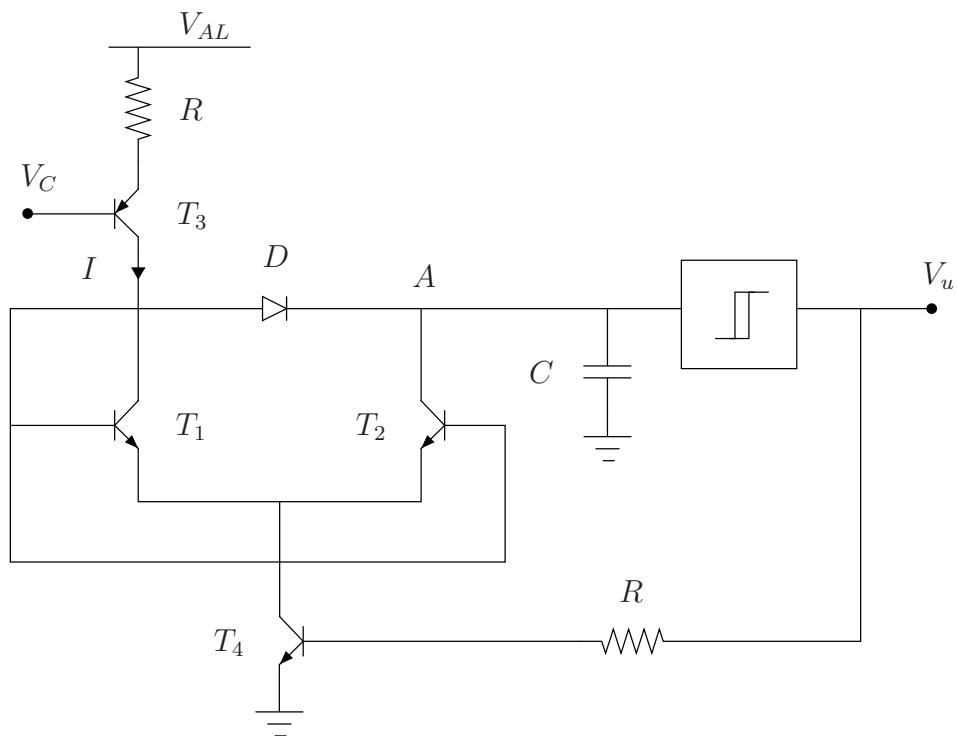


Figura 5.28: Schema circuitale elementare di un VCO.

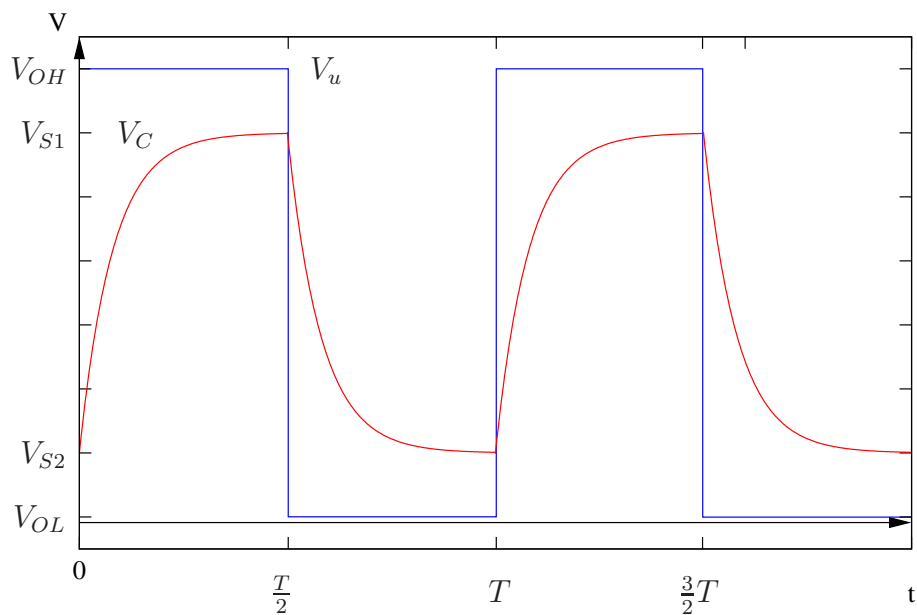


Figura 5.29: Grafico che descrive il funzionamento del VCO in varie fasi del suo periodo.

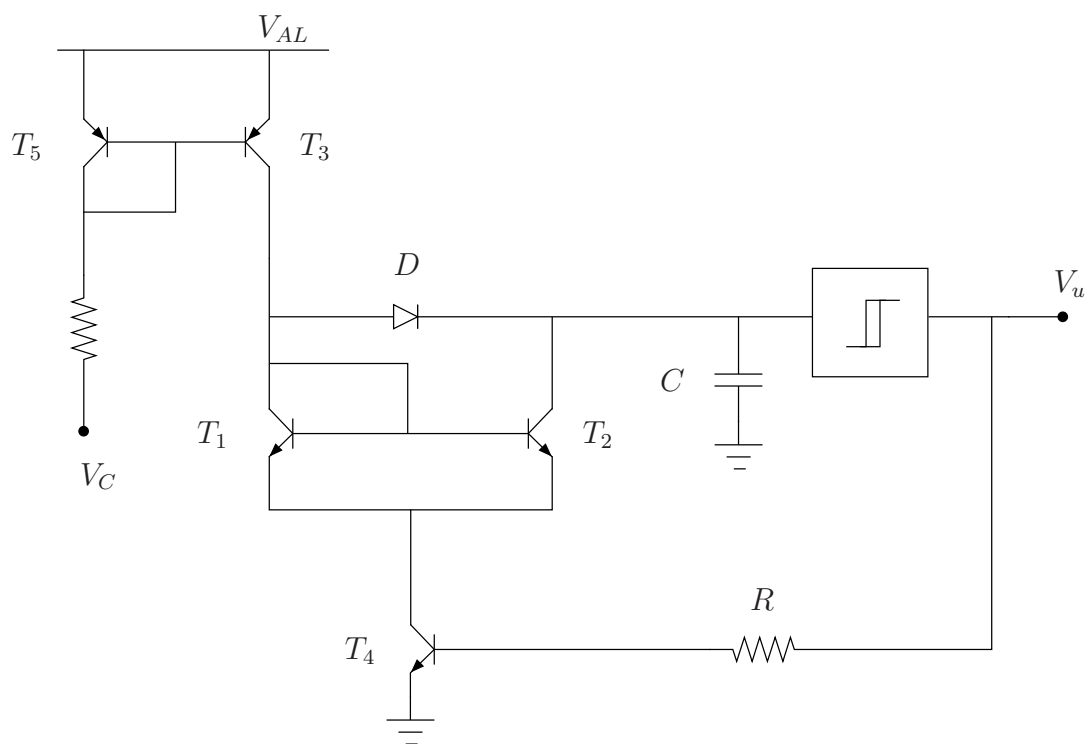


Figura 5.30: Schema circuitale di un VCO nel quale si sono risolte alcune problematiche rispetto a quello di fig. 5.28.

Capitolo 6

Interruttori elettronici

Indice

6.1	Interruttori a BJT	227
6.1.1	Esempio pratico di progetto	230
6.2	Interruttori a MOSFET	231
6.2.1	Esempio pratico di progetto	233
6.3	Comportamento dinamico di un interruttore . .	234
6.3.1	Comportamento dinamico dei BJT	237
6.3.2	Comportamento dinamico dei MOSFET	239
6.4	Interruttori bidirezionali	241
6.4.1	Transmission gate	245

CONSIDERIAMO A QUESTO PUNTO UN'APPLICAZIONE già citata, ma non studiata in modo approfondito dei transistori bipolari a giunzione (BJT) e di quelli ad effetto di campo MOS: la realizzazione di *interruttori elettronici*.

L'uso di interruttori è fondamentale per diverse applicazioni di vario tipo: filtri a condensatori commutati, circuiti logici, alimentatori switching. In tutti questi casi potrebbe di fatto servire un dispositivo in grado di creare ed eliminare un collegamento elettrico tra due parti di un circuito.

Un esempio pratico, che ora discuteremo, è costituito dal voler collegare o meno un certo carico all'alimentazione di un circuito; di problemi di questo tipo, ve ne sono sostanzialmente due (fig. 6.1).

1. Interruttore lowside: il carico è collegato alla tensione di alimentazione, e tra carico e potenziale di riferimento (0 V) vi è un interruttore elettronico;
2. Interruttore highside: il l'interruttore è posto tra alimentazione e carico del circuito; il carico poi sarà riferito al potenziale di riferimento.

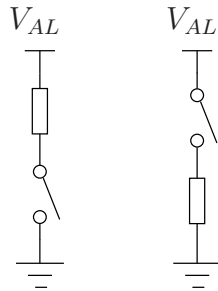


Figura 6.1: Collegamenti con interruttori *lowside* e *highside* rispettivamente a sinistra e a destra.

Generalmente è molto più facile realizzare interruttori *lowside* che *highside*. Spesso, inoltre, interruttori di questo tipo (specie a BJT) sono unidirezionali, ossia sono in grado di bloccare tensioni al di sopra di un certo livello; i MOSFET possono tuttavia essere utilizzati per bloccare anche grandezze bidirezionali.

6.1 Interruttori a BJT

Qual è il problema di base, nell'uso di un BJT? Per come lo abbiamo visto di solito, in zona lineare, il BJT è un dispositivo in grado di restituire un'uscita proporzionale al livello di segnale in ingresso: un amplificatore elementare di segnale. In un interruttore, vorremmo esclusivamente due uscite, ossia due livelli possibili, in modo da poter attribuire significati logici, o comunque di altro genere ma comunque sempre dicotomico (*booleano*): ON/OFF, TRUE/FALSE, 0/1, e così via.

Ciò si realizza innanzitutto con un BJT dotato di un carico R_C sul collettore, tale per cui su di esso vi sia un segnale di tipo **digitale**, un segnale del quale non vogliamo conoscere tensione o corrente, ma solo sapere se esso appartenga o meno ad un certo range, ad una certa fascia di valori.

In ingresso al BJT (nella base) inseriremo dunque un segnale di tensione, collegato in modo da mandare una corrente nel BJT, e quindi, con una resistenza in serie. Consideriamo il generatore regolabile dall'utente, in modo da poter determinare il *livello di commutazione* dell'interruttore.

Facendo riferimento alle figure 6.2 e 6.3, se $V_i \simeq 0$, si ha che $V_C \simeq V_{AL}$ e non vi è corrente in base (a meno delle polarizzazioni). La tensione di uscita dunque è bloccata a V_{AL} , e non si muove, dal momento che il BJT è in stato di interdizione. Dal momento che, all'aumentare di V_i , inizia a scorrere una corrente I_B pari a:

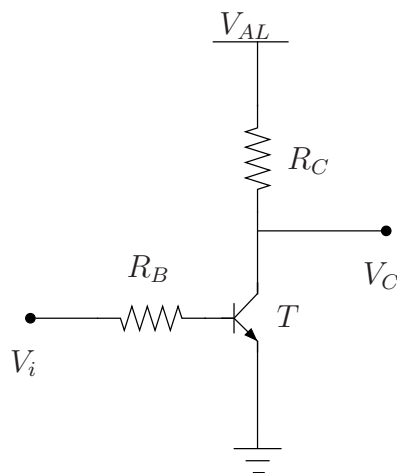


Figura 6.2: Modello di semplice circuito con transistore BJT.

$$I_B = \frac{V_i - V_{BE,ON}}{R_B}$$

Dove $V_{BE,ON}$ è una tensione tale per cui il BJT si “accende” e va dunque in zona lineare. Dal momento che $V_i > V_{BE,ON}$, dunque, il transistore inizia a fornire una tensione di uscita proporzionale all’ingresso, dal momento che:

$$I_C = h_{fe} I_B : V_C = V_{AL} - R_C I_C$$

$$V_C = V_{AL} - R_C \cdot h_{fe} \cdot I_B = V_{AL} - R_C \cdot \beta \cdot \frac{V_i - V_{BE,ON}}{R_B}$$

Poichè l’uscita è proporzionale all’ingresso, la tensione dovrebbe scendere linearmente all’infinito, se questa equazione fosse vera; il problema è che, se V_C fosse minore di 0, significherebbe che il transistore in qualche modo produrrebbe una tensione maggiore di quella di alimentazione, ma per far ciò dovrebbe essere una pila, o comunque un generatore!

La nostra equazione dunque in realtà funziona ma solo in un intorno di $V_C \simeq 0$! In questo intorno, il transistore esce dalla zona lineare, e si comporta in modo non previsto dall’equazione, dal modello in questione: si entra nella cosiddetta *regione di saturazione* del transistore. In questa zona, la tensione continua sì a decrescere, ma in modo estremamente lento, tendendo asintoticamente a 0 V; in sostanza, si ha una tensione $V_{CE,SAT}$, che consideriamo al massimo pari a 0,2 V!

Potremmo a questo punto chiederci: al variare della tensione, cosa capita all’ interno del transistore? Sappiamo infatti che, in zona lineare, il transistore

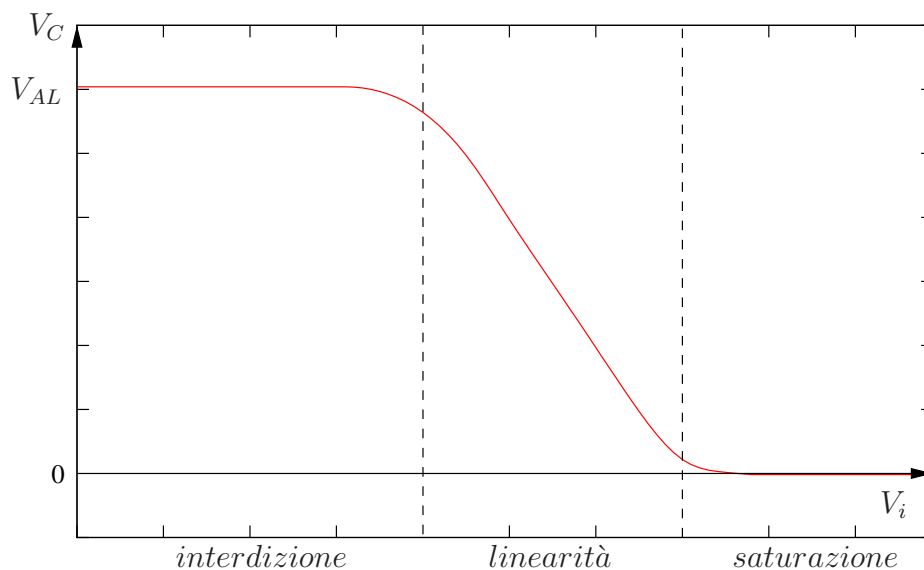


Figura 6.3: Transcaratteristica del BJT impiegato nel modello di fig. 6.2 con indicazione dello stato di funzionamento.

produce una tensione (o una corrente) sul carico proporzionale a quella in ingresso. La corrente di base “controlla” quella nel collettore, tramite un certo fattore β (o h_{fe} che sia a seconda di cosa si parla), ed esse finiscono nell’emettitore (facendo proprio un discorso alla buona).

Cosa capita invece in regione di saturazione? Innanzitutto, abbiamo detto che per entrare in zona di saturazione bisogna alzare notevolmente V_i , dunque anche la corrente di base del BJT: in transistore, finchè riesce, ossia finchè la corrente sul collettore non è troppo elevata (o non supera i vincoli di polarizzazione), continua ad amplificare β volte la corrente di base. Una porzione della corrente di base dunque viene amplificata, ma la rimanente no, e forma un *eccesso* di corrente di base rispetto al funzionamento lineare. Questa finirà comunque nell’emettitore, passando tutta dal collettore, dal momento che la presenza di questo accumulo di corrente farà *polarizzare direttamente la giunzione base collettore*.

Cosa bisognerebbe dunque fare, al fine di realizzare un buon interruttore a BJT? Cercare di “restringere” la zona lineare, ossia cercare di evitare di usare la zona che finora è stata il nostro habitat ideale: la zona lineare dei transistori!

Come vedremo in fase di progetto, ciò è possibile considerando dei *bound*, ossia dei limiti di utilizzo dell’interruttore, forniti tra le specifiche.

Nella fattispecie, il nostro obiettivo non è nel vero senso della parola ridurre il range di tensioni tali per cui un BJT funziona come amplificatore

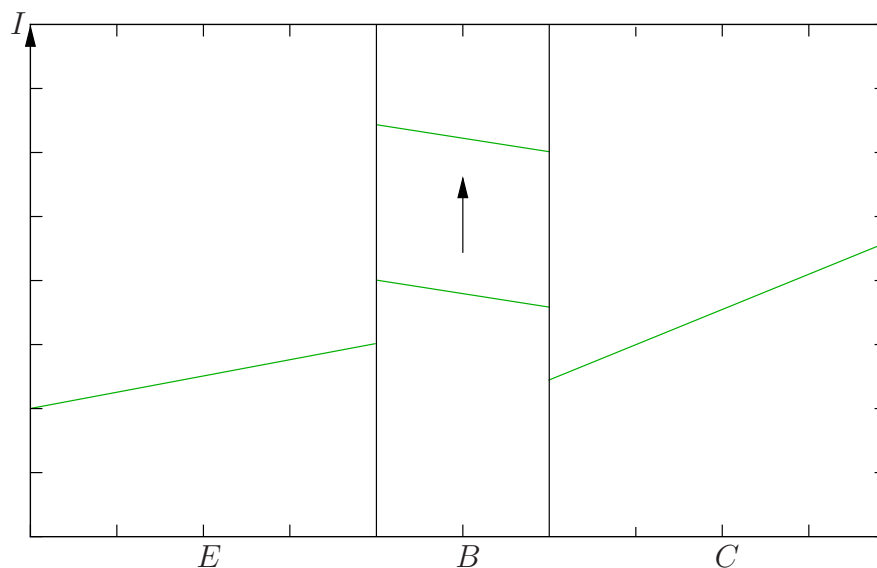


Figura 6.4: Grafico qualitativissimo sull'andamento delle correnti nel passaggio alla condizione di saturazione del BJT.

(non sarebbe possibile, probabilmente neanche lavorando a livello dispositivo), bensì stabilire in quale range di ampiezze di tensione ci si trova o in zona di interdizione o in zona di saturazione.

Per quanto riguarda la zona di interdizione, è abbastanza facile: se $V_i < V_{BE}$, la giunzione base-emettitore è polarizzata inversamente e quindi il BJT è spento; a "destra", per quanto riguarda la zona di saturazione, è un po' più difficile da fare: per stabilire il secondo bound infatti è necessario conoscere il β **minimo** del circuito: minore è infatti β , minore sarà in modulo la pendenza del disegno, quindi più ampio il range di V_i utilizzabili in zona lineare. Dato il β minimo, quindi, è possibile dimensionare il circuito in modo da vedere quando inizi la zona di saturazione.

6.1.1 Esempio pratico di progetto

Proviamo ad effettuare un primo semplice esempio pratico di progetto di un interruttore, a partire dalle nozioni finora apprese e facendo riferimento allo schema della precedentemente citata fig. 6.2. Data $V_{AL} = 10\text{ V}$, R_C lampadina (supposta in modo di funzionamento rigorosamente lineare!) da 0,5 W a 10 V, dimensionare il circuito tale per cui la lampadina sia accesa con $V_i > 5\text{ V}$, e sia spenta con $V_i < 0,2\text{ V}$.

Dobbiamo scegliere sostanzialmente due parametri: il BJT da utilizzare, e la resistenza di base, R_B .

Come si sceglie il transistoro? Abbastanza facile: vorremmo che esso sopporti una corrente di collettore almeno di un po' maggiore di quella sul carico R_C , ossia tale da accendere la lampadina. Sappiamo, dall'elettrotecnica, che:

$$P_L = I_C V_C = 0,5 \text{ W} \longrightarrow 10 \cdot I_C = 0,5 \longrightarrow I_C = 50 \text{ mA}$$

Il collettore del BJT deve dunque essere in grado di reggere almeno una corrente pari a 50 mA; ciò è abbastanza fattibile per qualsiasi transistoro, come ad esempio il ben noto 2N2222.

Per quanto riguarda R_B , si usa un concetto di questo tipo: da un lato, in zona prossima a quella di saturazione, non si può dire che $I_C = h_{fe} I_B$, dal momento che non ci si trova in zona lineare, quindi β (o h_{fe} che sia) hanno subito variazioni; si può tuttavia dire qualcosa di questo tipo:

$$I_C = \beta_{FORZATO} \cdot I_B$$

Questo nuovo $\beta_{FORZATO}$ rappresenta di fatto un parametro da noi stabilito, pari al minimo h_{fe} possibile, secondo il datasheet, e ancora normalizzato di 3 o 4 volte. Supponendo dunque che $\beta_{min} = 75$ (nel 2N2222 ad esempio), potremmo dire che:

$$\beta_{FORZATO} = \frac{\beta_{min}}{3} = 25$$

Quindi, date queste supposizioni per valide:

$$I_B = \frac{50 \cdot 10^{-3}}{25} = 2 \text{ mA}$$

Supponiamo che, dal datasheet, si abbia $V_{BE,SAT} = 1 \text{ V}$; avremo:

$$I_B = \frac{V_i - V_{BE,SAT}}{R_B} = 2 \text{ mA} \longrightarrow R_B = \frac{V_i - V_{BE,SAT}}{2 \cdot 10^{-3}} = 2 \text{ k}\Omega$$

Il progetto è quindi sostanzialmente concluso: abbiamo scelto il transistoro idoneo, e dimensionato R_B !

6.2 Interruttori a MOSFET

Abbiamo introdotto gli interruttori basati sull'uso di un transistoro bipolare a giunzione e ora facciamo la stessa cosa con un MOSFET (nella fattispecie, utilizzando MOSFET di potenza). Il circuito risultante potrebbe essere qualcosa come nello schema 6.5.

Perchè R_G ? A cosa serve introdurre una resistenza sul gate, se tanto non vi è corrente? Beh, in teoria, a niente; in pratica, questo circuito, data la

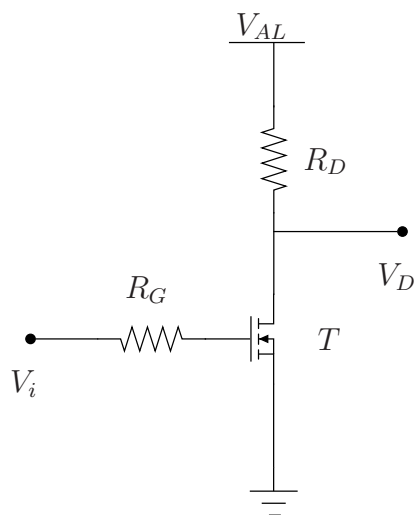


Figura 6.5: Modello di un semplice circuito di interruttore con MOSFET, preso come riferimento per la transcaratteristica di fig. 6.6.

capacità vista dal gate (che assieme al bulk forma un di condensatore con il diossido di silicio come dielettrico), potrebbe comportarsi come un circuito risonante; mandando in ingresso un'onda quadra, con tempo di salita sufficientemente basso, il circuito potrebbe amplificare le armoniche prossime alla frequenza di risonanza del circuito, ottenendo un effetto piuttosto spiacevole. Ciò che R_g fa, dunque, è abbassare il Q (fattore di qualità) dell'ipotetico circuito risonante così realizzato; una resistenza $R_g \simeq 10 \Omega$ è più che sufficiente per qualcosa di questo tipo. La transcaratteristica del circuito è riportata nel grafico 6.6.

Sappiamo che:

$$V_{DS} = V_{GS} - V_{Tn}$$

All'aumentare di V_{GS} , ossia della tensione gate-source, il transistor va sempre più verso la zona di saturazione, ossia quella dove il MOSFET fa da amplificatore. All'aumentare di V_i , aumenta dunque la tensione V_{GS} , e quindi I_D . Aumentando I_D aumenta la tensione V_{DS} , e il transistor tende ad andare in zona quadratica, e poi lineare, a causa della caduta di tensione sempre maggiore sulla resistenza R_D .

Usando segnali tali da essere o in zona di interdizione o in zona lineare (dove quindi $V_D \simeq 0 \text{ V}$), si può di nuovo ottenere un'uscita di tipo *digitale* come per il caso precedente di studio del BJT, ottenendo un effetto del tutto simile, ma per motivi diversi.

Come abbiamo fatto per quanto riguarda il BJT, studiamo un esempio

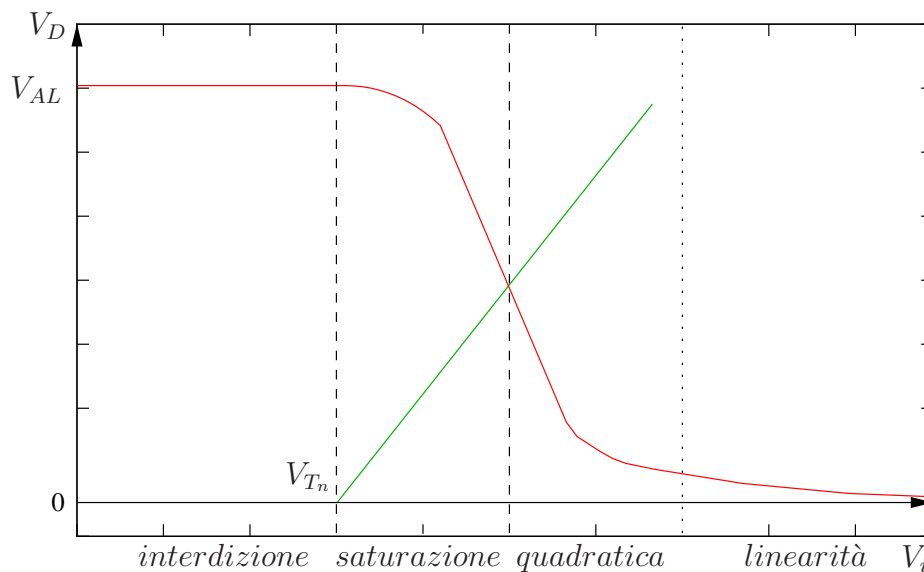


Figura 6.6: Transcaratteristica del circuito di fig. 6.5 con l'indicazione delle varie zone di funzionamento.

pratico di progetto, atto a capire le differenze di progetto tra BJT e MOSFET in ambito di interruttori elettronici.

6.2.1 Esempio pratico di progetto

Come si fa ora il progetto, date le stesse specifiche del progetto precedente? Ricordiamo: data $V_{AL} = 10\text{ V}$, R_C lampadina (supposta in modo di funzionamento rigorosamente lineare!) da 0,5 W a 10 V, dimensionare il circuito tale per cui la lampadina sia accesa con $V_i > 5\text{ V}$, e sia spenta con $V_i < 0,2\text{ V}$.

Innanzitutto, una buona notizia: non c'è nulla da dimensionare! Basta infatti scegliere un MOSFET idoneo a "reggere" le specifiche scelte per quanto riguarda il carico!

Sappiamo che la I_D atta ad accendere la lampadina deve essere pari a:

$$I_D = \frac{500\text{ mW}}{10\text{ V}} = 50\text{ mA}$$

La resistenza R_{eq} della lampadina, a tali condizioni, supponendo l'andamento lineare come le specifiche permettono, sarà:

$$R_{eq} = \frac{10}{50 \cdot 10^{-3}} = 200\ \Omega$$

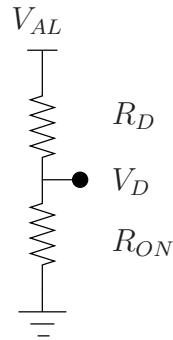


Figura 6.7: Sostituzione del modello del MOSFET in serie alla lampadina (R_D) nel circuito dell'esempio di progetto.

Quando il MOSFET è acceso, il canale source-drain presenta un comportamento resistivo, e nel circuito si può modellare la resistenza di canale con una R_{ON} come in fig. 6.7.

Il MOSFET si comporta di fatto come una resistenza e supponendo che, quando il MOSFET è acceso, sulla R_{ON} (modellizzante il canale resistivo del MOSFET) cadano 0,25 V, si può determinare R_{ON} a partire dal seguente partitore:

$$10 \cdot \frac{R_{ON}}{R_{ON} + R_D} = 0,25 \longrightarrow R_{ON} < 5 \Omega$$

Si conclude il progetto trovando un MOSFET che abbia una R_{ON} minore di 5Ω , data $V_{GS} = 5 \text{ V}$, e corrente massima sul drain almeno maggiore di 50 mA! Un BS170 è assolutamente in grado di soddisfare questo genere di richieste.

6.3 Comportamento dinamico di un interruttore

Tutto ciò che abbiamo finora fatto riguarda prettamente le caratteristiche *statiche* di un BJT o di un MOSFET; considerando tuttavia l'introduzione di un segnale a onda quadra, ossia con il quale lo switch deve aprirsi e chiudersi a seconda dell'istante e del fronte in quell'uscita, il comportamento teorico e quello reale coincidono?

Usiamo un circuito in un certo senso simile ai precedenti, per quanto semplificato, studiamo l'andamento delle uscite al variare dello stato dell'ingresso in figura 6.8.

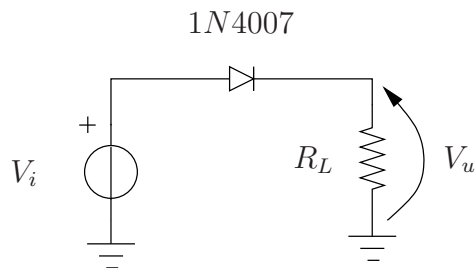


Figura 6.8: Semplice circuito per lo studio del legame dinamico tra segnali di tensione in ingresso ed uscita.

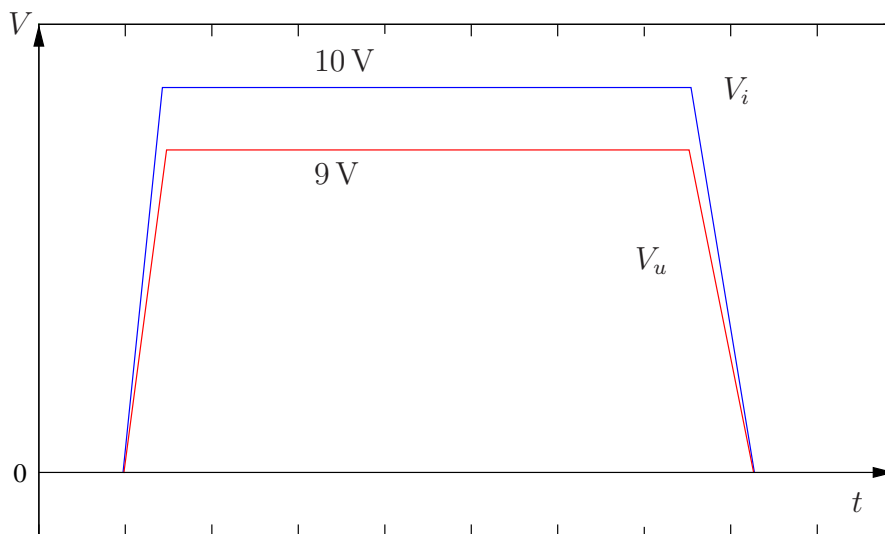


Figura 6.9: Andamento *previsto teoricamente* dei segnali di tensione in ingresso ed uscita del circuito 6.8 nel dominio del tempo.

A priori ci aspetteremmo una tensione di uscita con lo stesso andamento di quella di ingresso, a meno di una caduta di tensione ai capi del diodo (supponiamo ad esempio di 1 V: il diodo in questione è uno di potenza, dunque una caduta di tensione elevata è assolutamente “da mettere in preventivo”). Supponendo di introdurre dunque un segnale a onda quadra con tensione massima pari a 10 V e tensione bassa pari a 0 V, cosa ci aspetteremmo di trovare e cosa avremo in realtà?

Ci potremmo aspettare un ritardo più o meno percepibile sia al momento dell'accensione che a quello dello spegnimento del diodo; simulando tuttavia con PSpice questo circuito, si vede chiaramente qualcosa di molto interessante, quanto imprevedibile a partire da tutto ciò che abbiamo finora detto: una volta abbassato il livello dell'ingresso, e quindi fatto tornare in stato di

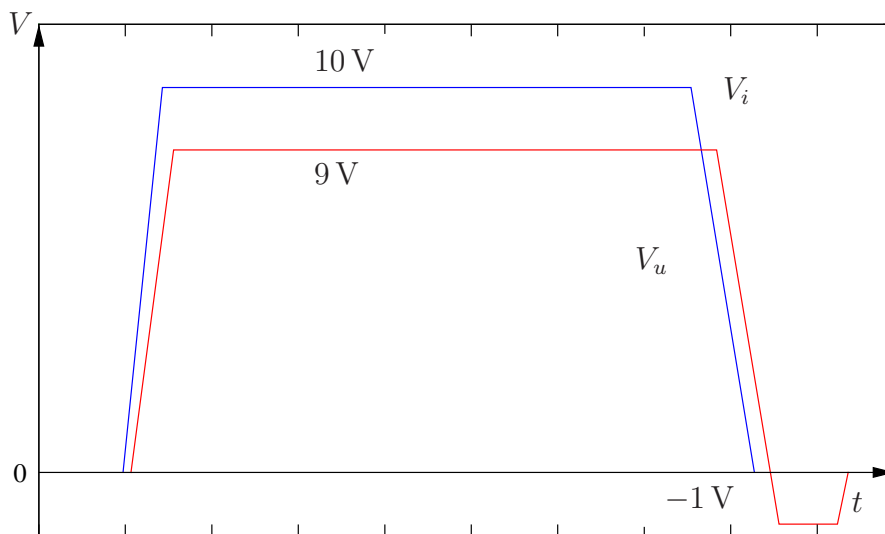


Figura 6.10: Approssimazione dell'andamento *ottenuto* dei segnali di tensione in ingresso ed uscita del circuito 6.8 nel dominio del tempo.

interdizione il diodo (si noti che lo stesso discorso vale assolutamente anche per un BJT: la giunzione base-emettitore di un BJT è del tutto assimilabile ad un diodo), sull'uscita si vede ancora una tensione, negativa, per un certo tempo.

Cosa capita? A cosa è dovuto ciò? Beh, innanzitutto, notiamo che la tensione negativa è pari a -1 V : volendo a questo punto fare osservazioni, potremmo vedere che 1 V è esattamente la differenza di tensione tra i 10 V in ingresso e i 9 V effettivamente presenti sull'uscita. Ciò ci può indurre a pensare una cosa: da qualche parte, la differenza di potenziale tra ingresso e uscita si è accumulata, e viene temporaneamente mantenuta. Cos'è dunque che accumula e mantiene la tensione ancora per qualche tempo sul diodo? La risposta è molto semplice: ciò che modelliziamo con la capacità di giunzione! Quando il diodo o la giunzione di BJT si accende, al fine di ottenere ai capi della giunzione base-emettitore una tensione necessaria per accendere (V_{BE}), è di fatto necessario caricare una capacità parassita, proprio come se ci fosse un condensatore! Dal momento che queste capacità hanno un comportamento tutt'altro che lineare, si può immaginare che gli andamenti di scarica siano un po' insoliti rispetto a quelli che noi conosciamo.

Spendiamo qualche parola anche sul tempo di scarica: esso dipende dal diodo o dal BJT in questione: si parla, di solito, di un parametro, detto t_{RR} (*Reverse Recovery Time*). Si tratta del tempo che il diodo impiega per ritornare nello stato normale di funzionamento, ossia per interdarsi comple-

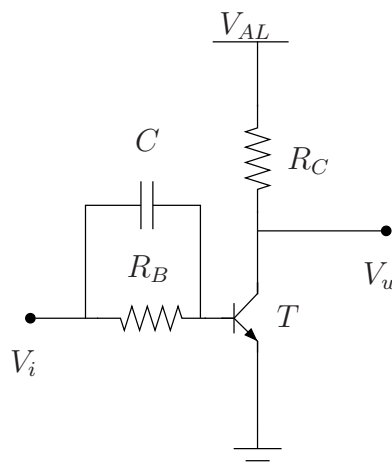


Figura 6.11: Topologia circuitale con un condensatore di accelerazione. Si considera una tensione massima in ingresso pari a circa 5 V.

tamente. Per i diodi di potenza, esistono dispositivi *fast recovery*, *super-fast recovery* e altri ancora.

Classe particolare di diodi sono i diodi Schotky: essi sono costituiti da una giunzione metallo-semiconduttore invece che semiconduttore-semiconduttore: da un lato hanno una V_γ bassa, e una giunzione dalla capacità parassita molto ridotta, ma d'altra parte tensioni massime applicabili molto basse (non oltre i 100 V, cosa che per un diodo di potenza potrebbe di fatto costituire un bel limite!)

6.3.1 Comportamento dinamico dei BJT

Cosa capita in un circuito analogo, ma a transistori bipolari? La giunzione base-emettitore non si può interdire immediatamente dal momento che, a causa dello stato di saturazione del transistor, vi è un *accumulo di carica in base* che deve essere “smaltito” (insomma il nostro amico transistor è proprio un po’ “pieno”). Come nel circuito a diodi, si avrà dunque un piccolo ritardo per la discesa, ed un ritardo molto maggiore per la risalita della tensione. Di fatto, dunque, non c’è molto da aggiungere rispetto a quanto già detto per quanto concerne i diodi di potenza.

Esiste un modo di migliorare le prestazioni di tutto: utilizzare in modo un po’ particolare un condensatore, detto *condensatore di accelerazione* (vedi fig. 6.11). Si ipotizzano tensioni non maggiori di 5 V in ingresso.

Quando il circuito deve spegnersi (quando V_{BE} deve diminuire), il condensatore tende a caricarsi, dal momento che ai suoi capi vi è una tensione

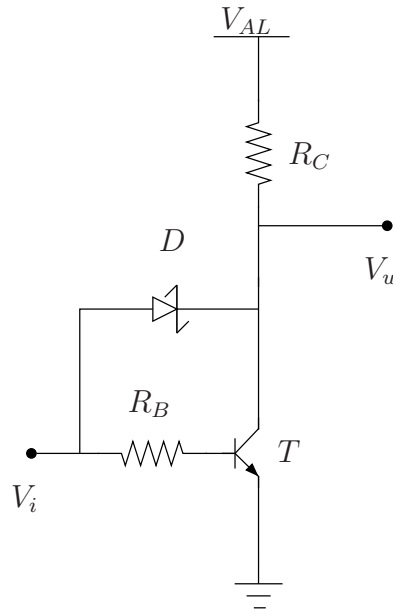


Figura 6.12: Circuito a BJT che impiega un diodo Schotky tra base e collettore per controllare il funzionamento della giunzione.

$V_C \simeq -4$ V perché l'ingresso va a $V_i = 0$ V e sull'altro terminale del condensatore si era accumulata una tensione massima pari a circa $(5 - V_{BE})$ V, e con $V_{BE} \simeq 1$ V in caso pessimistico. Quando dunque V_{BE} deve ridursi, la carica sceglierà di andare verso il punto a potenziale minore, preferendo dunque il condensatore C per scaricarsi; inoltre, a parte il fatto di essere a potenziale minore, C è collegato direttamente alla giunzione base-emettitore, mentre il potenziale di riferimento (originato dall'annullamento del generatore di segnale, $V_i \simeq 0$ V), e non mediante una resistenza!

Si noti che è meglio non esagerare, per quanto riguarda i condensatori di accelerazione: conviene utilizzare condensatori dalle capacità piccole, dal momento che, se la capacità fosse troppo elevata, ai suoi capi di conseguenza potrebbe esservi una carica/tensione troppo elevata, che danneggerebbe la base del BJT.

Esiste di meglio? La risposta è ancora una volta sì, e la tecnica di realizzazione potrebbe essere quella di figura 6.12.

Utilizzando un diodo Schotky, entra la sola corrente di saturazione: la giunzione base-collettore non arriva mai a polarizzarsi direttamente, dal momento che gli accumuli di carica in base vengono direttamente portati al collettore mediante il diodo, la cui tensione di attivazione è *inferiore* alla tensione di polarizzazione della giunzione base-collettore. Inoltre, esistono

tecniche in grado di integrare assieme un diodo Schotky e un BJT, realizzando in modo facile questo tipo di soluzione, creando dispositivi “ad-hoc” per l’uso specializzato in interruttori.

6.3.2 Comportamento dinamico dei MOSFET

Una volta esaurito l’argomento BJT, dovremmo a questo punto parlare di MOSFET in comportamento dinamico.

La situazione ora non è analoga alle precedenti: se prima per alcuni motivi, di cui si è parlato, i tempi di accensione e spegnimento erano differenti, asimmetrici, con problemi per quanto riguarda soprattutto lo spegnimento del transistor, ora non vi è più l’asimmetria, bensì latenze simmetriche e dovute a motivazioni fisicamente differenti rispetto a quelle concernenti i BJT.

Le latenze dei circuiti interruttori a MOSFET dipendono dal fatto che il circuito di pilotaggio, la rete sulla quale si monta il MOSFET, non è assolutamente un generatore ideale di tensione. Per poter regolare lo stato del MOSFET bisogna ovviamente agire su V_{GS} , ma ciò non è banale da farsi: affinché V_{GS} possa modificarsi, si devono caricare le capacità parassite tra gate e source e tra gate e drain.

Studiamo il comportamento del MOSFET al variare dell’ampiezza della tensione del segnale, in modo da capire come funzionino il circuito in questione.

- Quando $V_i \simeq 0$ V, la capacità parassita tra gate e drain, C_{GD} , si carica, dal momento che si trova compresa tra V_{AL} e 0 V; al contrario, C_{GS} , ossia la capacità parassita compresa tra gate e source, non si potrà caricare, dal momento che compresa tra due potenziali di riferimento (tra due 0 V). In questo stato, il MOSFET è in stato di interdizione, dal momento che la tensione V_{GS} è 0 V.
- Man mano che si aumenta V_i , capita il seguente fatto: la tensione tra gate e source aumenta, iniziando a polarizzare il transistor MOS; dualmente, la tensione tra gate e drain diminuisce, dal momento che diviene pari a $V_{AL} - V_i$, dove però V_i non è più 0 V. Ciò che capita, dunque, è il fatto che la carica da C_{GD} si “dirige” verso C_{GS} , dal momento che la capacità sopra si scarica, quella sotto si carica.
- Una volta caricata C_{GS} , si ha una V_{GS} tale da accendere il MOSFET, ma dunque, quando $V_{GS} \geq V_{Tn}$, si attiva la strong inversion del MOSFET, dunque si crea il canale di conduzione, e il MOSFET entra in zona di saturazione (zona di funzionamento lineare), dove si ha un guadagno in tensione; il fatto che a questo punto il MOSFET abbia il guadagno

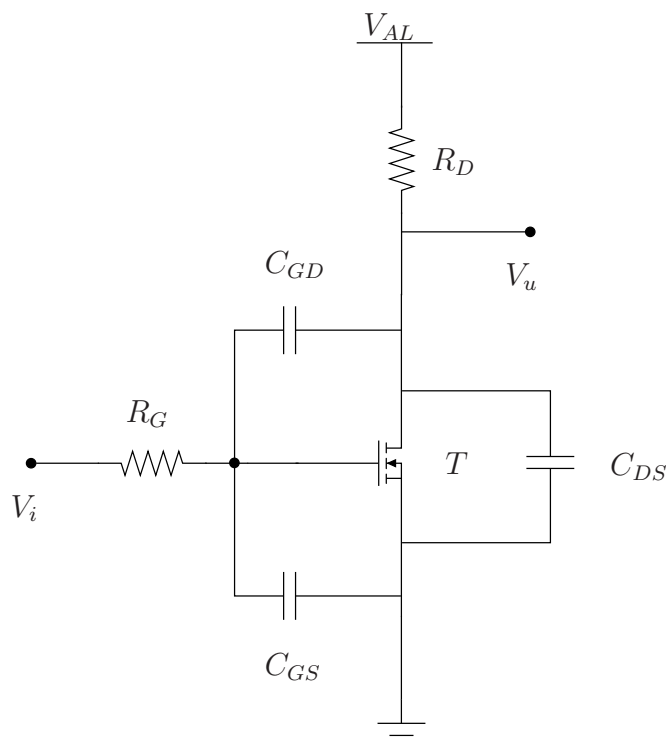


Figura 6.13: Il solito modello del MOSFET con l'aggiunta delle capacità parassite presenti tra ciascuna coppia di terminali.

in tensione induce l'effetto Miller sulla capacità tra gate e drain: essa si può sostituire con due capacità equivalenti, di cui una sull'ingresso, moltiplicata per un fattore circa uguale al guadagno in tensione, che va a sommarsi alla capacità C_{GS} ; quello che capita, dunque, è un grosso aumento della capacità tra gate e source, capacità che dovrà essere caricata in qualche modo. Per caricare questa capacità, ci andrà una carica molto più elevata, e qui arrivano i limiti della rete di pilotaggio del MOSFET: non essendo ideale, il generatore di tensione con il quale si modella la rete di pilotaggio non può fornire una corrente (e dunque un apporto di cariche) in un tempo arbitrario, bensì richiede un tempo abbastanza elevato.

- Aumentando ulteriormente la tensione, si esce dalla zona di saturazione del MOSFET e si entra in zona quadratica, quindi resistiva, uscendo di fatto dal comportamento lineare della transcaratteristica ed entrando in una zona di non linearità (si noti che *zona lineare* per quanto riguarda un MOSFET significa che una variazione lineare di corrente comporta

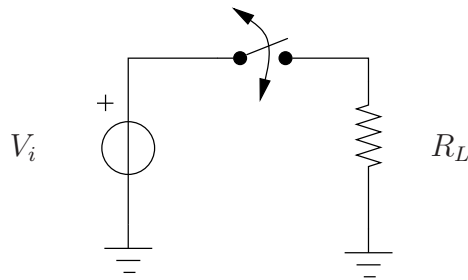


Figura 6.14: Schema elementare di circuito con un interruttore bidirezionale.

una variazione di tensione, come in una resistenza!); si perde dunque l'effetto Miller, e si entra in un terzo stato di accumulo di carica.

In un circuito a MOSFET, al fine di capire quanta carica è necessaria per accendere il transistor, è necessario consultare il datasheet. Supponendo ad esempio di avere letto $Q = 100 \text{ nC}$, volendo accendere in un tempo massimo pari a 100 ns il MOSFET, a corrente costante (per ipotesi) avremo:

$$I = \frac{Q}{\Delta t} = \frac{100 \cdot 10^{-9}}{100 \cdot 10^{-9}} = 1 \text{ A}$$

Avremo quindi bisogno di un generatore in grado di generare 1 A per 100 ns . Dato un circuito di pilotaggio in grado di soddisfare questa specifica, potremo realizzare l'esempio di progetto appena citato.

6.4 Interruttori bidirezionali

Volendo realizzare interruttori bidirezionali, ossia nei quali la corrente scorre in entrambi i sensi, di sicuro non è possibile utilizzare come elemento circuitale di base il transistor bipolare a giunzione: non è possibile, infatti, far scorrere una corrente dall'emettitore al collettore di un BJT. Il nostro desiderio fondamentale è quello di realizzare un circuito equivalente a quello di fig. 6.14.

Da un lato non possiamo usare un BJT, dall'altro non possiamo neanche utilizzare MOSFET di potenza: le topologie che studieremo sono incompatibili con il fatto che i MOSFET di potenza abbiano il substrato "inchiodato", cioè cortocircuitato alla più bassa tensione presente sull'integrato proprio a causa del collegamento presente tra source e bulk.

L'unica cosa che ci resta è un normale MOSFET: a partire da esso, per cominciare, si può realizzare una topologia come in figura 6.15.

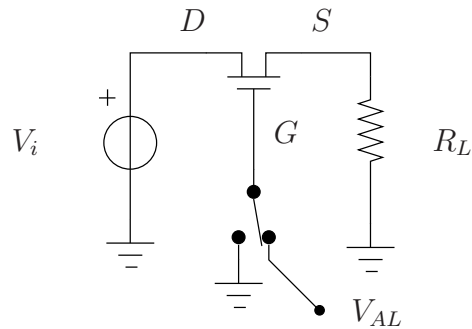


Figura 6.15: Schema elementare di circuito con un interruttore bidirezionale realizzato con un MOSFET.

Il gate del MOSFET ha due possibili collegamenti: uno a 0 V e uno a V_{AL} . Supponiamo inoltre $R_L \rightarrow \infty$, per il seguente motivo: se il carico resistivo ha una resistenza molto elevata, tutta la corrente non può che scorrere sugli altri rami del circuito, ma quindi la caduta di tensione tra drain e source è molto bassa, dal momento che quasi non vi scorre corrente, quindi si può ipotizzare che:

$$V_D \simeq V_S$$

Data questa ipotesi, potremo dunque considerare due singolari casistiche, per quanto riguarda la tensione sul drain. A causa delle cadute di tensione nulle, potremo dire che:

$$V_D = V_{AL} \text{ o } V_D = 0 \text{ V}$$

Studiamo dunque, date per valide le precedenti ipotesi, le due possibilità:

- Se il gate del MOSFET è collegato a 0 V, $V_G = 0 \text{ V}$; sul drain invece, V_i può variare da 0 V a V_{AL} ; V_{GS} , dunque, è esprimibile come:

$$V_{GS} = V_G - V_S \simeq V_G - V_D = 0 - V_i = -V_i$$

Dal momento che $V_i \geq 0$, la tensione di attivazione sarà certamente negativa, e quindi il dispositivo sarà interdetto: l'interruttore è chiuso;

- Se $V_G = V_{AL}$, cosa capita? Beh, sappiamo che:

$$V_{GS} \simeq V_G - V_D \longrightarrow V_{GS} = V_{AL} - V_i$$

A questo punto, se $V_{AL} - V_i \geq V_{Tn}$, il MOSFET è in stato ON e conduce.

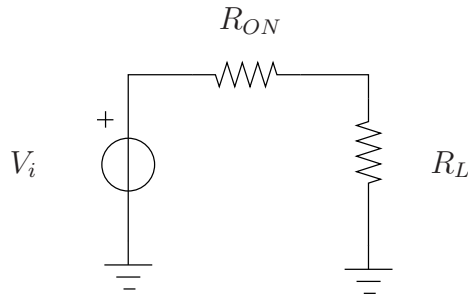


Figura 6.16: Modellizzazione della resistenza di canale del MOSFET in conduzione con una resistenza denominata R_{ON} .

Si noti che, a causa delle ipotesi da noi fatte, $V_{DS} \geq V_{GS}$, quindi, quando il MOSFET è in stato di accensione, esso si trova sempre in zona resistiva.

Il circuito equivalente, in caso di transistore MOS acceso, è quello di figura ??.

Ma possiamo dire che R_{ON} sia quantificabile come:

$$R_{ON} = \frac{1}{\mu_n C_{OX} \frac{W_n}{L_n} (V_{AL} - V_i - V_{Tn})}$$

Che cosa brutta: R_{ON} non è costante, bensì varia il proprio valore con la tensione di ingresso, V_i ! Nella fattispecie, se $V_i = V_{AL} - V_{Tn}$, si avrà addirittura un asintoto verticale! Volendo dunque plottare l'andamento di R_{ON} al variare di V_i , si otterrà il grafico 6.17.

Cosa fa sulla fine questo interruttore? Esso fa passare benissimo le tensioni basse, ma ha una resistenza più elevata per le tensioni di ingresso V_i di ampiezza più elevata. Inoltre questa configurazione è detta *pass-transistor a canale n*. E se volessimo farlo con un pMOS, cosa otterremmo?

Come prima confrontiamo la tensione del drain con quella del source, ma ricordiamo che questo è un pMOS, quindi le regole si invertono: ora le tensioni di attivazione saranno negative. Potremo dunque aspettarci un comportamento del circuito assolutamente duale al precedente, come ora vedremo.

Studiamo come prima le due fasi:

- Se il gate è su 0 V, si ha che:

$$V_{GS} = V_G - V_S \simeq V_G - V_D = -V_i$$

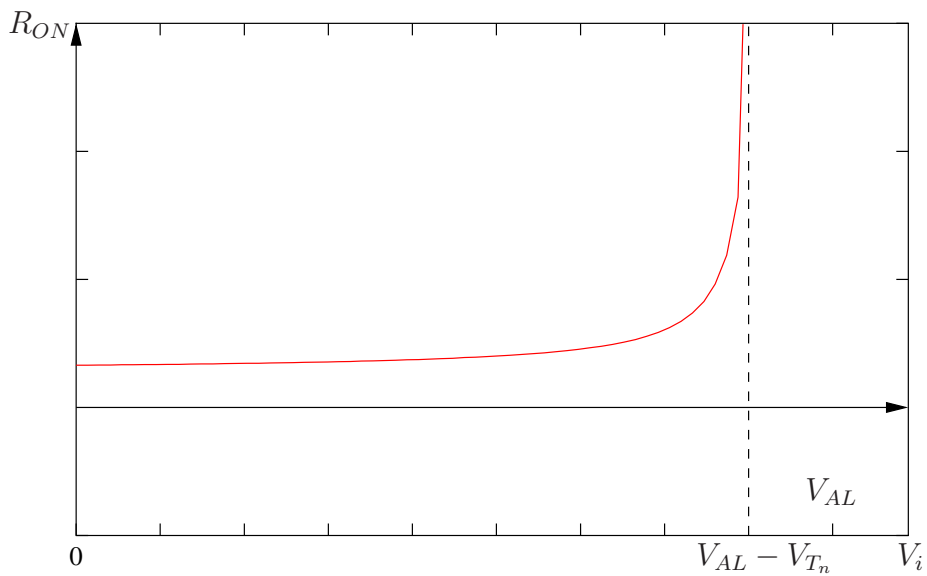


Figura 6.17: Grafico di $R_{ON}(V_i)$.

Dunque, se $V_{GS} < V_{Tp}$, il MOSFET sarà ON dal momento che il canale conduttivo si sarà formato.

- Se l'interruttore ha il gate su V_{AL} , si ha che:

$$V_{GS} \simeq V_G - V_D = V_{AL} - V_i \geq 0$$

Dal momento che però ora le tensioni di accensione sono negative, questo circuito non condurrà per tensioni di ingresso positive.

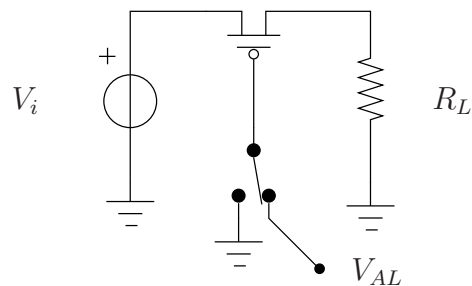


Figura 6.18: Schema elementare di circuito con un interruttore bidirezionale realizzato con un p-MOSFET.

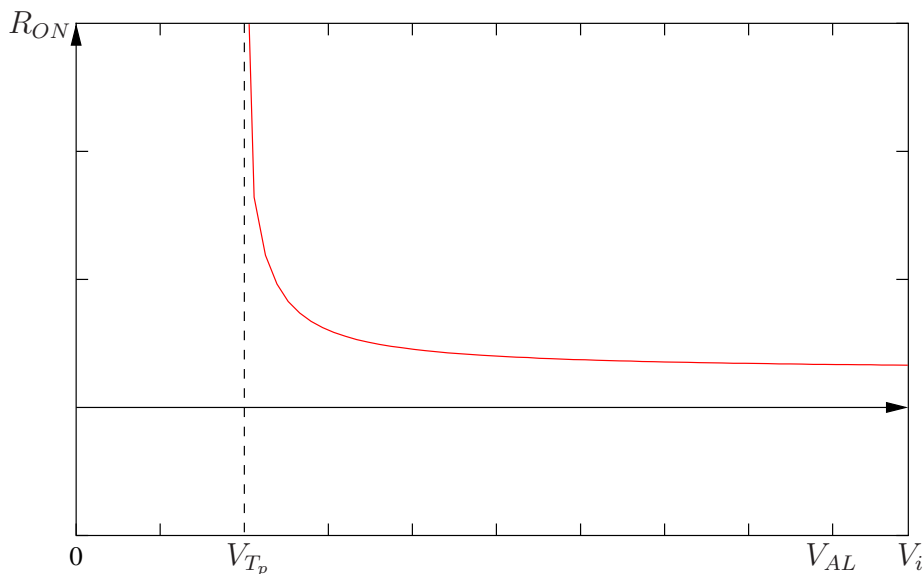


Figura 6.19: Grafico di $R_{ON}(V_i)$ per il pMOSFET.

Il circuito si potrà dunque modellizzare proprio come il precedente, tuttavia con una diversa espressione di R_{ON} , che ora quantificheremo:

$$R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W_p}{L_p} (V_i + V_{Tp})}$$

L'andamento della $R_{ON}(V_i)$ è riportato in figura 6.19.

Del tutto dualmente al pass-transistor tipo n, il *pass-transistor a canale p* avrà un buon comportamento per tensioni di ingresso elevate, e un cattivo comportamento per tensioni di ingresso basse.

6.4.1 Transmission gate

Abbiamo visto due circuiti, che si comportano bene in situazioni del tutto differenti. Da accesi, entrambi sono di fatto modellizzabili con una resistenza, ma questa assume valori differenti al variare della tensione di ingresso del sistema.

Una cosa bizzarra che potremmo fare, ma allo stesso tempo *terribilmente furba*, è la seguente: sapendo che due resistenze in parallelo sono sostanzialmente equivalenti ad una resistenza di valore pari alla somma armonica delle altre due, e dal momento che la “somma armonica sceglie” la minore delle due resistenze, mettendo in parallelo i due circuiti, potremmo pensare di ottenere il “buono” di entrambi i circuiti, scartando dunque le caratteristiche scomode.

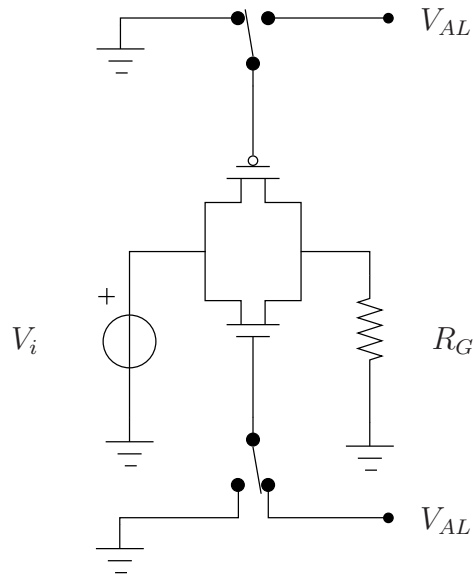


Figura 6.20: Schema circuitale del sistema d'interruttore *gate transmission* che sfrutta i pregi dei circuiti a MOSFET a canale p ed n delle figure 6.15 e ??.

Vediamo come si può realizzare in pratica un'idea di questo genere: utilizzando i due interruttori in controfase, ossia introducendo sui gate dei due transistori le tensioni di pilotaggio, si può ottenere il circuito di fig. 6.20.

Consideriamo G_T la somma delle conduttanze dei circuiti a canale n e p:

$$G_T = G_n + G_p = \mu_n C_{OX} \frac{W_n}{L_n} (V_{AL} - V_i - V_{Tn}) + \mu_p C_{OX} \frac{W_p}{L_p} (V_i + V_{Tp})$$

Si tenga conto di una cosa: questa formula funziona, ma solamente nell'intersezione delle regioni di funzionamento dei due circuiti; nelle regioni nelle quali solo uno dei due circuiti funziona, le espressioni resteranno del tutto analoghe alle precedenti, e la cosa non ci dispiace: in queste situazioni, infatti, si hanno resistenze molto basse, grazie al fatto che funziona solo il "circuito giusto", quindi non avremo problemi.

Chiamiamo k_n e k_p le due costanti moltiplicative delle tensioni; progettando i MOSFET in modo che $k_n = k_p$, e quindi da un lato con $L_n = L_p$, $\mu_n \simeq \mu_p$ (come si sa dalla teoria dei dispositivi elettronici), e di conseguenza

$$W_p = W_n \frac{\mu_n}{\mu_p}$$

Si ricava che:

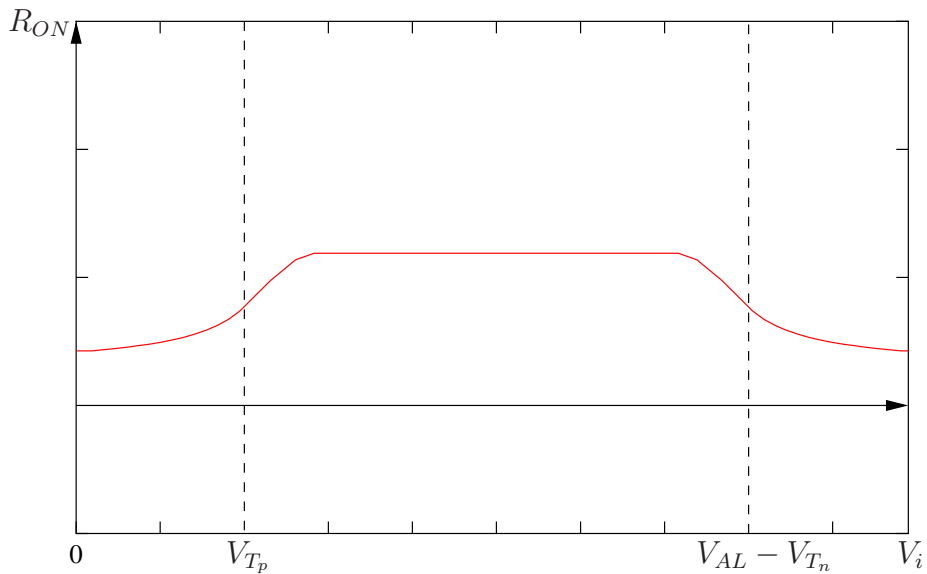


Figura 6.21: Andamento della R_{ON} in funzione della V_i per un sistema a *gate transmission*.

$$G_T = k_n(V_{AL} - V_i - V_{Tn} - V_i + V_{Tp}) = k_n(V_{AL} - V_{Tn} + V_{Tp})$$

L'ammettenza totale tra gli asintoti è costante (a meno dell'effetto body, di solito tuttavia abbastanza trascurabile), quindi il comportamento del circuito al variare della tensione di ingresso sarà simile a quello in figura 6.21.

Abbiamo fornito una carrellata di idee riguardo gli interruttori; al fine di concludere, proponiamo un esempio numerico riguardante questo ultimo circuito.

Esempio Pratico 7 Dato un processo per cui $\mu_n C_{OX} = \frac{10 \text{ mA}}{\text{V}^2}$, $\mu_p = \frac{1}{3} \mu_n$, vogliamo dimensionare un interruttore con $V_{AL} = 5 \text{ V}$, $V_{Tn} = 1 \text{ V}$, $V_{Tp} = 1 \text{ V}$, $L_p = L_n = 1 \mu\text{m}$.

Come procediamo? Niente di più semplice!

$$10^{-3} = \mu_n C_{OX} \cdot \frac{W_n}{L_n} (5 - 1 - 1) \longrightarrow \frac{W_n}{L_n} = \frac{10^{-3}}{3 \cdot 0,01} = \frac{1}{30}$$

Capitolo 7

Alimentatori off-line

Indice

7.1	Introduzione	248
7.2	Alimentatori tradizionali	250
7.2.1	Esempio teorico/pratico di progetto	252
7.3	Alimentatori switching	258
7.4	Regolatori di tensione lineari	261
7.4.1	Partitore con elemento variabile parallelo	262
7.4.2	Partitore con elemento variabile serie	263
7.4.3	Regolatori di tensione “regolabili”	268
7.4.4	Regolatori LDO (Low Drop-Out)	269
7.5	Regolatori switching	272
7.5.1	Convertitore <i>buck</i>	273
7.5.2	Convertitore boost	285
7.5.3	Convertitore buck-boost	288
7.5.4	Convertitore flyback	293

7.1 Introduzione

GLI ALIMENTATORI OFF-LINE sono alimentatori che prelevano l’energia dalla rete elettrica, ossia che per funzionare si collegano alla rete di distribuzione dell’energia.

Potremmo a questo punto spostarci più a monte e porci una domanda ancora più “arretrata”: cos’è un alimentatore? Per alimentatore si intende un generico sistema in grado di prelevare energia da una certa fonte, e di convertirla in un formato compatibile con il circuito elettronico che deve, per l’appunto, alimentare.

Progettare un alimentatore è ben più difficile che progettare altri circuiti:

oltre a soddisfare le specifiche, il progettista deve preoccuparsi di *soddisfare le normative*, specialmente per quanto concerne la sicurezza e la compatibilità elettromagnetica. In realtà, per quanto ci riguarda, ci limiteremo di soddisfare prevalentemente le specifiche, senza preoccuparci degli altri aspetti.

Le specifiche di un alimentatore possono riguardare le tensioni o correnti di uscita e ingresso, ed eventuali specifiche aggiuntive sulle potenze; nella fattispecie, si può richiedere una certa stabilità delle grandezze, limiti e protezioni (sia in ingresso che in uscita): l'alimentatore deve infatti essere in grado di resistere a sbalzi di tensione della rete e di proteggere il circuito cui è collegato.

Spesso un'operazione da effettuare è la *regolazione di carico*: l'alimentatore dovrebbe essere, per quanto possibile, un generatore ideale di tensione; nella realtà, tuttavia, esso avrà di sicuro una R_{eq} di Thevenin. Per giustificare questa resistenza equivalente, è necessario studiare l'andamento della tensione di uscita al variare della corrente di uscita; la regolazione di carico, di fatto, consiste nel fare ciò: determinare carichi appropriati al sistema in progetto, studiando la seguente espressione:

$$V_u = f(I_u)$$

Spesso la regolazione si fa limitando la corrente dal 20% al 80% del suo massimo.

Come vi è la regolazione di carico, vi è da studiare anche la *regolazione di linea*: non tutte le tensioni di linea sono evidentemente adatte a fornire la potenza necessaria per la conversione; bisognerà ripetere un ragionamento circa analogo al precedente, per quanto riguarda dunque V_i e I_i , in modo da studiare la regolazione del convertitore alla linea di distribuzione.

Altra cosa nella lista "to do", in ambito di alimentatori, è uno studio del transitorio: a regime, la corrente assorbita dal sistema elettronico alimentato da un alimentatore è costante; in fase di transitorio ciò non è vero, e infatti, per evitare che vi siano problemi legati a questo fatto, di solito i regolatori contengono elementi di accumulo (quali condensatori), atti a evitare danneggiamenti (*inrush current*), per esempio.

Terminato questo breve cappello introduttivo, sostanzialmente, studieremo due tipi di alimentatori:

- Alimentatori tradizionali;
- Alimentatori a commutazione (switching).

7.2 Alimentatori tradizionali

Studiamo lo schema a blocchi (fig. 7.1) di un alimentatore tradizionale, ossia basato sull'uso di un trasformatore come elemento di base, e di un regolatore "classico" di tensione (elemento che introdurremo solo in seguito).

Nel punto *A* si ha l'alimentazione da rete: il *polo freddo* (messa a terra) e i due *poli vivi*. In *B* si ha un fusibile di protezione, e in *C* un interruttore per ciascuna delle fasi della linea di distribuzione. Il blocco *D* è un filtro passa-basso, che taglia disturbi della rete elettrica in modo che non si propaghino per il resto del circuito.

E è l'elemento critico: per passare dalla 220 V a 3 V comunemente in uso nei dispositivi elettronici (3 V, 5 V, 12 V ...), una soluzione è quella di utilizzare un trasformatore; questa è la soluzione classica, che contraddistingue gli alimentatori classici da quelli un po' più moderni.

Sia tra *D* ed *E* che tra *E* ed *F* avremo una sinusoide, ma con valore di picco ovviamente diverso. A partire da quest'ultima, vorremmo ricavare una continua che si inizierà ad ottenere a partire dal circuito raddrizzatore *F*, per poi essere inviata a *G*, ossia ad un filtro passa basso con grossa capacità, in modo da tagliare a frequenze basse il segnale. La forma d'onda in uscita da *G* è una quasi-continua (a meno di alcuni *ripple*). Il regolatore di tensione su *H*, in fondo al circuito, aumenterà la precisione della tensione di uscita, ottenendo il risultato da noi desiderato.

Quello appena presentato è il più classico degli schemi a blocchi rappresentanti un alimentatore, e presenta un certo numero di problemi: oltre ad essere pesante, ingombrante, rumoroso (a causa del trasformatore), si può considerare, sotto certi punti di vista, "fuori legge" (perché inadatto rispetto alle normative): dopo il circuito raddrizzatore infatti, come abbiamo detto, vi è un condensatore dalla capacità elevata fungente da filtro passa-basso; il condensatore infatti, riempiendosi, dissipa potenza reattiva in quantità molto elevata. Dal momento che il condensatore infatti ha questa capacità elevata, tende ad avere ai propri capi una tensione che spesso supera quella del raddrizzatore. Il condensatore alimenta il circuito, "cedendogli" le cariche contenute al suo interno, abbassando progressivamente la tensione. Quando questa diviene più bassa di quella del circuito raddrizzatore, quest'ultimo incomincia a condurre, e riempie "di colpo", impulsivamente, il condensatore.

Il grosso problema del circuito è dunque dettato dal fatto che il condensatore non si carica con un andamento regolare, bensì impulsivamente, prelevando dalla rete di distribuzione grosse quantità di carica in un tempo molto breve. Le normative non sono compatibili con questo tipo di uso della rete: esistono infatti leggi limitanti da un lato l'uso, e da un altro il

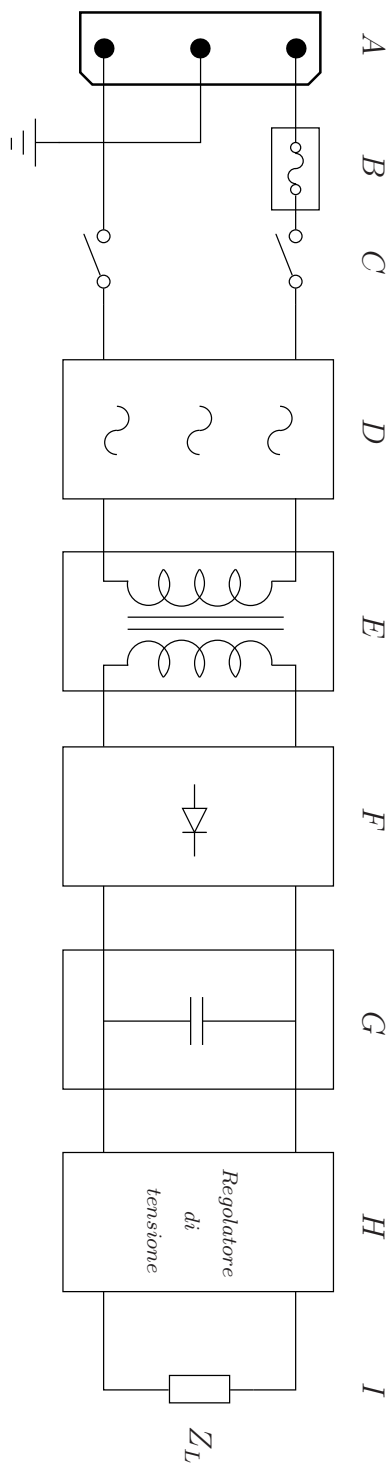


Figura 7.1: Schema a blocchi di un generico alimentatore tradizionale.

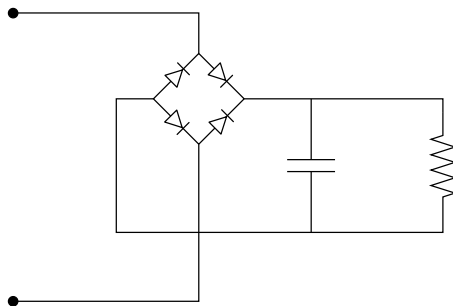


Figura 7.2: Schema circuitale del raddrizzatore a *ponte di Graetz*.

minimo duty cycle della forma d'onda prelevabile dalla rete di distribuzione dell'energia elettrica.

Da un lato, questi alimentatori hanno il pregio di essere molto *precisi*: la tensione in uscita da questi dispositivi è molto “pulita”. Tuttavia, se non per applicazioni speciali che richiedano tale precisione e che richiedano di essere alimentati per un tempo relativamente breve, questi tipi di alimentatori non vengono utilizzati.

7.2.1 Esempio teorico/pratico di progetto

Al fine di analizzare meglio alcuni degli aspetti del sistema, si realizzi un circuito (semplificato) in grado di soddisfare alle seguenti specifiche: potenza assorbita 200 W, $V_{ripple} < 25$ V.

La parte delicata da progettare è il circuito (ridotto, rispetto a quello che si fa nella realtà e che faremo più in dettaglio in seguito) dopo il filtro passa basso atto a tagliare il rumore di linea. Incominciamo dunque a trattare un altro aspetto: il comportamento del circuito raddrizzatore. Come raddrizzatore, si usa un classico circuito a ponte di Graetz (fig. 7.2 e ??).

All'inizio il condensatore sull'uscita viene caricato, dunque la tensione ai suoi capi segue la tensione di rete. Il ponte, tuttavia, fa in modo che, quando la tensione di ingresso comincia a scendere, il diodo non possa più condurre, dunque la situazione resta bloccata (non considerando nel discorso le non idealità dei diodi). Dal momento che in parallelo al condensatore vi è un resistore (ossia il carico del circuito) la tensione tende ad abbassarsi a causa del flusso di carica che si dirige verso di esso. Si tenga conto che non considerando le non-idealità dei diodi, senza R_L la parte lineare del grafico sarebbe piatta orizzontalmente perché non ci sarebbe scarica del condensatore.

Prima cosa da fare, è la stima del valore di R_L : sappiamo infatti che il massimo di corrente, V_{pk} , vale circa:

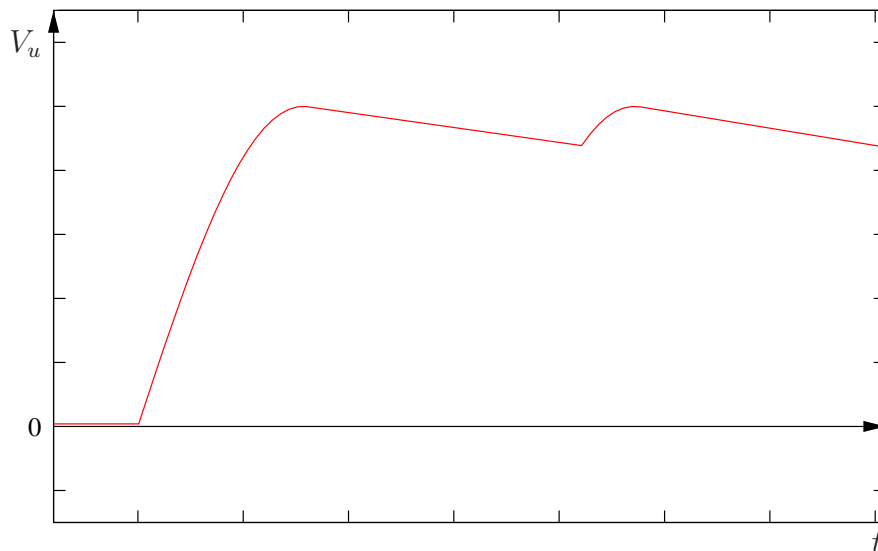


Figura 7.3: Andamento della tensione in uscita dal ponte di Graetz.

$$V_{pk} \simeq 230 \cdot \sqrt{2} \simeq 320 \text{ V}$$

Precedentemente avevamo stimato 325 V; per comodità ora utilizziamo questo numero; i calcoli sono ovviamente ripetibili variando i numeri.

Sappiamo che:

$$P_L = \frac{|V_{pk}^2|}{R_L} \longrightarrow R_L = \frac{|V_{pk}^2|}{R_L} = \frac{|320 \text{ V}|^2}{200 \text{ W}} \simeq 500 \Omega$$

La corrente sul resistore, I_L , vale:

$$I_L = \frac{320}{500} = 0,6 \text{ A}$$

Sappiamo, dalle specifiche, che il ripple, ΔV_L , deve essere al massimo pari a:

$$\Delta V_L = V_{RIPPLE} = 25 \text{ V}$$

Poichè l'andamento della tensione è sinusoidale, si può dire che:

$$\Delta V_L = \frac{I}{C} \cdot \Delta t$$

Da qui, è possibile stimare il valore del condensatore C da utilizzare:

$$C = \frac{I_L}{\Delta V_L} \Delta t$$

Abbiamo tutto, tranne un dato: Δt ; si può vedere che esso è pari alla durata del tratto rettilineo della figura precedentemente mostrata: Δt infatti è semplicemente il tempo che il segnale ha per “abbassarsi”, in modo da arrivare fino ad un certo livello di ampiezza rispetto alla tensione di alimentazione raddrizzata. Supponendo che il ripple sia molto minore della tensione massima di alimentazione, quindi che $V_{pk} \gg \Delta V_L$, si può supporre che si possa approssimare, senza perdere informazioni, l'intervallo di tempo Δt con il semiperiodo della sinusoide rappresentante la tensione di rete, $\frac{T}{2}$. Nella fattispecie, in Italia, la frequenza della tensione di rete è pari a 50 Hz, dunque il semiperiodo della sinusoide sarà pari a:

$$\frac{T}{2} = \frac{1}{2f} = \frac{1}{2} \cdot 20 \text{ ms} = 10 \text{ ms}$$

Dunque:

$$\Delta t \simeq \frac{T}{2} = 10 \text{ ms}$$

Quindi, possiamo dimensionare la capacità del condensatore C :

$$C = \frac{0,6}{25} \cdot 10^{-2} \simeq 240 \mu\text{F}$$

Abbiamo parzialmente dimensionato il condensatore: come vedremo, infatti, in ambito di alimentatori dimensionare la capacità non è sufficiente.

Spostiamoci temporaneamente su di un altro problema: quale diodo (o quali diodi, dal momento che il raddrizzatore è a ponte di Graetz) bisogna utilizzare, al fine di realizzare questo tipo di sistema? Prima abbiamo calcolato che la corrente sul carico è di 0,6 A. Sono sufficienti diodi in grado di reggere una corrente pari a 0,6 A? La risposta è: assolutamente no! Noi sappiamo, finora, quanta corrente vada verso il carico, ma non abbiamo assolutamente alcuna informazione riguardo la corrente sul condensatore; l'unica informazione, piuttosto negativa, che abbiamo, riguarda il fatto che, come abbiamo detto in sede di introduzione agli alimentatori tradizionali, il condensatore si carichi *impulsivamente*: in un tempo molto breve, si accumula una quantità molto grossa di carica. Ciò non è assolutamente positivo: significa che la corrente che un condensatore dovrà reggere, è probabilmente grande: ricordando infatti che:

$$I = \frac{\Delta Q}{\Delta t_Q}$$

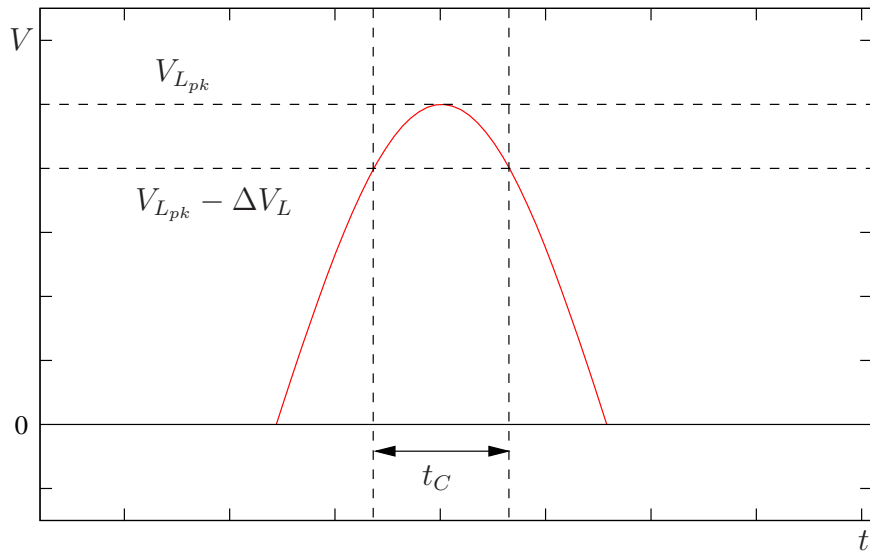


Figura 7.4: Definizione dell'intervallo di tempo t_C su parte del segnale di tensione in ingresso al ponte.

Avendo un Δt_Q di carica piccolo, la corrente sarà probabilmente ben maggiore di 0,6 A.

Per quantificare ciò che ci interessa la tattica giusta è capire per quanto tempo il diodo conduca; l'operazione non è assolutamente banale: il diodo conduce infatti sostanzialmente per una parte di semionda, a partire dall'istante in cui la tensione vale $V_{pk} - \Delta V_L$ (fig. 7.4).

A partire da quel punto di tensione, il diodo condurrà, e sarà percorso da un impulso di corrente che durerà fino al momento del raggiungimento di V_{pk} . La durata dell'impulso è sostanzialmente riconducibile alla durata del periodo compreso tra l'istante in cui la tensione vale $V_{pk} - \Delta V_L$ e V_{pk} , ossia il tempo durante il quale l'impulso deve ricaricare la capacità, e far ripartire il semiciclo. Possiamo dire che, nel periodo di conduzione del diodo, la forma d'onda della tensione sia riconducibile ad una cosinusoide:

$$V_L = V_{L,pk} \cos(\omega t)$$

Per capire per quanto tempo il diodo conduca, supponendo che il coseno sia centrato in $t = 0$ come la formula suggerisce, studiamo l'angolo di conduzione del diodo, ossia l'angolo $\alpha \triangleq \omega t_C$ tale per cui il diodo conduce: data ω la suddetta frequenza, t_C il tempo di conduzione del diodo, per semplificare l'espressione lavoriamo dapprima su questo angolo, in modo ad avere un'espressione più semplice in funzione di cui operare. Dal momento che il

coseno è una funzione pari, lavorare “a sinistra o a destra” è indifferente, dunque si può dire che:

$$V_{L,pk} - \Delta V_L = V_{L,pk} \cdot \cos(\alpha)$$

Al fine di determinare l'intervallo temporale in cui il diodo conduce, dunque, determiniamo un'espressione operativa di α :

$$\begin{aligned} \cos(\alpha) = \frac{V_{L,pk} - \Delta V_L}{V_{L,pk}} &\longrightarrow \alpha = \arccos\left(1 - \frac{\Delta V_L}{V_{L,pk}}\right) \simeq \\ &\simeq \arccos\left(1 - \frac{25}{320}\right) \simeq 23^\circ \end{aligned}$$

Il tempo di conduzione, sapendo che la frequenza di rete è di 50 Hz, quindi il periodo di 20 ms, si può calcolare come:

$$t_C = \frac{23^\circ}{360^\circ} \cdot 20 \text{ ms} = 1,3 \text{ ms}$$

Abbiamo a questo punto il tempo di conduzione; il nostro obiettivo finale, ricordiamo, è quello di determinare la corrente massima nei diodi. Dal momento che calcolare l'integrale di queste funzioni è poco piacevole (per usare un eufemismo), sarebbe bello poterci ricondurre a qualcosa di più facile da studiare. Considerando i tempi come delle basi, e le tensioni come delle altezze, è possibile calcolare la corrente con due tipi di approssimazione:

- Approssimazione triangolare;
- Approssimazione parabolica.

Utilizzando un'approssimazione di tipo triangolare, si può dire che, considerando il semiprodotto di base e altezza:

$$\Delta Q = \frac{I_{pk} \cdot t_C}{2}$$

Con approssimazione parabolica invece, si può approssimare l'area della sinusoide all'area di una parabola, a sua volta calcolabile come $\frac{2}{3}$ dell'area del rettangolo costruito con base e altezza precedentemente dette:

$$\Delta Q = \frac{2}{3} \cdot t_C \cdot I_{pk}$$

Sperimentalmente, si potrebbe verificare che l'approssimazione parabolica è più realistica rispetto a quella triangolare; utilizziamo quindi quest'ultima al fine di “dare un po' i numeri”. Invertendo l'espressione, si ricava un'espressione di I_{pk} , risultato che vogliamo attualmente trovare:

$$I_{pk} = \frac{\Delta Q}{t_C} \cdot \frac{3}{2}$$

A questo punto, si può dire semplicemente che la carica che circola nel diodo, ΔQ , sia pari alla corrente che circola sul carico durante il tempo di scarica, ossia la durata del tratto rettilineo. Quello che capita, infatti, è che l'impulso ricarica il condensatore fornendo la carica necessaria a ristabilire il livello massimo per poi ri-scaricarsi; il tempo in questione sarà dunque quello durante il quale la tensione si abbassa da V_{pk} (raggiunto mediante la carica impulsiva), a $V_{pk} - \Delta V_L$: si può quindi scrivere che:

$$\Delta Q = I_L \cdot \left(\frac{T}{2} - t_C\right) \simeq I_L \cdot \frac{T}{2}$$

Ma finalmente abbiamo tutti i dati! Possiamo calcolare la corrente massima che il diodo deve reggere, I_{pk} , come:

$$I_{pk} = \frac{3}{2} \frac{I_L \cdot T}{2t_C} \simeq 7 \text{ A}$$

Cerchiamo di fare mente locale: la corrente media prodotta dal circuito di alimentazione è 0,6 A (derivante dal valor medio della tensione sinusoidale di cui si parlava precedentemente, nella teoria); se la media sul carico è 0,6 A, sui diodi sarà la metà: i diodi, infatti, conducono due alla volta, quindi la corrente media su di essi sarà solo la metà:

$$I_{D,AVE} = \frac{I_L}{2} = 0,3 \text{ A}$$

Abbiamo calcolato quindi un po' di parametri, ma tenete duro perché non sono abbastanza. Il diodo, infatti, non è ancora "selezionabile": al fine di scegliere il diodo, infatti, è necessario conoscere la corrente RMS (Root Mean Square), ossia la corrente efficace, che dobbiamo ancora calcolare.

Continuiamo a saltare da un argomento ad un altro, e torniamo ancora sui condensatori, che avevamo solo parzialmente dimensionato: abbiamo sì calcolato la capacità C , ma ciò, come preannunciato, non è sufficiente, in ambito di alimentatori! I parametri per la scelta del condensatore infatti sono sostanzialmente 3: valore della capacità, tensione di lavoro, corrente RMS. Quest'ultima nella fattispecie è assolutamente fondamentale: i condensatori non sono infatti elementi ideali, e men che mai lo sono quelli elettrolitici, che saremo obbligati ad usare, dal momento che siamo nell'ordine dei μF ! Le correnti di perdita potrebbero "bollire" il dielettrico contenuto nel condensatore, distruggendolo!

Dobbiamo calcolare il *valore RMS della corrente di rete*; sappiamo che l'andamento è approssimabile a quello di una parabola: per ogni $\frac{T}{2}$ si ha un impulso con ampiezza temporale di 1,3 ms e 7 A di picco. Ciò che si può fare è scrivere in forma parametrica la parabola, e calcolarne, su $T_1 = 1,3$ ms, l'integrale del modulo quadro, quindi:

$$\begin{aligned} I_{RMS}^2 &= \frac{1}{T} \int_0^{T_1} \left[\frac{4I_{pk}}{T_1} \cdot t \cdot \left(1 - \frac{t}{T_1} \right) \right]^2 dt = \\ &= \frac{2}{T} \frac{8}{15} I_{pk}^2 T_1 = 3,4 \text{ A}^2 \end{aligned}$$

Calcolandone la radice:

$$I_{RMS} = \sqrt{3,4} \simeq 1,8 \text{ A}$$

Questa, dunque, è la corrente efficace che passa nel diodo, e che entra nel bipolo condensatore//resistore !

A questo punto, calcolare la corrente RMS mediante integrale sul condensatore, al fine di selezionare un modello idoneo, non è assolutamente banale: bisognerebbe infatti integrare la $I_{RMS,C}^2$. Ciò che potremmo osservare, è una cosa carina: il professor Maddaleno insegna che in questi casi, osservando la topologia del circuito, si può notare che la $I_{RMS,C}$ è sostanzialmente la I_{RMS} calcolata a meno del valore medio! Usando il teorema di Maddaleno, dunque, dato un carico dotato della sua continua e un condensatore in cui vi sono solo tensioni alternate, vale la legge di Kirchhoff, e si può dire che, date I_{RMS}^2 e I_L^2 , la corrente RMS sul condensatore è pari a:

$$I_{RMS,C} = \sqrt{I_{RMS}^2 - I_L^2} = \sqrt{3,4 - 0,36} \simeq 1,7 \text{ A}$$

Il condensatore deve quindi essere dimensionato in modo da avere una $I_{RMS,C}$ pari a 1,7 A !

Questo esempio pratico è stato effettuato a partire da un'ipotesi ben precisa: quella di semplificare al massimo il circuito, evitando di utilizzare dispositivi quali il *PFC*. Usando il PFC, si potrebbe verificare, con calcoli analoghi o quantomeno simili a questi, che serve una capacità minore, e che le normative vengono rispettate, al prezzo però di un circuito elettronico aggiuntivo.

7.3 Alimentatori switching

Esistono alternative allo schema a blocchi appena analizzato? La risposta, come già accennato, è sì. Perché l'alternativa abbia senso, dovrebbe avere

sostanzialmente queste caratteristiche: un circuito più compatto, meno rumoroso, meno costoso e soprattutto sia un bravo cittadino rispettoso della legge (leggi: a norma).

Lo schema in questione potrebbe essere come in figura 7.5. Prima di tutto, abbiamo eliminato il componente critico: il trasformatore; per fare ciò, consideriamo il raddrizzatore collegato direttamente al passa-basso tagliante i disturbi di rete. In uscita dal raddrizzatore dunque si avrà una tensione di rete raddrizzata (con un valore di picco di circa 325 V).

A questo punto avremmo qualche problema: il regolatore di tensione che utilizzavamo precedentemente, per quanto non se ne sia ancora parlato, era *lineare*, ossia regolava una tensione fornendo un'uscita di valore prossimo a quella di ingresso. Ora, avendo in ingresso una tensione di 325 V circa, e dovendone avere in uscita al più una da 12, bisognerà utilizzare un regolatore molto, molto differente da quello che si dovrebbe utilizzare in un alimentatore tradizionale.

Questo regolatore di tensione deve presentare una corrente di ingresso molto più piccola rispetto a quella del precedente: utilizzando infatti un regolatore analogo al precedente in un circuito di questo tipo, si avrebbe bisogno, per ottenere 10 W in uscita, qualcosa come 1 kW in ingresso, dissipando in calore 990 W (ottenendo qualcosa più simile ad una stufa che ad un alimentatore): ciò non va assolutamente bene, dal momento che l'alimentatore deve avere la più elevata efficienza possibile.

Si noti, per quanto non se ne discuterà immediatamente in dettaglio, che, eliminando il trasformatore, abbiamo perso l'*isolamento galvanico*: il trasformatore infatti fungeva, oltre che da attenuatore di tensione, anche da isolatore tra il circuito e la rete elettrica, isolando di fatto dalla terra il sistema elettronico da alimentare; cosa buona sarebbe dunque il fatto che il regolatore funzioni anche da isolatore galvanico, cosa che realizzeremo solo al termine del discorso sugli alimentatori a commutazione. Si sappia che, comunque, bisognerà introdurre nello schema un trasformatore, ma dalle caratteristiche molto migliori rispetto a quelle precedenti: dal momento che, come vedremo, i regolatori switching lavorano a frequenze molto superiori rispetto a quella di rete, i trasformatori potranno avere dimensioni molto ridotte rispetto a quelle di un trasformatore che deve lavorare a 50 Hz, quindi non sarà assolutamente più un elemento critico.

Evitata la scarsa compattezza del circuito, rimane la faccenda della carica a suon di impulsi del condensatore e la conseguente violazione di normativa. Questo problema viene eliminato dal blocco PFC (*Power Factor Corrector*): esso infatti si comporta in modo simile ad una resistenza, per quanto riguarda "come è visto" dal raddrizzatore, assorbendo una potenza proporzionale alla corrente (tensione) istantanea; ciò risolve dunque il problema della potenza

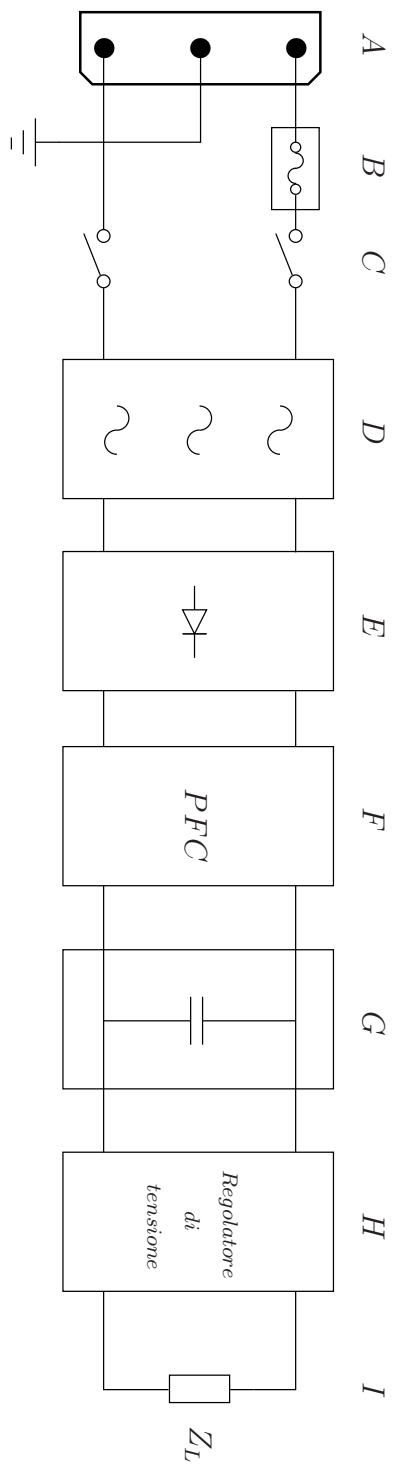


Figura 7.5: Schema a blocchi dell'alimentatore *switching*. In particolare il regolatore di tensione è non lineare.

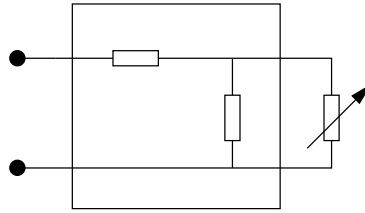


Figura 7.6: Schema circuitale di un generico regolatore di tensione.

reattiva assorbita, ma ne introduce un altro: la potenza assorbita non è più costante, come si vorrebbe fornire al carico!

In realtà, tuttavia, questo problema è intrinsecamente risolto dal condensatore: esso infatti è una sorta di serbatoio di energia, da un lato il PFC lo carica in modo non costante, ma dall'altro il regolatore/carico lo svuota a propria discrezione, ossia anche in maniera costante!

Riassumendo, a cosa serve, più precisamente, questo PFC? Sicuramente, da un lato non dissiperà potenza, pur essendo visto dal resto del circuito come una resistenza; questa caratteristica, servirà per *rifasare* il sistema: introducendo una sorta di resistenza, simulando un carico resistivo, la potenza reattiva assorbita diminuirà, e si tornerà in rispetto della normativa. Inoltre in uscita fornisce una forma d'onda sinusoidale, proprio come ci fa comodo! Una corrente sinusoidale al condensatore, infatti, permette l'uso del componente come “serbatoio”, proprio come appena accennato: la parte positiva rispetto al valore centrale della sinusoide implica una fase di riempimento del serbatoio, da parte del PFC, mentre il lato negativo rispetto al valore centrale della sinusoide implica una fase di svuotamento del serbatoio, quando si ha richiesta, da parte del regolatore, di corrente.

7.4 Regolatori di tensione lineari

Focalizziamoci a questo punto, dopo questa introduzione sugli alimentatori, sull'unico vero componente elettronico presente: il regolatore di tensione. Dei due tipi di regolatori che considereremo, ossia quelli *lineari* (o dissipativi) e quelli *switching*, analizzeremo ora la prima categoria.

La domanda fondamentale che potremmo porci è: come si fa a “spianare” una forma d'onda? Risposta: si introduce un partitore con elementi in grado di variare le proprie caratteristiche a seconda del segnale, in modo da poter mantenere costante la tensione di uscita (fig. 7.6).

Il regolatore dunque deve poter occuparsi delle variazioni sia del *carico* sia della *linea*.

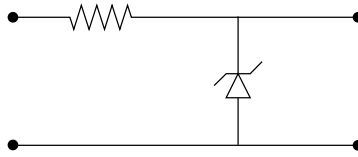


Figura 7.7: Schema di regolatore che impiega un elemento non lineare (diodo Zener) in parallelo ad uno lineare (resistenza).

Ci si presentano davanti, a questo punto, due possibili soluzioni del problema, ossia due possibili realizzazioni dei regolatori:

- Cambiare, nel partitore, il valore dell'elemento in parallelo, in modo che sul carico vi sia sempre la stessa tensione;
- Agire sull'elemento in serie anzichè su quello in parallelo; in tal caso, l'elemento in parallelo potrebbe pure venire eliminato, e considerare il partitore direttamente con il carico del regolatore.

7.4.1 Partitore con elemento variabile parallelo

La prima delle idee è la seguente: al fine di realizzare un ipotetico regolatore di tensione con un elemento in parallelo, si potrebbe introdurre un elemento non lineare in parallelo ad uno lineare (fig. 7.7).

Introducendo un diodo zener ed un resistore, si ottiene qualcosa di idealmente ottimo: lo zener infatti si fissa ad una certa tensione di lavoro, e quella non viene toccata! Idealmente bello, ma praticamente inutilizzato, per una serie di problemi: il valore della tensione zener infatti è difficile da calcolare, se non con un'indeterminazione molto elevata: i diodi zener infatti si appoggiano sostanzialmente su due fenomeni: effetto valanga ed effetto tunnel. Data una certa corrente nel diodo, è difficile stabilire quale dei due fenomeni sia prevalente sull'altro, quindi è difficile quantificare la tensione zener con una buona precisione a partire da modelli matematici.

Un diodo zener, più o meno come un diodo normale, si può modellizzare come una batteria, con una certa resistenza differenziale serie r_d : più corrente va nello zener, più tensione cade su r_d , e, per quanto essa sia piccola, provoca effetti non trascurabili in dispositivi che dovrebbero essere di precisione.

Altro problema è il seguente: lo zener conduce se e solo se vi scorre dentro una certa corrente minima. Questo dispositivo dunque non è in grado di funzionare indipendentemente dalla resistenza del carico! Le problematiche in questione sono in realtà due: se da un lato il diodo deve essere in grado di lavorare con resistori in parallelo molto piccoli, ossia che richiedono molta

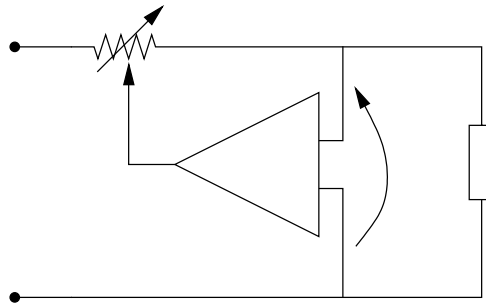


Figura 7.8: Schema di principio del regolatore con elemento variabile in serie. Il simbolo triangolare non rappresenta un amplificatore operazionale, ma piuttosto un semplice amplificatore generico.

corrente (lasciandone poca per il diodo), dall'altro devono essere in grado di reggere eventuali *correnti su circuito aperto*, ossia a carico staccato. In parole povere, la regolazione di carico di questo tipo di topologia è pessima.

Per applicazioni speciali esistono circuiti in grado di approssimare l'uso ed il comportamento di un diodo zener ideale (*superzener*), ma noi non li useremo; essi sono, comunque, molto utili più che come regolatori, come generatori di tensioni di riferimento di elevata precisione per alcune parti di un sistema elettronico.

7.4.2 Partitore con elemento variabile serie

Come regolatori per alimentatori di solito si utilizzano elementi di tipo diverso da quelli appena introdotti: come elemento variabile quello collegato in serie. L'idea alla base di ciò è la seguente: il valore della resistenza serie viene modificato in modo che la tensione sul carico rimanga costante; vi sarà dunque un amplificatore (inteso come blocco circuitale) che varierà la resistenza in funzione della tensione sul carico. Circuitualmente si può realizzare tutto ciò come secondo lo schema 7.9.

Di solito, come resistenza variabile si usa un transistor bipolare, comandato in base da un amplificatore operazionale. Questo comporta la necessità di una tensione di riferimento, V_{REF} , da confrontare con la tensione di carico, V_L , eventualmente attenuata mediante un partitore resistivo. L'alimentazione dell'operazionale deriva dall'ingresso del sistema: trattandosi di tensioni sufficientemente elevate, sono ottime per la realizzazione della polarizzazione dell'operazionale.

Conoscendo V_{REF} , si può facilmente vedere che:

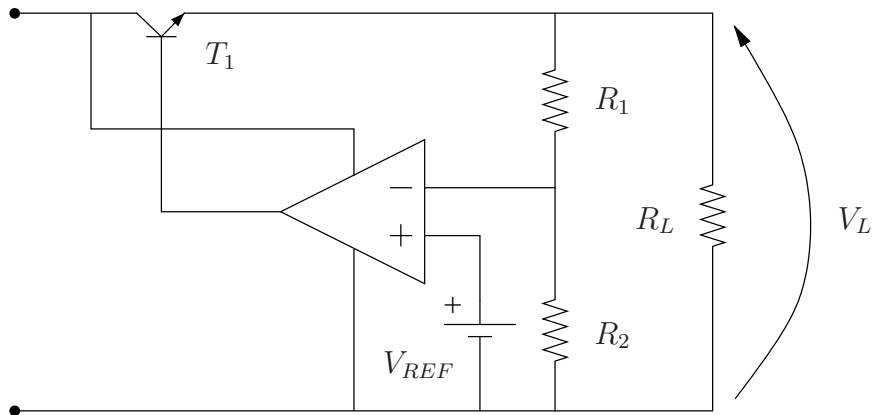


Figura 7.9: Schema circuitale che rappresenta una realizzazione pratica dello schema di principio di figura 7.8 con dispositivi in carne ed ossa.

$$V_u = V_{REF} \left(1 + \frac{R_1}{R_2} \right)$$

Questo circuito è sostanzialmente un amplificatore non invertente che amplifica la tensione di riferimento e la porta sull'uscita. L'idea è ottima, la realizzazione non tanto: questo circuito ha una serie di problemi, che ora dobbiamo localizzare e risolvere. Il primo problema, è in realtà "doppio": il transistor all'ingresso deve essere di potenza, e cioè deve permettere una buona corrente di collettore. Perché ci sia una corrente di collettore elevata, dovrebbe essere elevata la corrente di base, ossia la corrente fornita in uscita dall'operazionale; l'operazionale dovrebbe dunque fornire correnti decisamente troppo elevate¹ (quantomeno, per un normale amplificatore operazionale). Al posto di un singolo transistor, come resistenza variabile, si può usare una coppia Darlington! Si ottiene così al contempo un transistor di potenza, ed un guadagno abbastanza alto da permettere correnti di uscita dell'operazionale sufficientemente basse.

Altro problema, più interessante da trattare, fa riferimento alla figura 7.10.

V_{REF} deve essere una tensione di riferimento, e deve essere molto precisa; si può ottenere collegando mediante uno zener una tensione di riferimento stabile all'ingresso; il resistore R dunque alimenta lo zener.

Per dimensionare correttamente R , da un lato vediamo che carico e riferimento non bravi vicini e non si disturbano (sono scollegati), ma controlliamo

¹Dal momento che i BJT in questione sono di potenza, dunque hanno un guadagno in corrente β generalmente basso

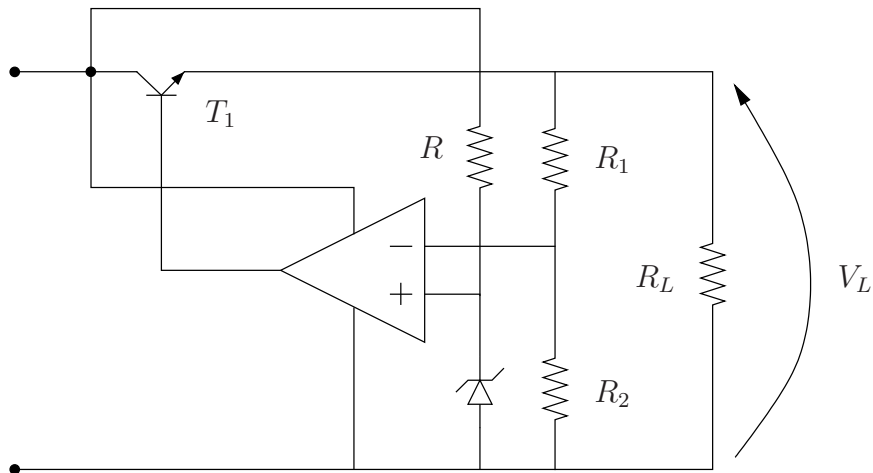


Figura 7.10: Introduzione di un diodo Zener per ottenere la tensione di riferimento necessaria al terminale non invertente dell'*op-amp*.

che che non siamo insensibili a variazioni di linea: cambiando la tensione di ingresso, potrebbe anche cambiare quella dello zener, e ciò non è per niente bello. Una soluzione al problema, è spostare R (fig. 7.11).

Collegando l'uscita all'ingresso in questo modo, si riesce a rendere del tutto indipendente dall'ingresso (e dunque da variazioni di linea) la tensione dello zener.

Si presenta a questo punto un ulteriore problema, a seconda dell'operazionale in uso: se usassimo un TL081/TL082, questo circuito sarebbe fatto e finito, perfetto: non presenterebbe più problemi di particolare genere: sull'uscita dell'operazionale, per motivi di dinamica, si avrebbero almeno 1,5 V; da qua, la reazione positiva continuerebbe ad aumentare il segnale in uscita, fino a quando la tensione dello zener non raggiunge un livello tale da bloccare il meccanismo, e quindi la relativa crescita del segnale. Con un $\mu A741$ o un LM324, un ragionamento del genere non è effettuabile, dal momento che non si hanno le condizioni di dinamica prima citate. Per risolvere questo problema, dunque, proponiamo lo schema definitivo (fig. 7.12).

Introduciamo nel circuito due ulteriori diodi, alimentati dalla resistenza R_4 : all'inizio, quando la tensione di uscita è 0 V, i diodi con le loro V_γ portano sul "+" dell'operazionale una tensione iniziale; la reazione positiva può dunque innescare un meccanismo tale da innalzare il segnale sull'uscita, fino a quando D_3 , ossia il diodo zener, la stabilizzi; a questo punto il diodo si interdice, il sistema si stabilizza, e tutto funziona.

Questo circuito si chiama *regolatore lineare* poichè per funzionare è necessario che il transistor T_1 sia in stato di linearità. Ciò pone un evidente limite

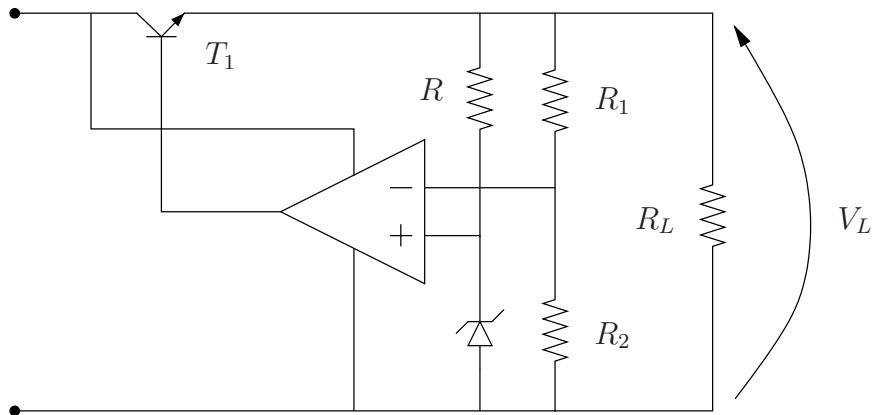


Figura 7.11: Spostamento del resistore R in una posizione migliore rispetto a quella dello schema 7.10.

all'efficienza del circuito: spesso il transistor infatti è una coppia Darlington, quindi, per poter mantenere una determinata tensione di uscita, è necessario che quella di ingresso sia quantomeno maggiore di $2V_{BE}$ rispetto a quella di uscita. Spesso inoltre si introduce nel circuito un ulteriore transistor, atto a controllare le correnti su carichi di corto circuito (*protezione attiva*) che implica la necessità di definire una tensione, detta tensione di *drop-out*, come la differenza tra la tensione di uscita e quella di ingresso:

$$V_{DO} \triangleq V_u - V_i$$

La tensione di drop-out è un problema non trascurabile o risolvibile facilmente: supponendo che le correnti di ingresso e quelle di uscita siano (in buona approssimazione) uguali, si può dire che:

$$P_u = V_u \cdot I_u$$

$$P_i = V_i \cdot I_i \simeq V_i \cdot I_u$$

La potenza dissipata dal regolatore è dunque pari a:

$$P_{diss} = P_i - P_u \simeq (V_i - V_u)I_u$$

Volendo calcolare l'efficienza η del circuito, si ha:

$$\eta = \frac{P_u}{P_i} = \frac{V_u I_u}{V_i I_u} = \frac{V_u}{V_i}$$

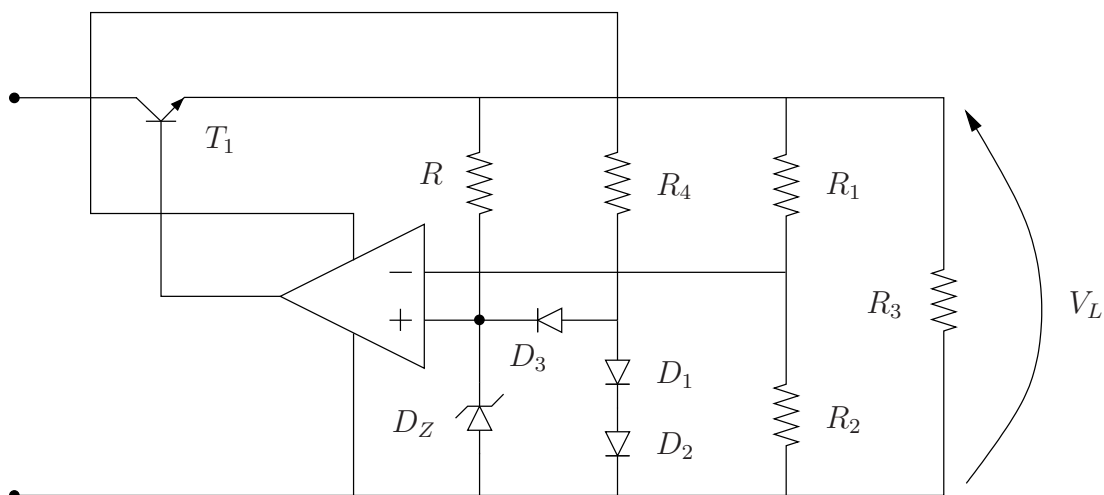


Figura 7.12: Schema del regolatore che risolve alcuni problemi legati alla dinamica dell'amplificatore operazionale impiegando dei diodi aggiuntivi rispetto alle soluzioni proposte precedentemente.

Maggiore è la differenza tra tensione di ingresso e tensione di uscita, minore sarà il rendimento del sistema. Di fatto, questo è l'unico problema che non risolveremo in un regolatore lineare di tensione.

I regolatori di questo tipo vengono detti **a tre piedini**, ma è possibile che ne presentino anche di più. Un esempio di piedini supplementari sono quelli di *sense*: capita che, ad esempio in un personal computer, il carico sia molto lontano dall'alimentazione; poichè i fili trasportano però grosse correnti, la caduta di tensione sui fili potrebbe essere decisamente elevata. Per questo motivo sulle *motherboard* vi sono segnali di sense: anche se essi sono lontani dal carico, le correnti nei cavi di sense sono molto ridotte rispetto a quelle di alimentazione, per cui le cadute di tensione trascurabili, ed è possibile regolare la tensione in uscita anche in questa maniera. Presentiamo uno schema a blocchi ed uno circuitale riguardante questo tipo di sistema di controllo (fig. 7.13 e 7.14).

E se si rompesse uno dei fili di sense capiterebbe che la tensione sul carico vista dal sense sarebbe sempre nulla, dunque il BJT cercherebbe di sparare sul carico più corrente che può, distruggendo se stesso che il carico. Per questo motivo, per prevenire disastri di questo tipo, si introducono resistenze (molto elevate) tra il filo dell'uscita e quello di sense: le resistenze devono essere elevate dal momento che normalmente non deve scorrervi corrente, ma, nel caso vi fossero danni al morsetto di sense, esse devono divenire un passaggio forzato per parte delle correnti.

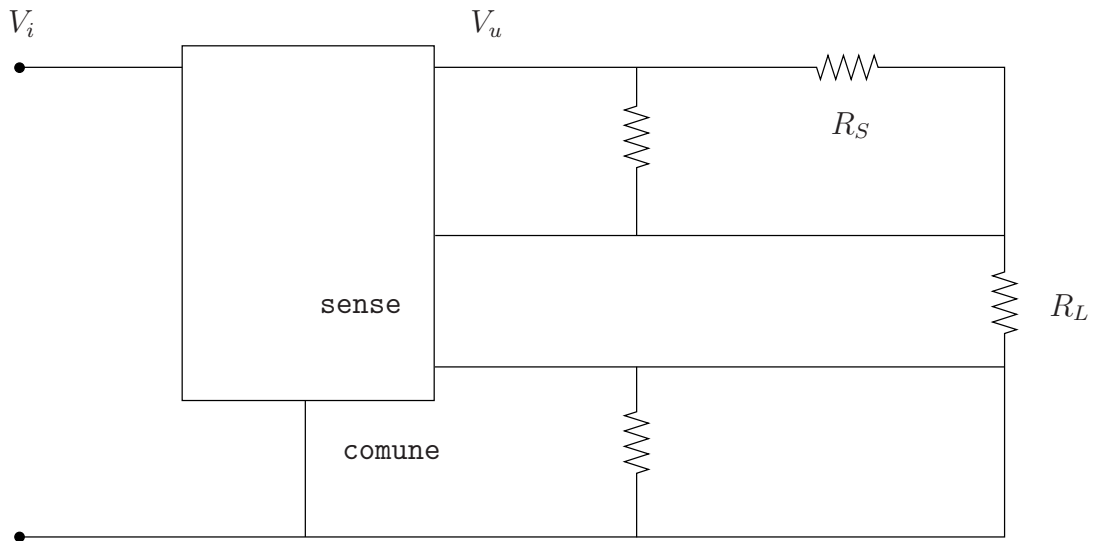


Figura 7.13: Schema a blocchi di un generico regolatore *a tre piedini* che in realtà ha dei terminali aggiuntivi di *sense*.

7.4.3 Regolatori di tensione “regolabili”

Un regolatore di tensione si può semplicemente modellizzare mediante il simbolo di figura 7.15.

Una cosa che non si può fare con i circuiti finora introdotti è variare la tensione di uscita V_u . A partire da questo schema a blocchi, e dunque senza modificare la circuiteria interna al blocco, è possibile introdurre una piccola variante, in grado di risolvere efficacemente questo problema. Nella fattispecie, se modifichiamo la tensione sul comune (che non deve obbligatoriamente essere riferito a 0 V), potremmo aumentare V_u aumentando il riferimento (fig. 7.16).

Collegiamo il comune e l’uscita con un partitore resistivo; definendo I_Q (*quiescent*) come la corrente che scorre quando il carico è scollegato dal regolatore, si può facilmente calcolare la tensione di uscita:

$$V_u = V_{REG} + R_2 \left(I_Q + \frac{V_{REG}}{R_1} \right)$$

La I_Q però non ci piace molto: essa potrebbe dipendere da molte variabili, come la temperatura di lavoro, l’invecchiamento del sistema, e quant’altro. Ciò che si può fare, invece, è dir ciò:

$$V_u = V_{REG} + R_2 I_Q + R_2 \cdot \frac{V_{REG}}{R_1} = R_2 I_Q + V_{REG} \left(1 + \frac{R_2}{R_1} \right)$$

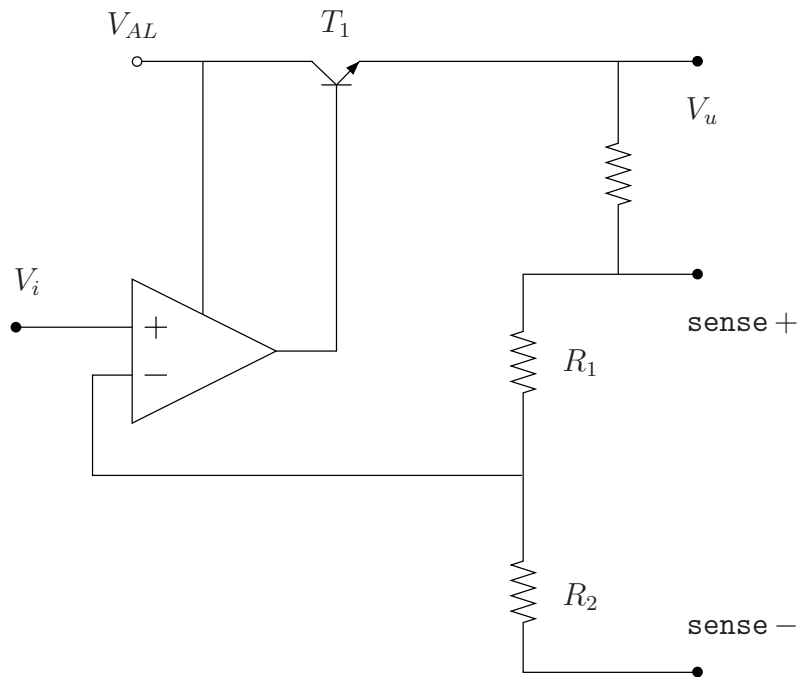


Figura 7.14: Realizzazione circuitale di un regolatore con terminali di *sense*.

Con una R_1 sufficientemente piccola rispetto R_2 , si potrà aumentare notevolmente il rapporto $\frac{R_2}{R_1}$, ma quindi si potrà trascurare il termine dipendente da I_Q .

Di solito, quando i regolatori servono per regolare la tensione di uscita, $V_{REG} = 1,25 \text{ V}$, per convenzione.

7.4.4 Regolatori LDO (Low Drop-Out)

Abbiamo detto che uno dei principali problemi dei regolatori di tensione lineari è la tensione di drop-out, ma sarebbe utile poter utilizzare un regolatore di tensione con V_{DO} sufficientemente bassa da non provocare problemi. Per fare ciò, tuttavia, sarebbe necessario utilizzare il transistore in stato di non linearità!

Questo, a meno che non si provi a rivoluzionare il circuito; proponiamo quindi due soluzioni, differenti tra loro, atte a rimediare al problema.

Soluzione 1: nMOS di potenza

Lo schema della prima soluzione è quello di figura 7.17. Ci siamo lamentati di V_{BE} e poi introduciamo un MOSFET di potenza, la cui V_{Tn} è molto più

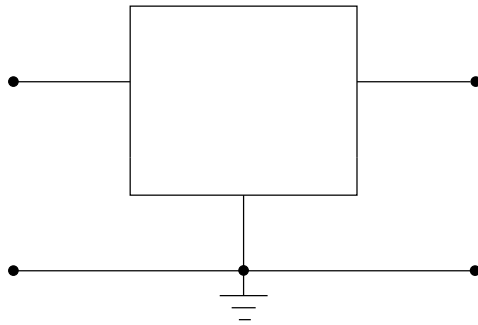


Figura 7.15: Simbolo di un regolatore di tensione.

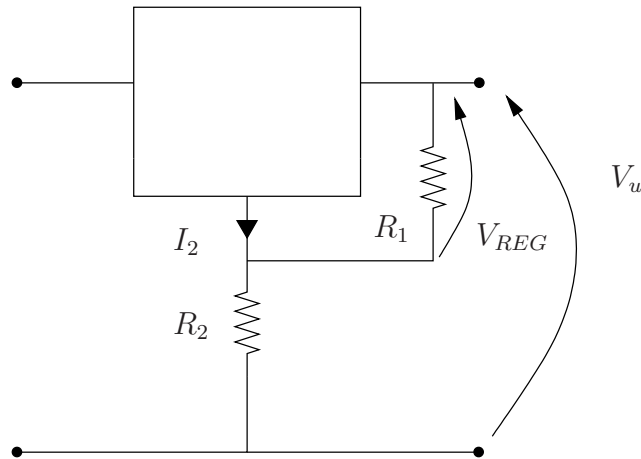


Figura 7.16: Regolatore di tensione variabile realizzato con alcune resistenze.

elevata? Questo circuito, in realtà, è un ottimo circuito LDO, se non per un aspetto; guardiamo il circuito sotto un punto di vista differente da quello delle tensioni: la corrente nel gate è pressochè nulla, ma, con un duplicatore di tensione (pompa di carica), si potrebbe eliminare V_{Tn} , e pilotare ottimamente il nMOS. Cosa brutta del circuito è la pompa di carica stessa: esse infatti implicano l'introduzione di un ulteriore blocco elettronico nel circuito, cosa che ne aumenta notevolmente il costo. Questo, aldilà dell'aspetto economico, rappresenta probabilmente il migliore dei regolatori di tensione lineari LDO.

Soluzione 2: pnp

Il modo “classico” per realizzare un regolatore LDO, è utilizzare un transistor BJT pnp come indicato nello schema 7.18.

Quello che otterremo è un circuito invertente, dunque, al fine di reazionarlo

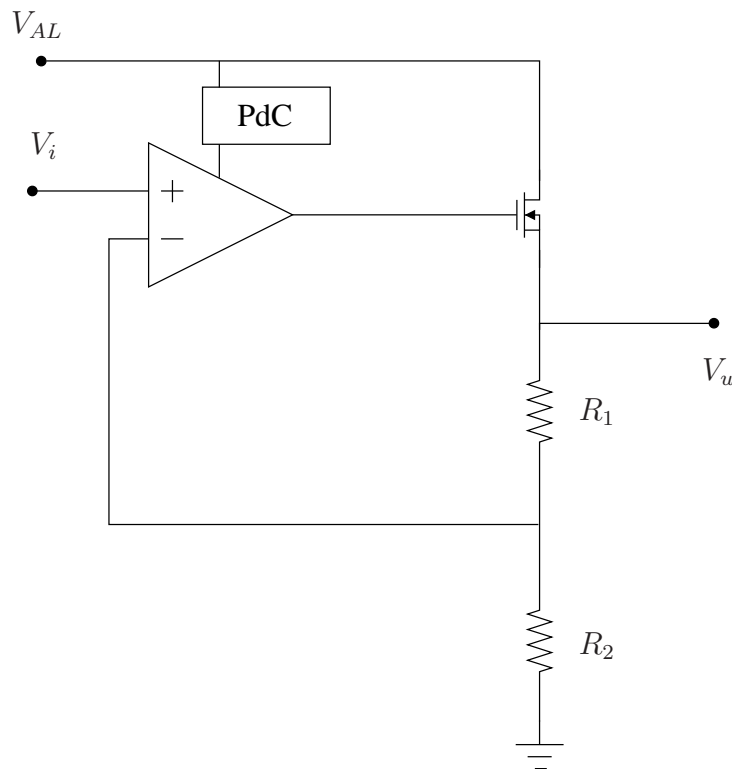


Figura 7.17: Regolatore *low drop-out* con pompa di corrente.

negativamente, non dovremo introdurre altre inversioni del segnale, e collegare la retroazione al morsetto non invertente.

Una volta collegato il carico al circuito, il guadagno di anello *dipende dal carico!* Infatti il guadagno di anello è funzione della corrente entrante nell'anello di retroazione, e questa a sua volta è legata a quanta ne va dentro il carico.

Un'idea per stabilizzare il circuito è quella di introdurre, sull'uscita dell'LDO, un condensatore. In questo modo si introduce un polo a frequenza opportuna nella funzione di trasferimento del guadagno di anello.

Il produttore del regolatore di tensione deve fornire però non solo il valore della capacità utilizzata, bensì il preciso modello di condensatore da utilizzare. Un condensatore presenta infatti diversi parametri: la ESR (*Equivalent Series Resistance*), induttanze parassite, e altro; a seconda dal condensatore dunque (che esso sia ceramico, al tantalio, elettrolitico..), cambiano la ESR, e cambia la funzione del guadagno di anello: il nostro LDO si può dunque ridurre, spesso sbagliando condensatore, ad un oscillatore. Con circuiti del genere, si finisce per ottenere tensioni di drop-out dell'ordine di anche 0,3 V.

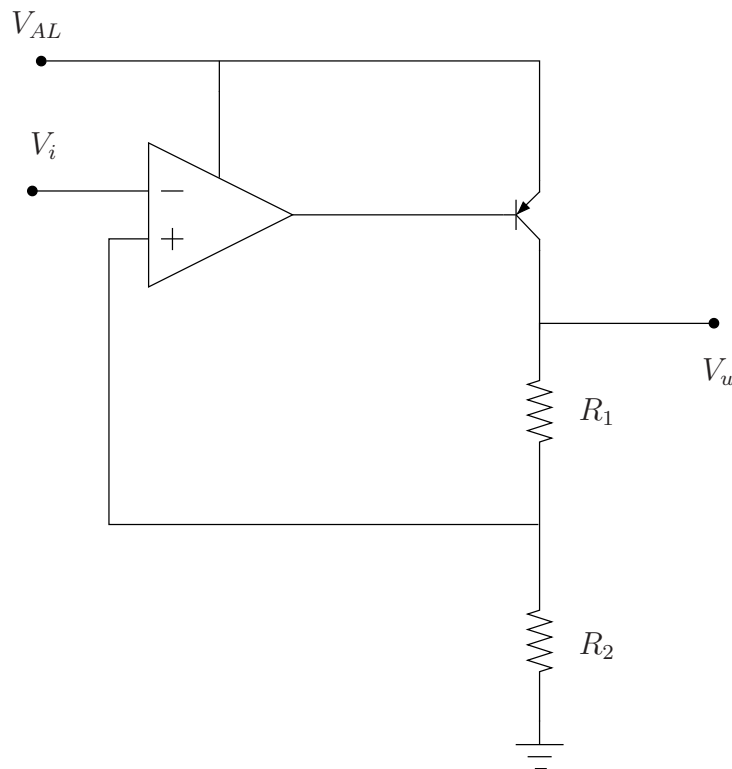


Figura 7.18: Regolatore *low drop-out* con BJT pnp.

Queste ultime osservazioni servono per spiegare semplicemente una cosa: un LDO non è assolutamente un dispositivo facile da gestire.

7.5 Regolatori switching

I regolatori lineari, come finora detto, presentano alcuni problemi: la tensione di ingresso deve infatti essere almeno un po' più grande di quella di uscita desiderata, di conseguenza l'efficienza η risente di ciò.

Un'idea fondamentale per migliorare il rendimento è quella di usare soli componenti reattivi, ossia componenti che, a meno di effetti di non idealità, minimizzano la dissipazione di potenza attiva nel circuito.

I regolatori *switching* (regolatori a commutazione), e di conseguenza gli alimentatori switching (basati sull'uso di convertitori switching), sono basati sulla seguente idea: il convertitore è costituito da 3 tipi di componenti (al più 4): induttori, condensatori, interruttori, diodi (eventualmente). Lo schema a blocchi del sistema è proposto in figura 7.19.

Di questo schema studieremo solo il convertitore, o meglio le principali

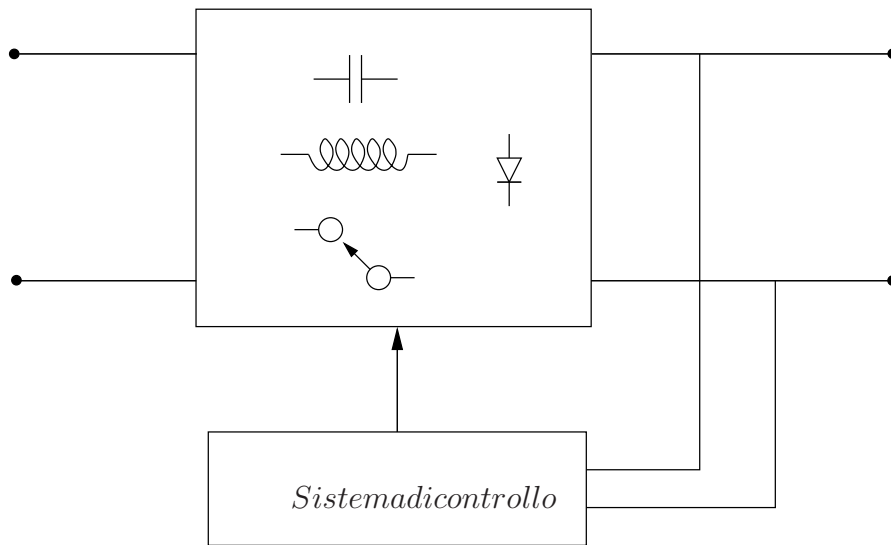


Figura 7.19: Schema a blocchi di un regolatore a commutazione. Il blocco rettangolare superiore viene chiamato *convertitore*.

topologie di convertitore, dal momento che la teoria del sistema di controllo è decisamente complicata, e non si ha intenzione di fornirne, in questa trattazione, alcun elemento.

La legge che lega la variabile di uscita del sistema di controllo alla tensione di ingresso è infatti non lineare e non tempo-invariante quindi, al variare delle condizioni di carico, le equazioni cambiano radicalmente. Ciò che faremo, dunque, è solo trattare (in maniera non eccessivamente esauriente) le principali topologie di convertitori di potenza: buck, boost, buck-boost, flyback.

7.5.1 Convertitore *buck*

Il primo convertitore che studieremo è il buck (*step-down*): il nome deriva presumibilmente dal fatto che l'induttanza sulla quale è basato tende ad immagazzinare energia, come se fosse un secchio (*buck* in inglese). Step-down è un nome molto più sensato: la tensione di uscita, infatti, è sempre minore (al più uguale) di quella di ingresso. Lo schema è presentato in figura 7.20.

Si noti che il 'convertitore nel vero senso della parola non è tutto il circuito, bensì solo il blocco costituito da interruttore, diodo, induttore. Questo circuito viene pilotato mediante un'onda quadra a frequenza costante, ottenendo il risultato di avere due stati: per un certo tempo T_1 il circuito è

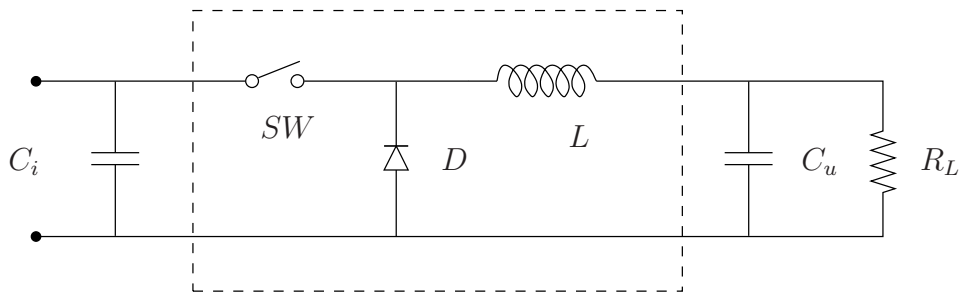


Figura 7.20: Schema circuitale del regolatore a commutazione step-down (buck). Il blocco convertitore è quello compreso nel rettangolo tratteggiato.

in stato ON, per il tempo T_2 in stato OFF. Il periodo di switching, ossia il periodo del sistema, sarà:

$$T_{sw} = T_1 + T_2 \longrightarrow f_{sw} = \frac{1}{T_{sw}} = \frac{1}{T_1 + T_2}$$

Abbiamo dunque ricavato anche la frequenza del sistema; come magari accenneremo meglio in seguito, mediante una PWM (Pulse Width Modulation), il sistema di controllo regola il duty cycle del circuito, modificando la durata T_1 , in cui il circuito è in stato ON.

Si noti che studieremo questo circuito rigorosamente a regime: ad ogni ciclo il circuito dunque si comporterà esattamente come nel ciclo precedente, in modo da evitare transitori e comportamenti particolari. Ciò che potremo fare, dunque, sarà considerare V_i e V_u costanti, ossia non considerare modifiche da parte del sistema di controllo; ciò che intendiamo fare è caratterizzare il funzionamento del solo convertitore e in regioni di funzionamento standard, evitando lo studio di fenomeni che comunque potrebbero essere fondamentali in sede di progetto.

Esistono, a regime, sostanzialmente due modi di funzionamento del circuito:

- CCM (*Continuous Current Mode*): modo in cui la corrente sull'induttanza, i_L , è sempre maggiore di 0;
- DCM (*Discontinuous Current Mode*): modo in cui la corrente sull'induttanza può anche annullarsi.

Trattiamo ora nello specifico i modi di funzionamento del convertitore, enfatizzando soprattutto sul CCM.

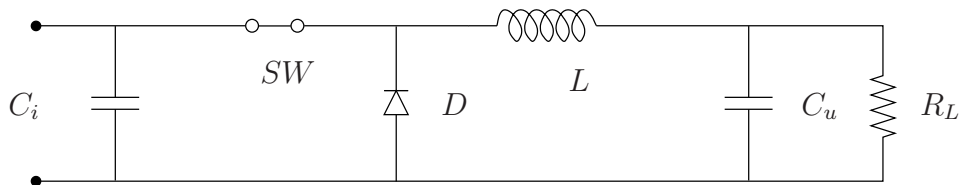


Figura 7.21: Schema circuitale del buck con interruttore chiuso.

Continuous Current Mode

Il nostro obiettivo è determinare il legame tra il duty cycle D_C dello switch e la tensione di uscita. Per fare ciò, si deve partire dallo studio dell'induttanza, nella fattispecie dallo studio della sua corrente, $i_L(t)$, al variare del tempo. Sappiamo che:

$$V_L = L \frac{di_L(t)}{dt} \longrightarrow di_L(t) = \frac{1}{L} V_L dt$$

Integrando ambo i membri:

$$i_L(t) = i_L(0) + \frac{1}{L} \int_0^t V_L(t) dt$$

Dovremo studiare $V_L(t)$ e $i_L(t)$ sostanzialmente in due condizioni: interruttore SW chiuso ed aperto.

Vediamo dunque di distinguere le due casistiche:

- Se l'interruttore è chiuso, la tensione ai capi del condensatore, V_L , sarà semplicemente:

$$V_L = V_i - V_u$$

Questa osservazione viene fatta trascurando le cadute di tensione sullo switch, e quelle sul diodo.

- Se l'interruttore è aperto, se prima nell'induttore vi era una certa corrente $i_L(t)$, il diodo permette che scorra ancora la stessa corrente di prima². Si può dunque osservare semplicemente che:

$$V_L = -V_u$$

Vediamo quindi cosa capita: durante il tempo T_1 , la tensione sarà al livello (positivo) $V_i - V_u$, mentre, durante il tempo T_2 , al livello (negativo) $-V_u$.

²Supponendo che non vi siano cadute di tensione nel circuito, e che dunque la corrente si mantenga costante

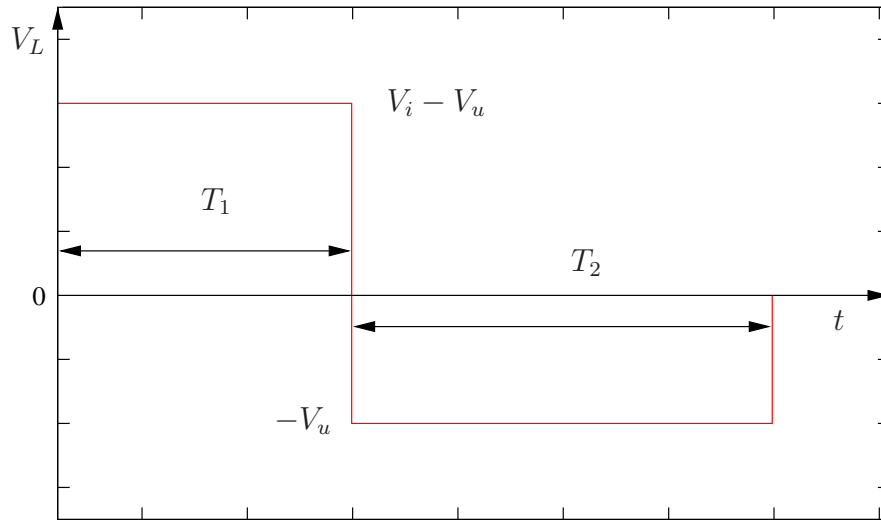


Figura 7.22: Andamento della tensione V_L nel periodo di funzionamento.

Per quanto riguarda invece la corrente sull'induttore, essa non avrà discontinuità, dal momento che essa è una variabile di stato. Supponendo che il livello iniziale di $i_L(t)$ sia pari ad una certa I_A , si avrà che l'integrale di una costante, come ben noto, sarà un segmento di retta di pendenza pari alla suddetta costante:

$$i_L(t)|_{SW=ON} = i_L(0) + \int_0^t V_L(t)dt = I_A + \int_0^t (V_i - V_u)dt = I_A + \frac{1}{L}(V_i - V_u) \cdot t$$

Con un ragionamento del tutto uguale:

$$i_L(t)|_{SW=ON} = i_L(0) + \int_0^t V_L(t)dt = I_B - \frac{1}{L}V_u \cdot t$$

Dal punto iniziale I_A la corrente nel tempo T_1 aumenta fino a I_B per poi tornare, dopo un tempo T_2 , a I_A . Si può dunque dire che:

$$I_B = I_A + T_1 \cdot \frac{1}{L} \cdot (V_i - V_u)$$

Dualmente, da I_B a I_A si impiegherà un tempo T_2 :

$$I_A = I_B - T_2 \cdot \frac{V_u}{L}$$

Si può dunque semplicemente scrivere che:

$$I_B - I_A = T_1 \cdot \frac{V_i - V_u}{L} = T_2 \frac{V_u}{L}$$

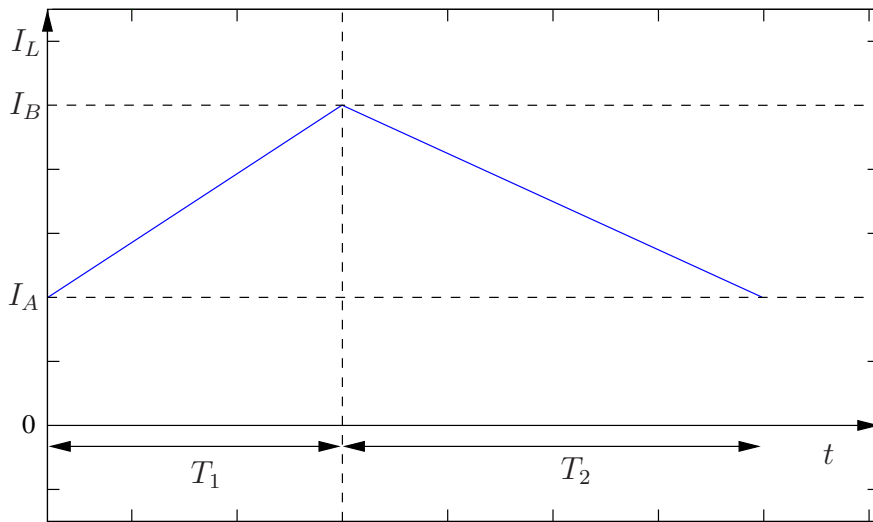


Figura 7.23: Andamento della corrente I_L nel periodo di funzionamento.

Quindi, si può ricavare che:

$$T_1(V_i - V_u) = T_2V_u \longrightarrow T_1V_i = (T_1 + T_2)V_u$$

$$\longrightarrow \frac{V_u}{V_i} = \frac{T_1}{T_1 + T_2} = D_C$$

Scoperta: in un convertitore buck, usato in modo continuo, la tensione di uscita è proporzionale al duty cycle del circuito, D_C .

Abbiamo dunque descritto il funzionamento del convertitore buck in modalità continua. Vogliamo capire quali sono le condizioni ed i limiti affinché il convertitore però possa lavorare in questa modalità di funzionamento.

Un punto di partenza può essere il seguente: consideriamo la corrente I_u , ossia la corrente che scorre sul resistore di carico, R_L ; si può vedere facilmente che:

$$I_u = \frac{V_u}{R_L}$$

Tutto ok, ma una piccola osservazione non ci deve sfuggire: siamo a regime, quindi, per ogni ciclo di funzionamento, si avrà un comportamento del tutto analogo a quello dei cicli precedenti; si può pensare dunque che, su R_L , scorra sempre solo la *componente media* della corrente dell'induttore, e dunque che:

$$I_u = I_{L,AVE}$$

Siamo in modo continuo; la corrente media in tal caso si può pensare come media aritmetica delle correnti, e dunque:

$$I_{L,AVE} = \frac{I_A + I_B}{2}$$

Ma noi, dalle precedenti espressioni, avevamo ricavato che:

$$I_B - I_A = T_1 \cdot \frac{V_i - V_u}{L} = T_2 \frac{V_u}{L}$$

Usiamo la prima, ma non prima di aver ricordato e rielaborato la definizione di duty cycle:

$$D_C = \frac{T_1}{T_1 + T_2} = \frac{T_1}{T_{sw}} \longrightarrow T_2 = T_{sw}(1 - D_C) = \frac{1 - D_C}{f_{sw}}$$

Poichè $I_{L,AVE}$ è pari a I_u , e $I_{L,AVE}$ è la media delle correnti, si ha che:

$$\frac{I_A + I_B}{2} = \frac{V_u}{R_L} \longrightarrow I_A + I_B = \frac{2V_u}{R_L}$$

Per quanto riguarda invece $I_B - I_A$, abbiamo:

$$I_B - I_A = \frac{V_u}{L} T_2 = \frac{V_u}{L} \cdot \frac{1 - D_C}{f_{sw}}$$

Considerando la differenza della prima e della seconda espressione, si può trovare:

$$(I_A + I_B) - (I_B - I_A) = 2I_A = \frac{2V_u}{R_L} - \frac{V_u(1 - D_C)}{Lf_{sw}}$$

Da qui:

$$I_A = \frac{V_u}{R_L} - \frac{V_u(1 - D_C)}{2Lf_{sw}}$$

Per quanto riguarda il convertitore buck, esso dovrà per forza lavorare anche in modalità discontinua! Infatti il D_C è legato alla tensione di uscita: se vi fosse un aumento della tensione di ingresso, quella di uscita dovrebbe diminuire, e per diminuirla il sistema di controllo agirebbe proprio sul duty cycle del segnale di pilotaggio a onda quadra; diminuendo D_C , il fattore $1 - D_C$ aumenta, e con esso il valore minimo dell'induttanza. Con carichi piccoli (R_L piccole) e tensioni di ingresso ridotte, il buck dovrebbe lavorare in regione di funzionamento continua, ma ciò non è comunque sempre possibile. Ciò ci fa intuire che la regolazione di carico di un convertitore buck sia buona, ma quella di linea assolutamente no: una variazione della tensione di ingresso

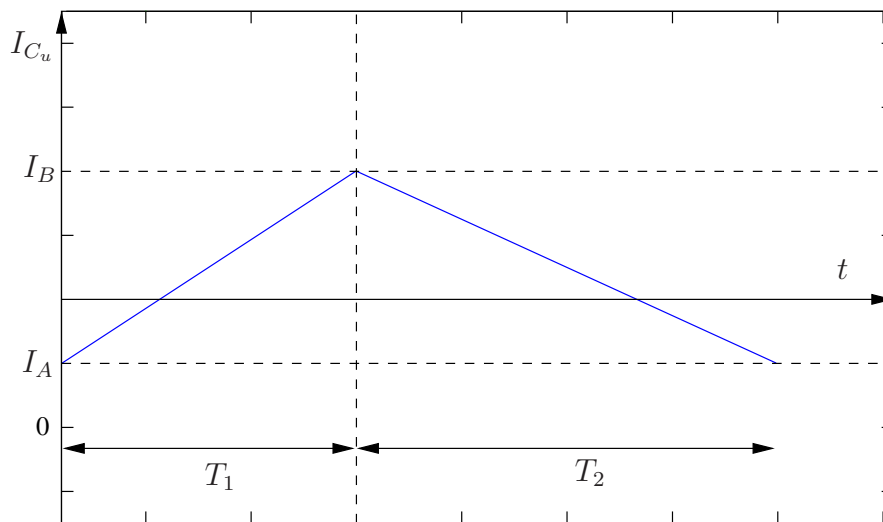


Figura 7.24: Andamento della corrente nel condensatore C_u nel periodo di funzionamento.

può far infatti cambiare la modalità di funzionamento del convertitore, cosa per noi assolutamente da evitare (come vedremo tra breve).

Possiamo intuire che il rendimento del sistema sia piuttosto elevato, anche se si può facilmente capire quali siano i suoi limiti: l'interruttore è infatti realizzato mediante MOSFET, dunque ogni commutazione di stato provocherà di fatto perdite di energia. Anche il diodo e l'induttore, per quanto per ora siano stati idealizzati, dissiperanno una certa potenza: essi infatti hanno, al loro interno, elementi resistivi parassiti.

Non è difficile realizzare circuiti di protezione a correnti per carichi cortocircuitati: si può infatti *sentire* quanta corrente va nel carico e smettere di aprire e chiudere l'interruttore. Nel caso di sovratensioni in ingresso, invece, è assolutamente necessario introdurre, a monte del convertitore, una circuiteria di protezione.

Sempre per quanto concerne il CCM, studiamo ancora un elemento, fondamentale: le forme d'onda delle tensioni/correnti nel resto del circuito, in modo da studiarne le criticità.

- Nel condensatore di uscita, C_u , la corrente ha la stessa forma d'onda che nell'induttanza, ma privata del suo valor medio: sul carico infatti avremo $I_{L,AVE}$, quindi la restante parte della corrente dell'induttanza non potrà che andare nel condensatore.
- Nello switch, vi saranno, dei due contributi (crescente e decrescente), solo quello crescente della corrente I_L .

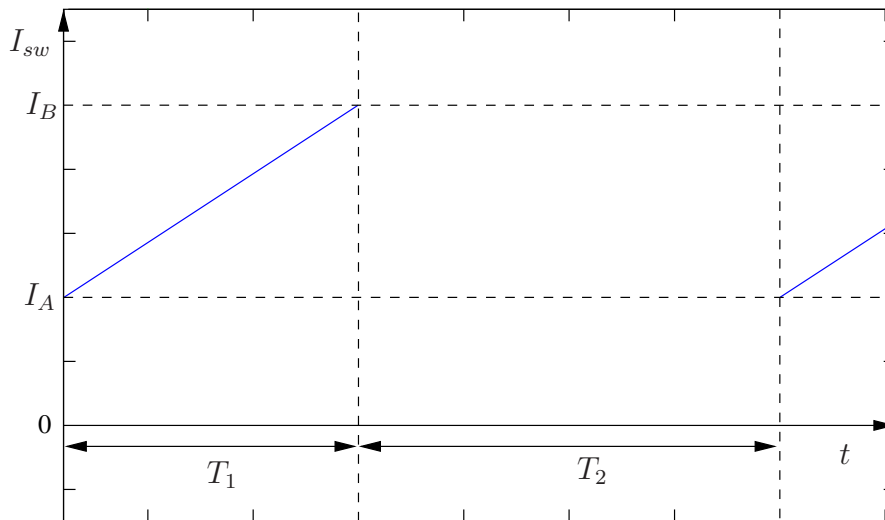


Figura 7.25: Andamento della corrente nell'interruttore nel periodo di funzionamento.

Quando lo switch è chiuso infatti vi scorre l'intera I_L , ma, quando è aperto, non può scorrervi niente. Il resto della corrente sull'induttore, infatti viene dal diodo e non dall'interruttore.

- Secondo gli stessi ragionamenti, la corrente di ingresso sarà la componente continua della corrente dello switch;
- Nel condensatore di ingresso, C_i , vi sarà una corrente pari a quella dello switch, ma privata del suo valor medio.
- La corrente sul diodo ha un andamento duale a quello dello switch: il diodo conduce infatti soltanto quando gli altri dispositivi non conducono, presentando dunque solo il cosiddetto "andamento decrescente".

Queste osservazioni possono portarci ad introdurre un fatto: il componente capacitivo critico, sicuramente, sarà C_i : dal momento che l'andamento della corrente al suo interno è discontinuo, I_{RMS} sarà più alta, e quindi servirà un condensatore più robusto sotto il punto di vista della corrente efficace che può reggere.

Si può proporre una piccola variante: per tensioni di uscita basse, al posto del diodo, si potrebbe utilizzare un secondo switch a MOSFET, in controfase al primo: il ruolo del diodo è infatti esclusivamente quello di condurre quando lo switch è chiuso, dunque l'utilizzo è del tutto equivalente.

Questo circuito è anche detto *Synchronous Rectifier Buck Converter*.

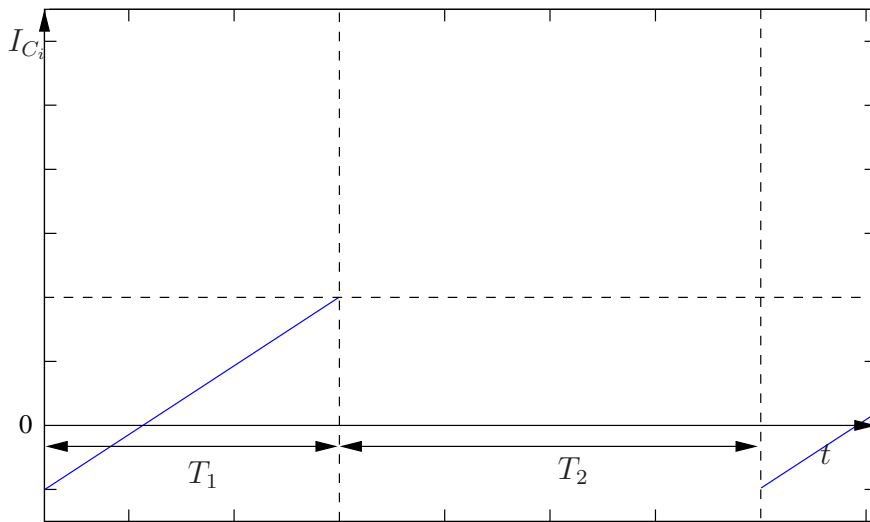


Figura 7.26: Andamento della corrente nel condensatore d'ingresso C_i nel periodo di funzionamento.

Discontinuous Current Mode

Terminiamo la trattazione del convertitore buck con un conto finale: il calcolo delle equazioni di funzionamento del buck in modo discontinuo. Passare al modo discontinuo comporta infatti un cambio delle equazioni di funzionamento e, generalmente, un aumento della tensione di uscita. La caratteristica fondamentale della modalità discontinua è il fatto che la corrente dell'induttanza è nulla per un certo intervallo di tempo. L'andamento potrebbe essere quello delle figure 7.29 e 7.30.

Per quanto riguarda la corrente, ad un certo punto aumenta e poi diminuisce, per rimanere nulla per un certo intervallo di tempo T_{OFF} . Il diodo non permette infatti che scorra una corrente negativa, quindi blocca tutto a 0 A (e 0 V).

L'andamento della tensione potrebbe essere più o meno simile al precedente, tenendo conto delle attuali novità: oltre all'andamento finora previsto, avere un tratto con 0 V, corrispondente al tempo per cui la corrente è nulla nel circuito.

Ragionando come prima sulle correnti, si avrà che:

$$\frac{V_i - V_u}{L} \cdot T_{ON} = \frac{V_u}{L} \cdot T_2$$

Ora però abbiamo un problema: il periodo T_{sw} del convertitore non è più costituito da T_{ON} (il vecchio T_1), e T_2 . Possiamo certamente dire da un lato che:

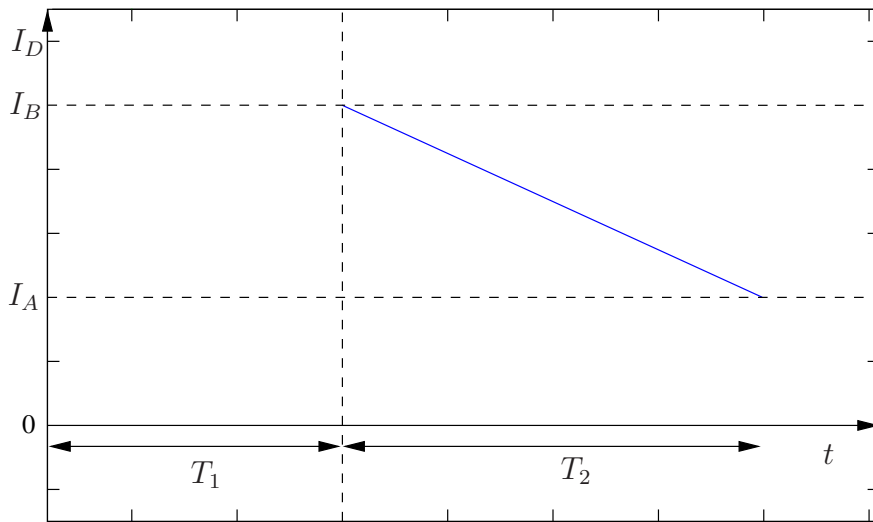


Figura 7.27: Andamento della corrente I_D del diodo nel periodo di funzionamento.

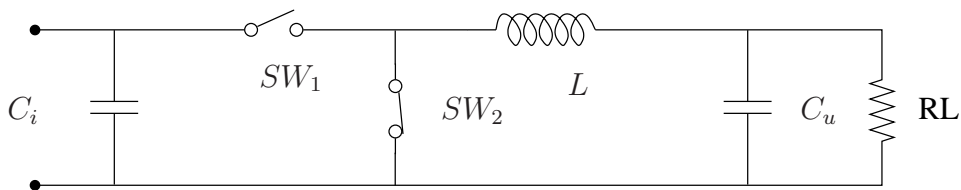


Figura 7.28: SRBC: il buon vecchio Buck con due switch.

$$\frac{V_u}{V_i} = \frac{T_{ON}}{T_{ON} + T_2}$$

Ma anche che T_2 è incognito! Non si può dunque per ora lavorare, dal momento che questa espressione non rappresenta, a causa della presenza di un intervallo di tempo a corrente nulla, T_{OFF} , il duty cycle del sistema!

Precedentemente, avevamo detto che:

$$I_B = \frac{V_u}{L} T_2$$

Questa, infatti, è l'altezza del triangolo scaleno rappresentante l'andamento della corrente nel tempo. Detto T_{sw} il periodo di funzionamento del convertitore, dunque, si può considerare il teorema della media integrale, applicato alla corrente sull'induttore:

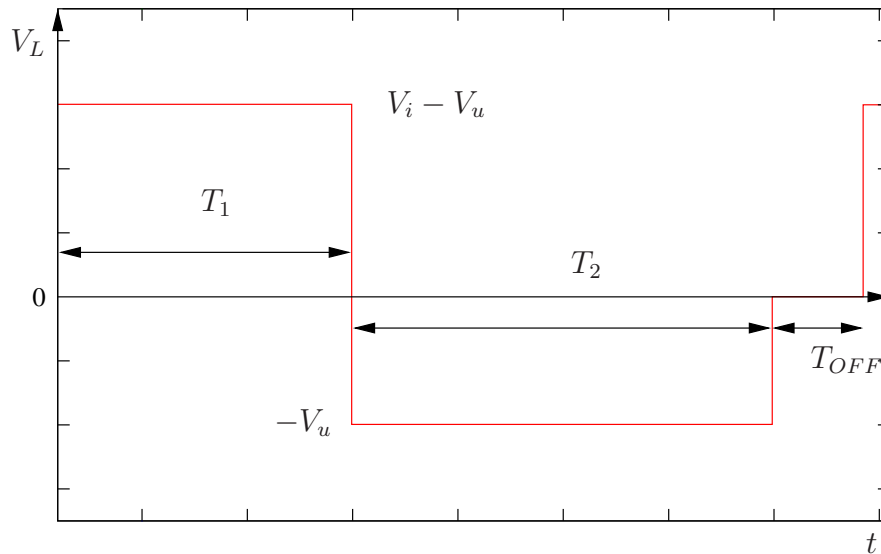


Figura 7.29: Andamento della tensione in modalità discontinua.

$$I_{L,AVE} = \frac{1}{T} \int_0^T I_L(t) dt$$

Ma questo integrale altri non è che base per altezza diviso due, come insegnano alle elementari: l'area del triangolo. In questo caso, la nostra base è $(T_{ON} + T_2)$, l'altezza è $\frac{V_u}{L} T_2$, e il periodo di mediazione dell'integrale è $T_{ON} + T_2 + T_{OFF} = T_{sw}$; si otterrà dunque:

$$I_{L,AVE} = \frac{1}{2} \frac{1}{T_{sw}} \frac{V_u}{L} T_2 \cdot (T_{ON} + T_2)$$

Ma d'altro canto, come si può vedere, la corrente media appena calcolata coincide con la corrente presente sul carico, e quindi a I_u , a sua volta quantificabile come:

$$I_u = \frac{V_u}{R_L}$$

Inoltre:

$$\frac{V_u}{R_L} = \frac{1}{2} \frac{1}{T_{sw}} \frac{V_u}{L} T_2 \cdot (T_{ON} + T_2)$$

Definiamo a questo punto un parametro M come:

$$M = \frac{V_u}{V_i} = \frac{T_{ON}}{T_{ON} + T_2} \longrightarrow \frac{1}{M} = 1 + \frac{T_2}{T_{ON}}$$

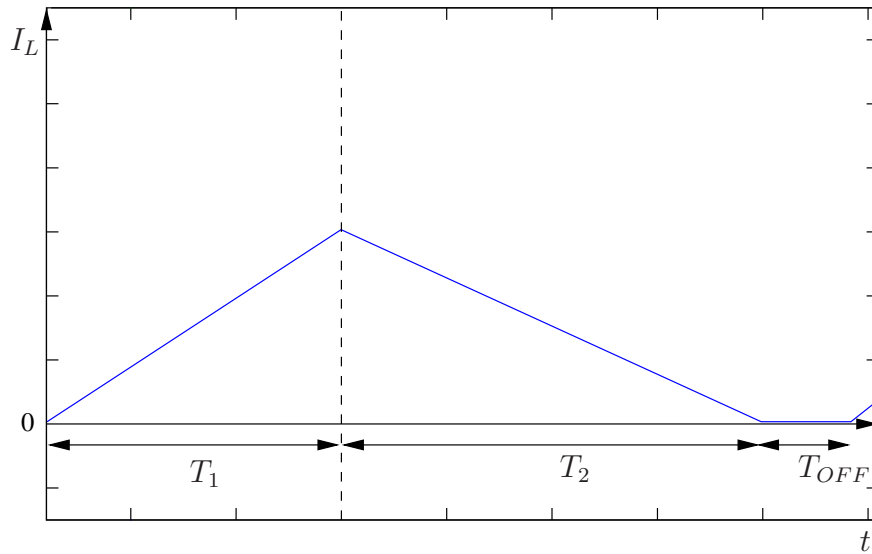


Figura 7.30: Andamento della corrente in modalità discontinua.

Quindi:

$$T_2 = T_{ON} \left(\frac{1}{M} - 1 \right)$$

Sostituiamo questa espressione nel calcolo di $T_{ON} + T_2$:

$$T_{ON} + T_2 = T_{ON} + T_{ON} \left(\frac{1}{M} - 1 \right) = \frac{T_{ON}}{M}$$

Sostituendo dunque nell'espressione precedentemente ricavata:

$$\frac{1}{R_L} = \frac{1 - M}{2Lf_{sw}M^2} D_C^2$$

Il nostro obiettivo è quello di calcolare M , ossia il rapporto tra uscita e ingresso; per fare ciò, invertiamo e ordiniamo questa espressione:

$$M^2 \cdot \left(\frac{2Lf_{sw}}{D_C^2 R_L} \right) + M - 1 = 0$$

Risolvendo l'equazione di secondo grado, e considerando solo la radice positiva, si ottiene che:

$$M = \frac{-1 + \sqrt{1 + \frac{8Lf_{sw}}{D_C^2 R_L}}}{\frac{4Lf_{sw}}{D_C^2 R_L}}$$

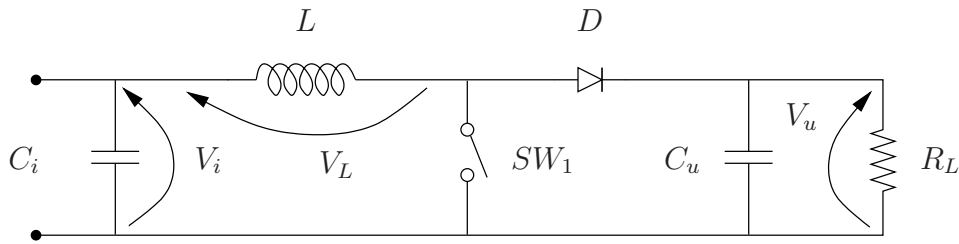


Figura 7.31: Schema circuitale del convertitore *boost*. I componenti costitutivi sono gli stessi del buck, ma la topologia è evidentemente diversa.

Due piccole osservazioni: se prima M (rapporto tra uscita e ingresso) dipendeva esclusivamente dal duty cycle D_C , ora vi è dipendenza anche da molti altri fattori, uno su tutti R_L . In modo discontinuo, dunque, si ha una pessima regolazione di carico: a seconda di R_L , infatti, il rapporto $\frac{V_u}{V_i}$ varia assieme alla resistenza di carico, così che al variare del carico si avranno fluttuazioni delle grandezze del circuito.

Altra osservazione (negativa) è la seguente: questo circuito, ed altri circuiti che ora vedremo, non sono isolati galvanicamente! L'aver eliminato il trasformatore dall'alimentatore, dunque, ha provocato dei problemi che questa topologia non è assolutamente in grado di risolvere.

7.5.2 Convertitore boost

Analizziamo ora una seconda topologia realizzante un convertitore switching: il convertitore *boost*. Gli elementi contenuti nel circuito saranno sempre sostanzialmente gli stessi, ma la topologia circuitale sarà quella della figura 7.31.

Questo circuito viene detto *boost* o *step-up*, dal momento che la tensione in uscita è sempre maggiore o uguale a quella di ingresso. Trascurando al solito cadute di tensione sul diodo, sugli switch e altro, analizziamo il comportamento del circuito:

- Quando l'interruttore è chiuso, ai capi dell'induttore vi è una caduta di tensione pari a:

$$V_L = V_i$$

- Se l'interruttore è aperto, ai capi dell'induttore vi è una tensione diversa: la corrente, anziché verso lo 0 V, si dirige verso il diodo, provocando una caduta di tensione di uscita, V_u , ottenendo dunque:

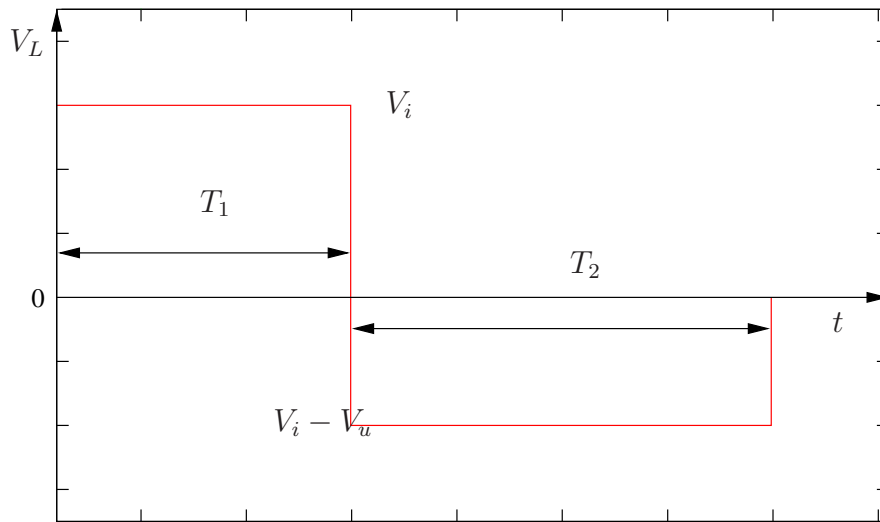


Figura 7.32: Andamento della tensione in funzione del tempo.

$$V_L = V_i - V_u$$

Rappresentiamo l'andamento di tensione e corrente sull'induttore, in modo di funzionamento continuo (ossia senza avere intervalli di tempo con grandezze nulle) nelle figure 7.32 e 7.33.

Si può intuire che, dal momento che si ha un'inversione del segno della tensione, che V_u sia maggiore in modulo di V_i . Allora la tensione di uscita è sempre maggiore di quella di ingresso (da qui la giustificazione dei nomi del convertitore: boost, step-up).

Studiando (seguendo un metodo del tutto analogo al precedente) le correnti, si vede facilmente che, ipotizzando l'interruttore chiuso:

$$I_B = I_A + T_1 \frac{V_i}{L}$$

A interruttore aperto, invece:

$$I_A = I_B - T_2 \cdot \frac{V_u - V_i}{L}$$

Dunque:

$$T_1 \cdot \frac{V_i}{L} = T_2 \cdot \frac{V_u - V_i}{L} \longrightarrow T_1 V_i = T_2 V_u - T_2 V_i$$

Da qui:

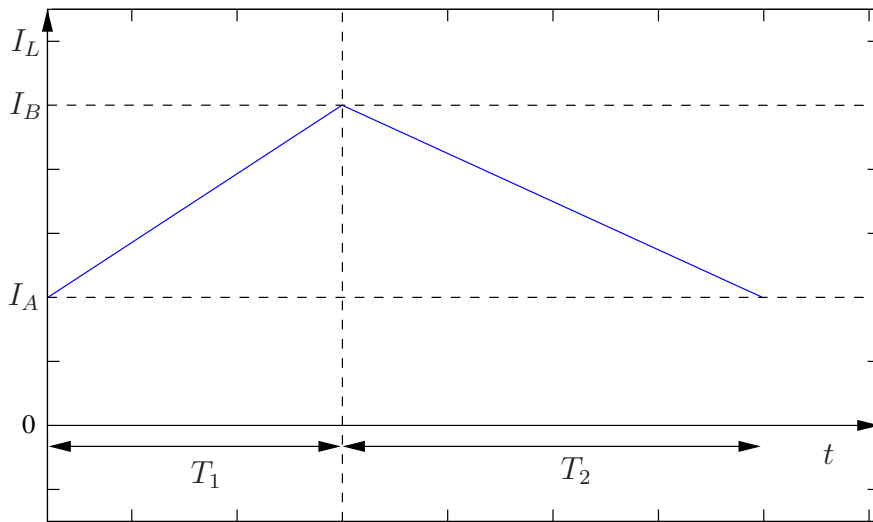


Figura 7.33: Andamento della corrente in funzione del tempo.

$$(T_1 + T_2)V_i = T_2V_u$$

Quindi:

$$M = \frac{V_u}{V_i} = \left(1 + \frac{T_1}{T_2}\right) = \frac{1}{1 - D_C}$$

Questo denominatore con uno zero, non ci porta buone notizie: se studiasimo infatti la funzione dell'anello di reazione del sistema, scopriremmo che questo termine porta ad avere uno zero nel semipiano destro del dominio di Laplace e a frequenze basse, se il guadagno è elevato a quelle frequenze, rischia di introdurre instabilità nel sistema.

A parte questa pessima notizia, si può dire che il comportamento del circuito sia del tutto duale a quello del convertitore buck: l'induttore sull'ingresso garantisce la continuità della corrente, quindi il primo condensatore avrà una I_{RMS} ridotta; per quanto riguarda il condensatore di uscita, invece, la corrente scorre su di esso solo quando essa scorre nel diodo, ma dunque avrà delle discontinuità. Discontinuità corrisponde a dire " I_{RMS} alta", ma quindi C_u sarà conseguentemente stressato (come C_i nel buck!). Ciò ci fa intuire che anche per quanto riguarda le regolazioni di carico e di ingresso, il comportamento di buck e boost saranno duali: per proteggere l'ingresso da sovratensioni sarà sufficiente mantenere aperto l'interruttore! Per l'uscita invece non è così facile: se il carico si corto-circuita, sarà necessario introdurre una circuiteria aggiuntiva (come per il buck in ingresso).

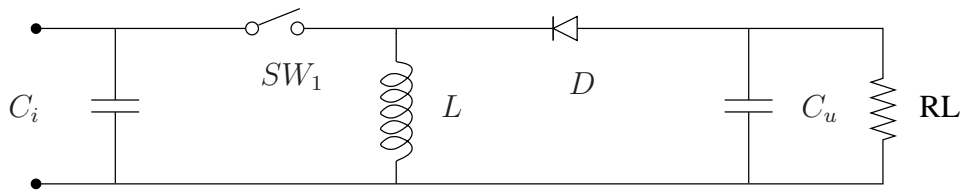


Figura 7.34: Schema circuitale del convertitore *buck-boost*.

A causa di questo molteplici problemi, il boost è un circuito abbastanza inutilizzato come convertitore, ma sfruttato in applicazioni particolari, come il già citato PFC (Power Factor Corrector). Infatti il suo comportamento è assimilabile a quello di una resistenza e, in uscita, volendo, si può ottenere una sinusoide. Altro modo per usare il boost è quello di *pre-regolatore*: usando un boost per tirare su la tensione ed un regolatore lineare per stabilizzarla, si possono ottenere buoni risultati.

7.5.3 Convertitore buck-boost

Presentiamo una terza topologia, dalla cui osservazione potremo immediatamente dedurre il nome della sottosezione:

Il nome *buck-boost* (o *up-down*) nasce dal fatto che lo stadio di ingresso è del tutto identico a quello di un convertitore buck, quello di uscita a quello di un convertitore boost. Ciò che ne deriva, dunque, è il fatto che la tensione di uscita può essere più grande o più piccola di quella di ingresso, ma con una peculiarità: essa sarà di polarità opposta.

Studiamo il funzionamento di questa topologia, a partire dall'analisi del grafico 7.35 della tensione sull'induttore.

Quando l'interruttore è chiuso l'induttanza si carica; quando è aperto essa si scarica, completamente. Nel primo caso si collega direttamente l'induttanza all'ingresso, scollegando l'uscita: $V_L = V_i$; nel secondo caso, ossia con interruttore aperto, si scollega l'ingresso, ma si collega (invertendola) l'uscita all'induttanza, in modo da portare la tensione sull'induttanza all'uscita: $V_L = V_u$.

La corrente sull'induttanza ha sempre la solita forma, per questo non viene riportata; dai soliti ragionamenti, dunque, si può ricavare che:

$$I_B = I_A + \frac{V_i T_1}{L}$$

$$I_A = I_B + \frac{V_u T_2}{L}$$

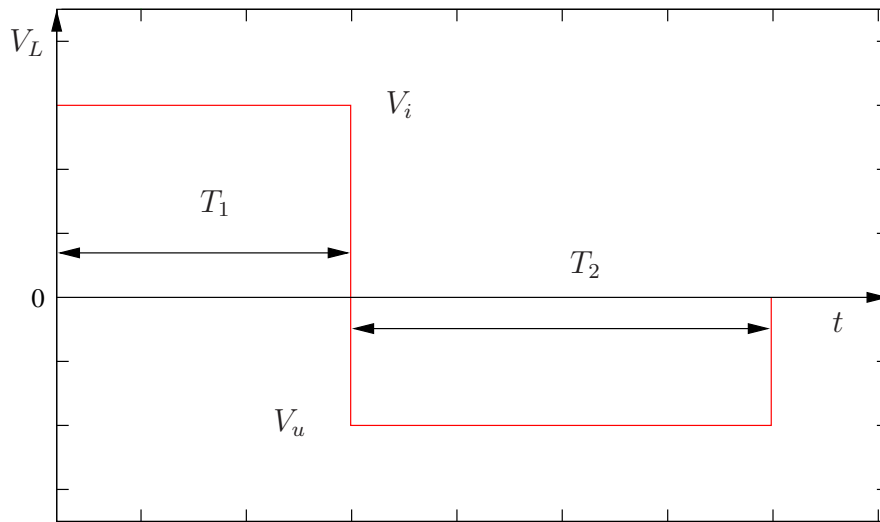


Figura 7.35: Andamento della tensione sull'induttore del convertitore buck-boost in funzione del tempo.

Si ricordi che $V_i \cdot V_u < 0$: uscita e ingresso sono polarizzate nel verso opposto. Si avrà, al solito:

$$\begin{aligned}
 T_1 \cdot \frac{V_i}{L} &= -T_2 \frac{V_u}{L} \longrightarrow \frac{V_u}{V_i} = -\frac{T_1}{T_2} = \\
 &= -\frac{D_C T_{sw}}{(1 - D_C) T_{sw}}
 \end{aligned}$$

Le considerazioni che siamo sul punto di fare non sono molto positive: la corrente in ingresso è impulsiva per colpa dell'interruttore, quella in uscita è impulsiva per colpa del diodo³. Il sistema inoltre è instabile, dal momento che abbiamo uno zero al denominatore della funzione di trasferimento. Questo circuito, tuttavia, non è inutile: è possibile dimostrare (come ora faremo) che, in modalità DCM, l'instabilità del sistema sparisce.

Discontinuous Current Mode

Presentiamo l'andamento di tensione e corrente in modo DCM per quanto riguarda il convertitore buck-boost (fig. 7.36 e 7.37).

Sappiamo che:

³Impulsiva significa, in questo ambito, come al solito, che presenta notevole discontinuità.

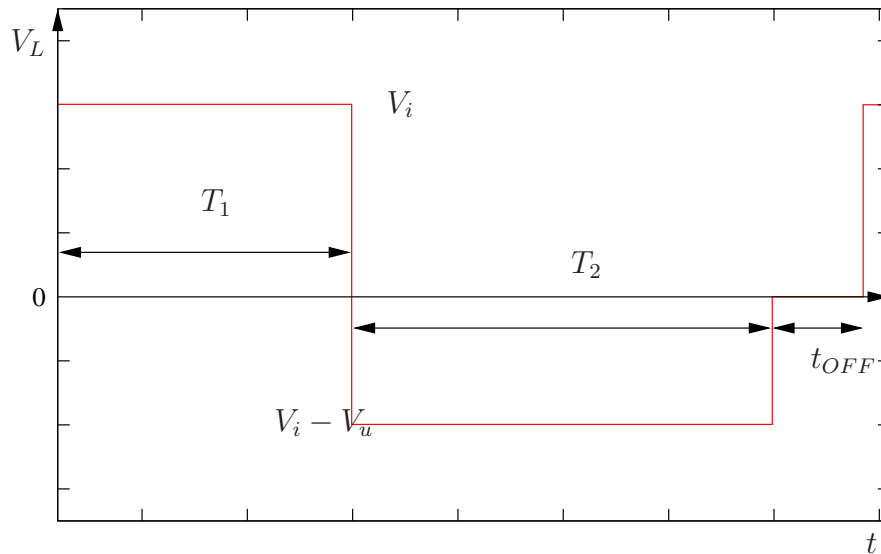


Figura 7.36: Andamento della tensione in funzione del tempo.

$$T_{ON} + T_2 + T_{OFF} = T_{sw}$$

Come precedentemente fatto, studiando il DCM per quanto riguarda il convertitore buck. Riprendendo le equazioni studiate, si può, come precedentemente fatto, dire che:

$$M = \frac{V_u}{V_i} = -\frac{T_{ON}}{T_2}$$

Purtroppo, tuttavia, T_2 è incognito, proprio come nel convertitore buck; per poter dunque risolvere il sistema, è necessaria un'altra equazione, estraibile in modo analogo al convertitore buck: la corrente di uscita, su R_L (I_u), è uguale alla corrente media nel diodo; essendo l'andamento della corrente al solito triangolare, si può dire che il valor medio della corrente sul diodo sia pari a metà del valore di picco:

$$I_u = I_{D,AVE} = \frac{I_B}{2}$$

Sappiamo inoltre che:

$$I_B = T_{ON} \cdot \frac{V_i}{L}$$

Applicando il teorema della media integrale come fatto per il buck, si ottiene:

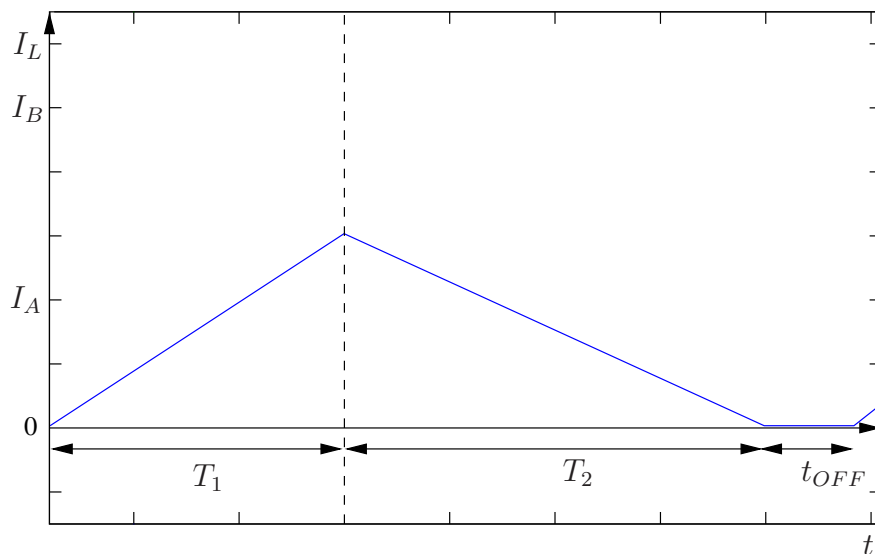


Figura 7.37: Andamento della corrente in funzione del tempo.

$$\frac{V_u}{R_L} = -\frac{1}{2}T_{ON} \frac{V_i}{L} \cdot \frac{T_2}{T_{sw}}$$

Ora si potrebbe andare avanti risolvendo il sistema, sostituendo e trovando la soluzione M rappresentante il rapporto uscita/ingresso. Ciò che vogliamo tuttavia fare, al fine di comprendere pienamente ciò che abbiamo finora detto sul convertitore in uso, è utilizzare osservazioni prettamente *energetiche*. La cosa interessante che si può osservare in questo convertitore, infatti, è il fatto che, per ogni ciclo, tutta la potenza accumulata in un semiciclo (quello di collegamento all'ingresso) nell'induttanza, viene trasferita all'uscita, nel semiciclo di collegamento all'uscita. Quando l'interruttore si chiude, in principio nell'induttanza non vi è energia, ma durante il tempo T_{ON} , per cui l'interruttore rimane chiuso, si ha accumulo, sotto forma di campo magnetico autoindotto, di energia proveniente dal condensatore; dal momento in cui si apre lo switch, il diodo entra in conduzione ed esso trasferisce tutta l'energia immagazzinata sul carico.

Dall'elettrotecnica, sappiamo che la potenza in uscita sarà pari a:

$$P_u = \frac{V_u^2}{R_L} = \frac{\varepsilon_L}{T_{sw}} = \varepsilon_L \cdot f_{sw}$$

Sappiamo infatti che la potenza è un'energia accumulata in un certo tempo; ciò corrisponde al moltiplicare l'energia dell'induttanza per la frequenza di commutazione di stato del sistema. Dalla fisica, inoltre, si sa che:

$$\varepsilon_L = \frac{1}{2}LI_B^2$$

Sostituendo tutto ciò nell'espressione operativa della potenza in uscita, si ottiene:

$$\begin{aligned} P_u &= f_{sw} \cdot \frac{1}{2} \cdot L \cdot \left(\frac{V_i}{L} \cdot T_{ON} \right)^2 = \\ &= f_{sw} \cdot \frac{V_i^2}{2L} \cdot T_{ON}^2 = \frac{V_u^2}{R_L} \end{aligned}$$

Ricordando che:

$$\begin{aligned} T_{ON} &= D_C \cdot T_{sw} = \frac{D_C}{f_{sw}} \\ \longrightarrow \frac{V_u^2}{R_L} &= \frac{V_i^2 D_C^2}{2L f_{sw}} \end{aligned}$$

Da qui, finalmente:

$$M = \frac{V_u}{V_i} = -D_C \sqrt{\frac{R_L}{2L f_{sw}}}$$

Si noti che questa funzione non ha instabilità! Per quanto riguarda il convertitore buck-boost, dunque, *il modo di funzionamento ideale è quello discontinuo* (DCM).

Il problema da risolvere a questo punto è: quali sono i limiti di funzionamento, tali da garantire il modo DCM? A quali condizioni dunque avremo la garanzia di lavorare in DCM?

Possiamo provare a rispondere a questa domanda in modo volpesco cercando di capire quali siano i limiti di funzionamento del modo CCM, e quindi evitare di cascarci dentro: se non ci si trova in modo CCM, infatti, ci si trova automaticamente in modo DCM, quindi, una volta trovati i limiti del CCM, sarà sufficiente invertire le relazioni matematiche.

Come nel caso del convertitore buck, dunque, abbiamo:

$$\frac{V_u}{R_L} = I_{D,AVE} = \frac{I_A + I_B}{2} \cdot \frac{T_2}{T_{sw}}$$

Dunque:

$$I_A + I_B = \frac{V_u}{R_L} \cdot \frac{2}{1 - D_C}$$

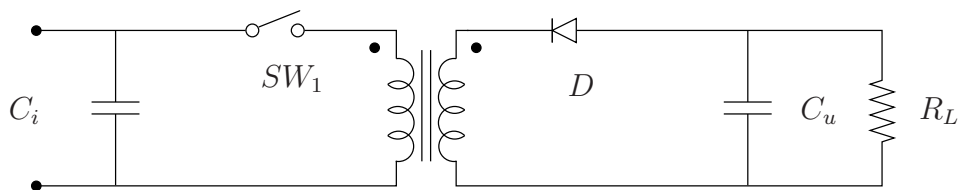


Figura 7.38: Schema circuitale del convertitore *flyback*.

$$I_B - I_A = \frac{V_u}{L} \cdot T_2 = \frac{V_u (1 - D_C)}{L f_{sw}}$$

Da qui:

$$I_A = V_u \left[\frac{1}{R_L(1 - D_C)} - \frac{1 - D_C}{2L f_{sw}} \right] > 0$$

Questa relazione, deve essere soddisfatta, al fine di lavorare in CCM; ma noi non vogliamo lavorare in CCM, dunque, risolvendo la disequazione al contrario, ossia invertendo il $>$ in $<$, si ottiene con alcuni passaggi:

$$L < \frac{R_L(1 - D_C)^2}{2f_{sw}}$$

A questa condizione, quindi, si ha la garanzia di lavorare in modo discontinuo.

7.5.4 Convertitore *flyback*

Abbiamo introdotto tre topologie fondamentali per quanto riguarda i convertitori switching. Cosa comune alle tre topologie finora introdotte, come già accennato parlando di buck, è il fatto che, rispetto agli alimentatori basati su regolatori dissipativi, non vi è isolamento galvanico tra ingresso e uscita.

Partiamo dall'ultima topologia vista, ossia la buck-boost: quando l'interruttore SW è chiuso, si immagazzina energia; quando esso è aperto, si trasmette energia all'uscita.

Facciamo un gioco: e se, al posto di un induttore, inserissimo un trasformatore? Allora otterremmo il circuito di figura 7.38.

Lavoriamo a frequenze elevate, ergo le induttanze richieste sono ridotte; quando SW è chiuso, l'energia, anziché in una singola induttanza, si immagazzina nelle induttanze e nel nucleo ferromagnetico; quando SW si apre, tutta l'energia viene rilasciata, dopo un'inversione di polarità.

Si può fare di meglio? Beh, il trasformatore è un elemento più versatile dell'induttanza, dunque si possono "girare i pallini": invertendo i versi delle

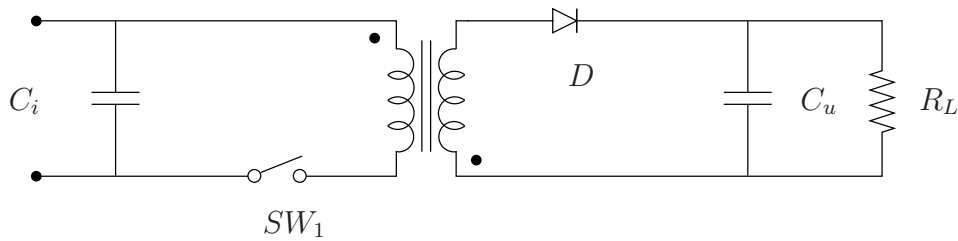


Figura 7.39: Schema circuitale del convertitore *flyback* con modifica della convenzione sul trasformatore e inversione dei terminali del diodo.

correnti entranti, e ruotando anche il diodo (dallo stesso verso usato nella topologia boost), la tensione di uscita sarà concorde a quella in ingresso.

Inoltre, a parte questo ultimo risultato (non molto importante), abbiamo ottenuto l'isolamento galvanico *nell'alimentatore*: dal momento che, introducendo il trasformatore, si svincola il riferimento di tensione a sinistra del trasformatore da quello a destra del trasformatore, si può usare indifferentemente l'interruttore low-side (ben più facile da realizzare di uno high-side).

Quella appena presentata è dunque la topologia *flyback*, che rappresenta la più semplice delle cosiddette **topologie isolate**. Presenta le stesse equazioni del buck-boost, con però un grado di libertà in più: il K del rapporto spire del trasformatore. Purtroppo, a parte l'isolamento galvanico, questa topologia eredita tutti i difetti del buck-boost, ossia le pessime regolazioni, eccetera. Si sappia, infine, che, anche per quanto riguarda il sistema di controllo, sarà necessario un sistema di isolamento galvanico, ossia un sistema in grado di svincolare i potenziali di riferimento di ingresso e uscita del sistema.

Capitolo 8

Circuiti logici

Indice

8.1	Introduzione alle porte logiche: l'inverter	296
8.1.1	Cenni sulla famiglia logica TTL	300
8.1.2	Fan-out di una porta logica	302
8.2	Ingressi e uscite di porte logiche	304
8.2.1	Uscita totem-pole	304
8.2.2	Uscita tri-state	304
8.2.3	Uscita open collector (open drain)	305
8.2.4	Logica wired-or	305
8.2.5	Varianti sull'ingresso	306
8.3	Inverter CMOS	307
8.3.1	Variante allo schema: diodi di clamp	311
8.4	Realizzazione di porte logiche complesse	313
8.4.1	Sintesi di una generica porta logica invertente	316
8.5	Tecnologie alternative alla CMOS	317
8.5.1	Tecnologia nMOS-like	317
8.5.2	Logica dinamica	318
8.5.3	Circuiti logici pass-transistor	320
8.6	Esempi pratici	321
8.6.1	Esempio pratico 1	322
8.6.2	Esempio pratico 2	323
8.6.3	Esempio pratico 3	325
8.7	Comportamento dinamico delle porte logiche	327
8.8	Circuiti sequenziali	331
8.8.1	Metastabilità	331
8.8.2	Latch S-R	332
8.8.3	D-Latch	334
8.8.4	Flip-flop tipo D	337



Figura 8.1: Simbolo circuitale dell'inverter.

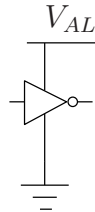


Figura 8.2: Simbolo circuitale dell'inverter completato dai terminali delle tensioni di alimentazioni.

8.8.5	Osservazioni	342
8.8.6	Contatore asincrono	344
8.8.7	Contatore sincrono	345
8.8.8	Meccanismo di Reset	347

IN QUESTO CAPITOLO CI OCCUPEREMO di caratterizzare, *prevalentemente dal punto di vista elettrico*, i circuiti elettronici digitali e di interfacciamento con il mondo dell'elettronica analogica. Per questo motivo, nella trattazione, utilizzeremo prevalentemente porte logiche semplici, nella fattispecie l'inverter.

8.1 Introduzione alle porte logiche: l'inverter

Comunemente, un inverter viene rappresentato mediante il simbolo circuitale 8.1.

Questo simbolo, ovviamente, per quanto possa essere esaustivo in molti ambiti, non lo è in senso elettrico/elettronico: oltre ad ingresso e uscita, infatti, vi è un terminale di alimentazione, ed uno di riferimento. Di fatto, quindi, bisognerebbe rappresentare un inverter tenendo conto della tensione di alimentazione e del potenziale di riferimento, per caratterizzarlo efficacemente elettricamente.

Solitamente il potenziale di riferimento è 0 V, mentre V_{AL} dipende dalla famiglia logica in uso: con il passare del tempo (e delle stesse famiglie logiche) si tende a ridurre le tensioni di alimentazione che attualmente sono intorno a 5 V o 3,3 V. Per applicazioni industriali, invece, esistono logiche a 12 V o 24 V (per motivi di tradizione).

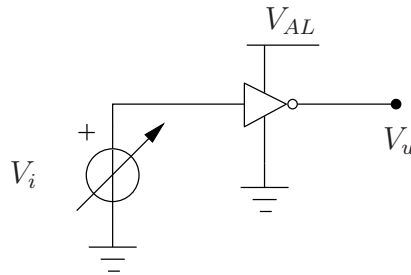


Figura 8.3: Circuito di prova dell'inverter.

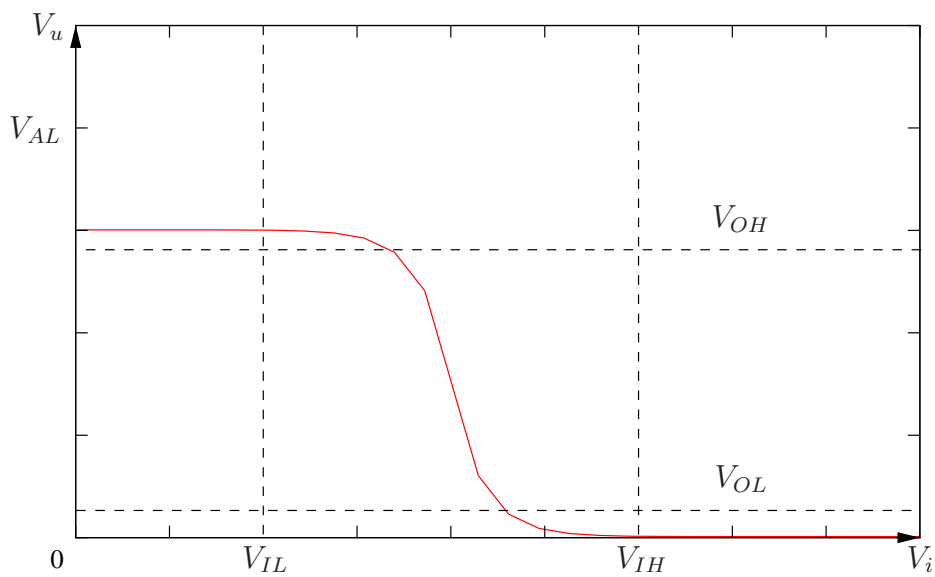


Figura 8.4: Transcaratteristica dell'inverter.

Cosa si collega, invece, a ingresso e uscita di questa porta logica? È una domanda retorica: si applicheranno segnali elettrici di qualche tipo ¹. Questi segnali devono essere prodotti da un generatore di segnali, o dalle uscite di altre porte logiche: esse infatti sono spesso configurate per potersi parlare tra di loro. Un problema molto importante è proprio quello delle interconnessioni tra porte logiche, ossia lo studio della compatibilità tra porte appartenenti alla stessa famiglia logica.

Dopo questo discorso introduttivo, presentiamo le caratteristiche elettriche di questa prima porta logica, considerando il circuito 8.3.

Essendo un inverter, si può immaginare che, per tensione di ingresso V_i bassa (prossima a 0 V) si avrà un'uscita V_u alta, in qualche modo prossima

¹Fino ad ora abbiamo mai collegato condotti idraulici?

alla tensione di alimentazione della porta logica. Dualmente, per uscite basse si avrà una V_i alta: come il nome suggerisce, si avrà la cosiddetta funzione booleana *not logico*. Dato un segnale in ingresso con un certo valore logico, in uscita si dovrà avere un segnale rappresentante il valore negato.

Purtroppo, non tutto funziona bene come vorremmo: cambiando la temperatura o la porta logica (considerandone due teoricamente uguali, dello stesso produttore e della stessa linea di produzione), si potranno osservare caratteristiche differenti da quella di partenza, in qualche modo "simili" ma non assolutamente coincidenti. Questo a noi non piace: parlando di elettronica digitale, da un lato si fanno richieste poco vincolanti, ma quel "poco" deve essere garantito: in termini di digitale, infatti, l'unica informazione che si intende avere è booleana (binaria, dicotomica): se una grandezza è *maggiore o minore di una certa soglia*, in modo da poter stabilire un suo valore logico; il fatto che le porte logiche non siano assolutamente dispositivi ideali, rendono più difficile, per quanto assolutamente non impossibile, questo procedimento. Sarà necessario, al fine di ottenere *certezze* sotto questo punto di vista, definire alcuni parametri che ci permetteranno di caratterizzare elettricamente le porte logiche.

Nel grafico mostrato si possono notare alcune grandezze delle quali non abbiamo parlato, osserviamo ad esempio V_{IL} e V_{IH} :

- V_{IL} è la **massima** tensione di ingresso che assicura, utilizzando in condizioni di "vita quotidiana" la porta logica, che l'ingresso sia interpretato come basso: si tratta, dunque, della massima tensione di ingresso interpretabile come *zero logico*.
- V_{IH} è la **minima** tensione di ingresso, che dalla porta logica sarà interpretabile come tensione alta: qualsiasi tensione al di sotto di essa non sarà dunque interpretabile come alta. In altre parole, è la minima tensione in ingresso che sarà interpretata come *uno logico*.

In sostanza si tratta di estremi significativi, di *bound* per un intervallo di valori. In moltissimi testi, vengono presentate definizioni formali di V_{IL} e V_{IH} per una porta logica, ma esse non vanno tenute in considerazione all'atto pratico: esse sono parametri che devono essere ricavati statisticamente dal costruttore della porta logica, e dichiarati sulla relativa documentazione allegata con la porta.

Come abbiám parlato di bound per l'ingresso, per *par condicio*, si dovrà parlare anche di bound per le uscite:

- V_{OL} : si tratta della **massima** tensione di uscita tale da rappresentare un livello logico basso, ossia affermare il *falso* (zero logico);

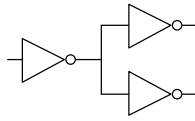


Figura 8.5: Interfacciamento di più porte logiche dello stesso tipo.

- V_{OH} : si tratta della **minima** tensione di uscita tale da rappresentare un livello logico alto, ossia affermare la *verità* (uno logico).

Il produttore scopre questi parametri grazie alla potentissima arma nota con il nome di *pazienza*. Egli testa statisticamente un campione significativo di porte logiche su di un certo range di temperature e in certe condizioni (senza andare fuori dalle condizioni “fisiologiche” di lavoro, ossia senza introdurre segnali strani in ingresso o cortocircuitare al potenziale di riferimento le uscite, richiedendo troppa corrente o introducendone troppa). I risultati dei test vengono proposti nel datasheet, garantendo dunque alcuni parametri di funzionamento.

Ma non abbiamo ancora finito. Abbiamo parlato di una singola porta logica, ma non abbiamo ancora discusso il problema dell’interfacciamento: supponiamo di collegare, al nostro inverter, diversi altri inverter, in parallelo come in figura 8.5.

In ingresso, ciascuna delle altre porte logiche dovrà avere, al fine di essere pilotata dal primo inverter, una certa corrente minima. Oltre alla verifica dei vincoli sulle quattro tensioni (nella fattispecie, compatibilità tra le tensioni di uscita del primo inverter e quelle di ingresso degli altri), sarà necessario definire quattro correnti:

- I_{OL} : massima corrente erogabile dalla porta in stato di uscita bassa;
- I_{OH} : minima corrente erogabile dalla porta in stato di uscita alta;
- I_{IL} : massima corrente introducibile nella porta per avere ingresso basso;
- I_{IH} : minima corrente introducibile nella porta per avere ingresso alto.

Abbiamo parlato di *erogare* e *introdurre*, ma in realtà la faccenda non è assolutamente così semplice da risolvere: a seconda dello stato logico di una porta, sia per quanto riguarda ingresso che uscita, la porta logica può sia erogare che richiedere corrente. Al fine di determinare una convenzione univoca e darle una motivazione logica, si presenta almeno qualitativamente una delle prime tecnologiche logiche.

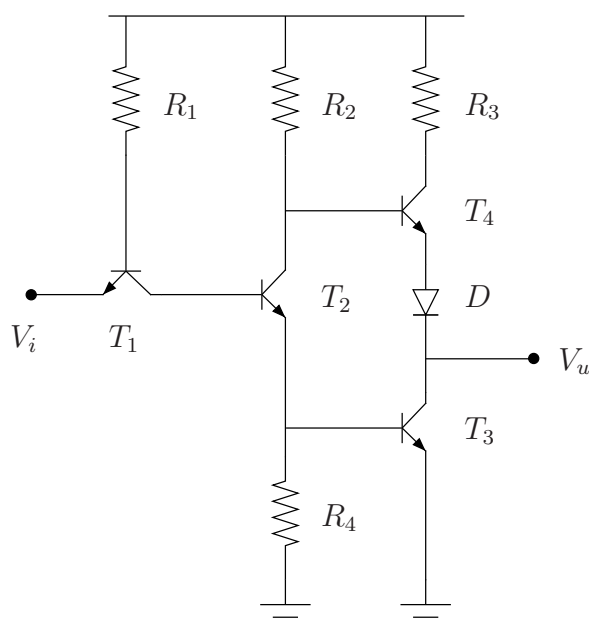


Figura 8.6: Schema circuitale di un inverter della famiglia TTL.

8.1.1 Cenni sulla famiglia logica TTL

Le famiglie logiche attualmente in uso non sono in realtà particolarmente pretenziose in termini di correnti: dal momento che le porte logiche più recenti sono infatti basate su MOSFET, il consumo di corrente non è molto elevato. Il motivo per cui si introduce la famiglia TTL, basata sull'uso di transistori bipolari a giunzione (BJT), è il fatto che le correnti appena elencate sono state definite proprio per studiare l'interconnettibilità di porte logiche di questa famiglia (e delle altre famiglie pre-CMOS). Al fine di definire le correnti, e il loro verso rispetto alle porte logiche, si studia il funzionamento di una porta inverter TTL nei suoi diversi stati logici in modo quantomeno rapido e sommario. Presentiamo innanzitutto lo schema circuitale di un inverter TTL con lo schema 8.6.

Prima di studiare il comportamento al variare degli stati logici, quindi, definiamo una convenzione per le porte logiche: solitamente, esse vengono trattate mediante la convenzione di doppio bipolo **utilizzatore**, ossia si considerano positive le correnti entranti, negative le correnti uscenti dalla porta logica (sia per quanto riguarda la porta d'ingresso che per quanto riguarda la porta d'uscita del doppio bipolo/porta-logica). Detto ciò, analizziamo in tre stati particolari la porta logica:

- Se l'ingresso della porta logica è *floating*, non vi è corrente sull'emet-

tore di T_1 ; dal momento che, però, vi è una corrente sul collettore di T_1 per via dell'alimentazione, si può dire che questa sia sufficientemente ingente da portare in saturazione T_2 , e di conseguenza anche T_3 . La corrente andrà tutta verso lo 0 V, e il fatto che i BJT siano in saturazione, comporta una tensione di base di T_4 molto ridotta (la tensione cade prevalentemente sulle resistenze). Allora esso sarà in stato di interdizione, e in uscita si avrà uno *zero logico*: se dunque la porta è scollegata, in uscita si ha 0 logico.

- Se si collega una tensione prossima a 0 V all'ingresso, verso lo 0 V vi è una corrente (dal momento che la giunzione base-emettitore di T_1 è polarizzata in modo da attirare su di essa la corrente). Ma dal momento che vi è corrente sull'emettitore, si avrà una corrente uscente dall'ingresso della porta. Dal momento che T_1 è dunque in saturazione, sul suo collettore non vi sarà corrente, e T_2 e T_3 saranno interdetti (tenendo conto che sul collettore di T_1 vi saranno 0,2 V, ossia una tensione $V_{CE,SAT}$, e quindi pure sulla base di T_2). Invece T_4 viene attivato dalla polarizzazione della resistenza, dal momento che su T_2 non vi sarà corrente. Alla fine della fiera, anche dall'uscita si avrà una corrente uscente. Collegando quindi a 0 V la porta di ingresso, si avrà una corrente uscente sia da ingresso che da uscita, quindi $I_{IL} < 0$, $I_{OH} < 0$.
- Se si collega una tensione alta all'ingresso, il transistor conduce, ma in *regione lineare inversa*! La corrente, quindi, sarà entrante nella porta. In regione inversa, per quanto irrisorio, vi sarà un β (guadagno in corrente), dunque T_2 satura e T_3 segue a ruota. Ci si riporta in una condizione simile a quella del primo caso: essendo T_4 interdetto (come si può verificare facendo un po' di maglia come insegna Kirchhoff su base ed emettitore di T_4), la corrente di collettore di T_3 dovrà essere prelevata dall'unico ramo conduttivo del circuito: l'uscita. Anche attraverso l'uscita della porta logica, quindi, vi sarà una corrente entrante! Inoltre, il fatto che $V_u \simeq V_{CE,3,SAT}$, implica il fatto che l'uscita logica sarà, come previsto, bassa. Per concludere, quindi, $I_{IH} > 0$, $I_{OL} < 0$.

Quelli appena definiti sono i versi delle correnti nelle porte logiche; essi sono stati definiti sulle porte TTL dal momento che qui ha senso definirli: il significato fisico è decisamente più forte, dal momento che il pilotaggio in corrente di una porta logica, in famiglie logiche di quel tipo, poteva essere *estremamente problematico*. Come vedremo in seguito, anche mediante esempi pratici, ora i vincoli legati alla corrente non rappresentano assolutamente più un problema.

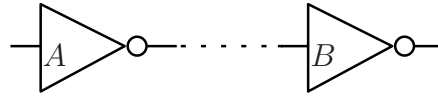


Figura 8.7: Interconnessione di un paio di porte logiche in cascata per lo studio del *fan-out*.

8.1.2 Fan-out di una porta logica

Abbiamo finora definito e motivato quattro tensioni e quattro correnti, in una porta logica. A questo punto, al fine di concludere (o quantomeno provare a concludere) il discorso *interconnettività*, vogliamo legare tra loro tensioni e correnti (ad esempio V_{OH} e I_{OH} , V_{OL} e I_{OL} , e così via) facendo riferimento al disegno 8.7.

Vorremmo determinare le condizioni per cui il collegamento tra due porte logiche in cascata sia regolare. Allora rivediamo un po' le nostre definizioni: sappiamo che, quando la porta A ha un'uscita logica alta, la *minima tensione alta* è V_{OH} , e la massima tensione alta raggiungibile è V_{AL} . Dualmente, quando il valore logico è zero, la *minima tensione bassa* è 0 V , mentre la massima tensione bassa è V_{OL} . Contemporaneamente, la porta logica B avrà limitazioni riguardo V_{IH} , V_{IL} , *absolute maximum ratings* e altri parametri ricavabili dal datasheet.

A questo punto, potremmo farci una domanda: quali sono le condizioni per cui le porte “possano parlarsi liberamente”, ossia che la seconda porta possa vedere al suo ingresso proprio lo stesso stato logico che la prima vuole esprimere? Beh, è necessario che le grandezze in uscita siano sufficientemente grandi (rispettivamente, piccole) da essere riconosciute in ingresso alla seconda porta come uno logico (zero logico). Quindi:

$$\left\{ \begin{array}{l} |V_{OH,A}| > |V_{IH,B}| \\ |V_{OL,A}| < |V_{IL,B}| \end{array} \right. \quad \left\{ \begin{array}{l} |I_{OH,A}| > |I_{IH,B}| \\ |I_{OL,A}| < |I_{IL,B}| \end{array} \right.$$

Si noti che non sono stati messi dei segni uguali nelle espressioni: è buona cosa che le condizioni siano infatti soddisfatte in senso largo, ossia che vi sia un buon margine in grado di eliminare i problemi di rumore, ad esempio. Il rumore sovrapposto alle grandezze utili potrebbe far commutare erroneamente lo stato della porta logica, perciò si chiede di rispettare “vagamente” le espressioni appena scritte.

Quando le porte appartengono alla stessa famiglia logica, di solito problemi di questo tipo non esistono: le porte logiche sono molto compatibili tra di loro, sotto questi punti di vista. Per *famiglia logica*, nome scritto molte volte ma non ancora definito precisamente, si intende un insieme di componenti

	TTL-LS	HCMOS
V_{IL}	0.8 V	0.9 V
V_{IH}	2 V	3.15 V
I_{IL}	-400 μ A	$\pm 1 \mu$ A
I_{IH}	20 μ A	$\pm 1 \mu$ A
V_{OL}	0.5 V	0.1 V @ 10 μ A
V_{OH}	2.7 V	4.9 V @ 10 μ A
I_{OL}	8 mA	4 mA
I_{OH}	-2.4 mA	-4 mA

Figura 8.8: Parametri elettrici principali di due famiglie di porte logiche basate su dispositivi elettronici profondamente diversi. La differenza balza all'occhio facilmente.

che realizzano diverse numerose funzioni logiche, ma costruiti con la *stessa tecnologia* e con in comune gli stessi parametri elettrici statici (le tensioni e correnti finora definite).

Perchè si possano collegare più porte logiche alla stessa porta, è necessario che la corrente in uscita sia tale da poter pilotare un certo numero di altre porte logiche; si definisce a tal fine il *fan-out* di una porta logica come:

$$F_O = \min \left\{ \frac{I_{OH}}{I_{IH}}; \frac{I_{OL}}{I_{IL}} \right\}$$

Se infatti una singola porta ha possibilità di avere, in uscita, una corrente I_{OH} (o I_{OL}), supponendo di avere tutte porte uguali, il numero massimo di porte pilotabili coincide con il rapporto tra la corrente di uscita e quella di ingresso. Si considera dunque il minore dei due rapporti, tra quello riguardante lo stato logico basso e quello riguardante lo stato logico alto, in modo da poter soddisfare entrambi i rapporti.

Mostriamo a questo punto il confronto tra due famiglie logiche storiche: una a BJT e una a MOSFET: rispettivamente la TTL-LS e la HCMOS (tabella 8.8).

La nascita delle tecnologie CMOS ha permesso, sostanzialmente, il raggiungimento di due *risultati storici* per quanto riguarda l'elettronica:

- Abbassamento delle tensioni di alimentazione (e da qui la possibilità di alimentare con tensioni anche pari a 3,3 V);
- Nascita delle tecnologie FPGA: logiche programmabili direttamente dall'utente.

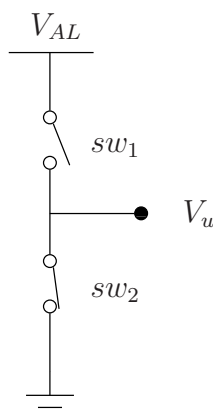


Figura 8.9: Modello circuitale dell'uscita *totem pole*.

Abbiamo sinora definito, a partire dallo studio qualitativo delle porte TTL, le otto grandezze in grado di rappresentare la caratteristica elettrica di una porta logica. Prima di descrivere le famiglie logiche attualmente in uso, presentiamo alcune nozioni riguardo i tipi di ingressi e uscite realizzabili mediante tecnologie di diverso tipo, per quanto riguarda i dispositivi logici.

8.2 Ingressi e uscite di porte logiche

Presentiamo, a partire da alcuni semplici modelli circuitali, i principali tipi di ingressi ed uscite realizzabili mediante tecnologie di vario genere. Conoscendo le caratteristiche di questi modelli, sarà possibile determinare più semplicemente il comportamento delle porte.

8.2.1 Uscita totem-pole

L'uscita totem-pole è modellizzabile mediante il modello circuitale di figura 8.9. Attraverso due interruttori in controfase, l'uscita si può considerare o come un corto circuito per il potenziale di riferimento (0 V) o per la tensione di alimentazione (V_{AL}), a meno di effetti di non idealità causati dagli elementi circuitali utilizzati per la realizzazione degli interruttori.

8.2.2 Uscita tri-state

Consideriamo, a partire dall'uscita totem-pole, una variante rappresentata nel modello 8.10.

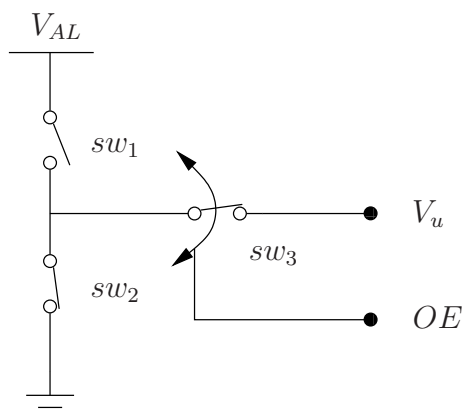


Figura 8.10: Modello circuitale dell'uscita *tri-state*.

Indipendentemente dal valore che l'uscita potrebbe assumere, si può scegliere mediante il terzo interruttore sw_3 se attivare o meno l'uscita. Ciò aumenta il numero di possibili stati dell'uscita, rispetto alla totem-pole: ora infatti si hanno sostanzialmente 3 stati simboleggiati da 0 , 1 e Z : i primi due sono i classici valori logici, mentre Z è detto stato di **alta impedenza**. Il terzo interruttore viene comandato dal segnale OE (*Output Enable*), generato dal resto del sistema.

Un inverter tri-state, rispetto ad uno normale, si distingue proprio per la presenza di un segnale di controllo dell'uscita, ossia di questo famoso output enable. L'uso di questo tipo di porte logiche (ovviamente non parlando solo di inverter, ma anche di generiche porte quali AND, OR, o anche più complicate) è estremamente utilizzato, specialmente per quanto riguarda i *bus* dei sistemi a microprocessore.

8.2.3 Uscita open collector (open drain)

Ulteriore variante rispetto alla totem-pole è la riportata nel disegno 8.11. Come l'uscita totem-pole, questa uscita prevede due possibili stati di uscita: o l'uscita è 0 , se si chiude l'interruttore creando un corto circuito a 0 V, o è 1 se si apre l'interruttore, rendendo valido esclusivamente il collegamento alla tensione di alimentazione, V_{AL} .

8.2.4 Logica wired-or

In riferimento allo schema 8.12, se A e B sono in stato di alta impedenza Z , sulla linea vi è la polarizzazione della resistenza (R) in serie alla tensione di alimentazione V_{AL} , dunque l'uscita è sullo stato di 1 logico. Se uno dei due

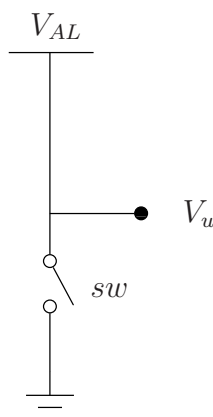


Figura 8.11: Modello circuitale della generica uscita *open collector*.

inverter (o anche entrambi) escono con uno 0, sul nodo di uscita imporranno tensione bassa, dunque l'uscita del sistema sarà bassa (0 logico). La tavola di verità di questo circuito è la tabella 8.13.

Osservando gli stati Z, questa funzione logica potrebbe ricordare un AND logico: se e solo se tutte le porte si trovano sullo stato Z infatti si ha un'uscita affermata. Il nome *wired or* deriva tuttavia dal fatto che questa logica è costituita da soli elementi negativi, e da qui il non uso del nome AND².

8.2.5 Varianti sull'ingresso

Finora abbiamo solo parlato di uscite, ma a questo punto si può prendere in considerazione uno dei peggiori nemici dell'elettronico: il *rumore*. Se la tensione si trova infatti in un livello troppo vicino a quello di commutazione, un rumore sovrapposto può peggiorare la definizione dello stato logico a causa di commutazioni indesiderate.

Una buona soluzione è l'introduzione di una transcaratteristica con *isteresi* e spesso, dunque, si trovano in commercio dispositivi logici con isteresi, circuitualmente indicati con il simbolo modificato 8.14.

Questi tipi di dispositivi sono particolarmente utili quando la transizione tra livelli di tensione avviene in modo *estremamente lento*, permettendo dunque al rumore sovrapposto al segnale di partenza di provocare le tanto indesiderate commutazioni.

²È come se venisse fatta una somma logica (OR) sugli zeri. Dato che sono presenti degli inverter, ci dev'essere per forza qualcosa che funziona al contrario.

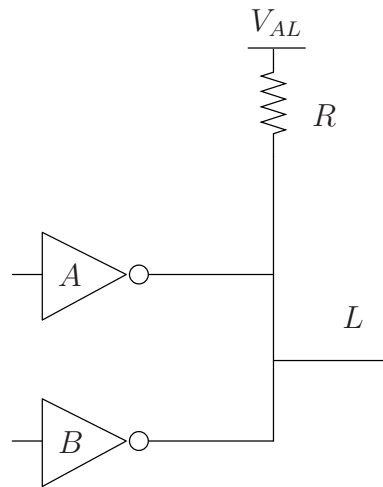


Figura 8.12: Struttura logica definita *wired-or*.

A	B	L
Z	Z	1
0	Z	0
Z	0	0
0	0	0

Figura 8.13: Tavola di verità della struttura *wired-or* rappresentata in figura 8.12.

8.3 Inverter CMOS

Senza rendercene conto, abbiamo già ottenuto un inverter CMOS parlando di transistori in commutazione: l'uscita era sempre invertita rispetto all'ingresso. Adesso studiamo meglio questo dispositivo, cercando di capire quali potrebbero essere i suoi pregi ed i suoi inconvenienti (fig. 8.15).

Questo circuito ha alcuni problemi: quando sull'uscita vi è uno 0 logico, sulla R_D deve continuamente scorrere una corrente; per mantenere dunque

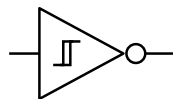


Figura 8.14: Simbolo circuitale di un dispositivo elettronico digitale con *isteresi*.

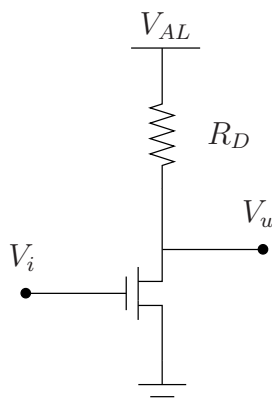


Figura 8.15: Schema circuitale di un inverter con un singolo MOS.

l'uscita bassa, vi deve essere un notevole consumo di corrente, in condizioni statiche. Per *statiche* si intende *senza variare lo stato dell'uscita*: pur non considerando eventuali transistori, dunque, si ha un notevole consumo di corrente, anche quando l'uscita è a tensione bassa, e dunque non vi dovrebbe essere corrente.

Supponiamo inoltre di mettere due di questi circuiti in cascata, con una topologia come in figura 8.16.

Questo circuito non funziona molto bene: la costante di tempo τ della capacità in ingresso al gate (modellizzante gli effetti di non idealità dei MOSFET) sarà generalmente alta, dal momento che la capacità vede la resistenza R_D .

Abbiamo trovato già due elementi piuttosto negativi riguardanti l'inverter appena ideato; l'idea alla base della tecnologia attualmente in uso, è quella riportata nello schema 8.17.

Si utilizzano due MOS in serie, uno a canale p e uno a canale n. Da questo circuito si può intuire la derivazione del nome CMOS (Complementary MOS): si utilizzano due MOSFET con canale di tipo diverso, definibili *complementari*.

Vediamo di capire come funziona questo tipo di circuito: per **ingresso basso** ($V_i = 0$), l'nMOS è interdetto, dal momento che la tensione tra gate e source è circa 0 V (e quindi molto inferiore alla tensione di soglia). Il pMOS, invece, si trova in zona resistiva e conduce, dal momento che $V_{GS2} < V_{Tp}$ (ricordando che V_{Tp} in un pMOS è negativa!), perché la tensione di gate è sufficientemente più bassa di quella di source (la quale è pari a V_{AL}). Quando il pMOS conduce, esso si comporta come un collegamento a V_{AL} e si avrà **uscita alta**.

Se invece si ha l'**ingresso alto** ($V_i = V_{AL}$ o comunque una tensione

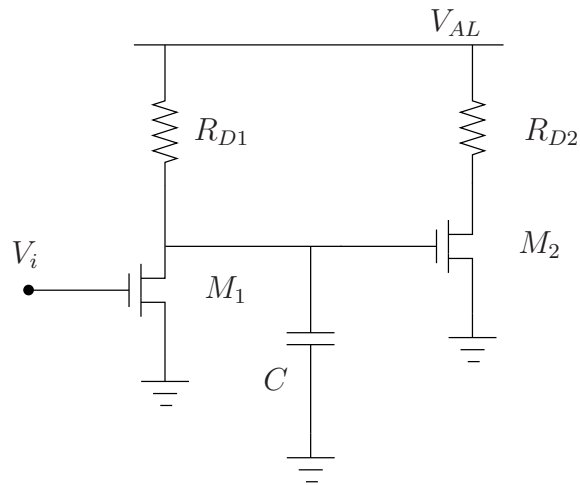


Figura 8.16: Collegamento in cascata di un paio di inverter del tipo della figura 8.15.

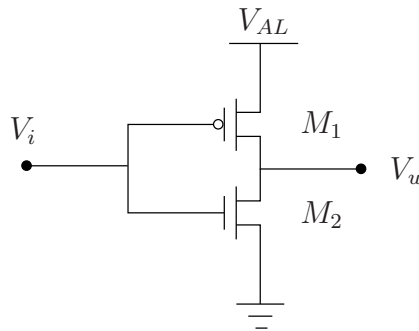


Figura 8.17: Schema circuitale seguito attualmente per la realizzazione di inverter con MOSFET.

prossima a quella di alimentazione), il pMOS è interdetto, dal momento che la tensione tra gate e source è più elevata di quella di soglia, mentre il nMOS ha $V_{GS} > V_{Tn}$, quindi è in zona resistiva e conduce; ciò creerà il collegamento tra 0 V e **uscita bassa**.

Nel primo caso la corrente va tutta sull'uscita, dal momento che il nMOS M_1 è interdetto. Nel secondo caso invece la corrente scorre esclusivamente su M_1 e dunque nell'uscita vi sarà uno 0 logico, ma non vi sarà corrente su M_2 ! A differenza delle topologie precedenti, *non vi è consumo di corrente* nelle fasi statiche, dal momento che si minimizza il numero di MOS in conduzione.

Tracciamo a questo punto un diagramma $V_u(V_i)$, ossia una transcaratteristica del circuito, e studiamo il comportamento dell'uscita al variare

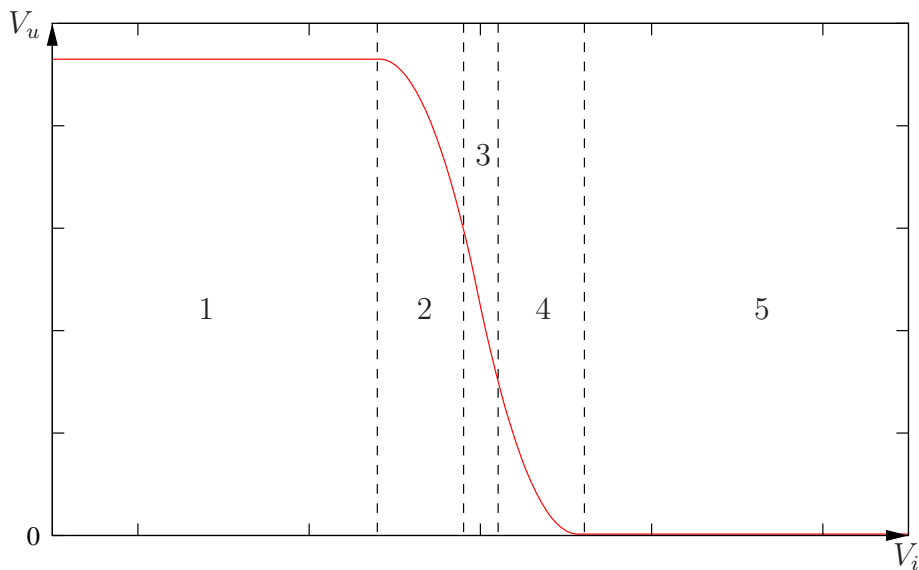


Figura 8.18: Transcaratteristica dell'inverter a MOS.

dell'ingresso in alcuni punti notevoli (fig. 8.18).

Abbiamo distinto 5 zone nella transcaratteristica; analizziamone ciascuna, in modo da cercare di capire il funzionamento dell'inverter CMOS in modo più dettagliato.

1. Quando V_i è compresa tra 0 V e V_{Tn} , M_1 è interdetto, mentre M_2 è in zona triodo (resistiva);
2. Quando V_i è circa pari a V_{Tn} , M_1 entra in zona di saturazione, mentre M_2 dalla zona resistiva (lineare, triodo) tende a passare alla zona quadratica di funzionamento (dal momento che il termine $\frac{V_{DS}^2}{2}$ inizia a non essere più trascurabile rispetto al resto dell'espressione);
3. La terza zona può essere chiamata anche *zona di inversione*: $V_i = V_{INV}$, dove per V_{INV} si intende il livello di tensione al quale avviene lo "scambio dei ruoli" dei due MOSFET. Entrambi si trovano in zona di saturazione, quindi vi sarà un maggiore consumo di corrente, per quanto esso sia temporaneo (e non molto influente);
4. Nella quarta regione di funzionamento M_1 tende ad entrare in zona resistiva (zona triodo), mentre M_2 continua a restare in stato di saturazione, tendendo alla zona quadratica;
5. M_1 è fisso in zona lineare, M_2 interdetto, quindi l'inversione è ultimata, e si ha uno stato del tutto duale allo stato 1.

Volendo dunque progettare un inverter CMOS, è necessario capire da cosa dipenda V_{INV} , quindi come e dove posizionarla. Esso è l'unico punto di lavoro tale per cui entrambi i MOSFET si trovano in stato di saturazione. L'idea dunque è la seguente: prendiamo le equazioni di funzionamento dei due MOSFET, poniamole uguali, e consideriamo quindi $V_i = V_{INV}$:

$$\mu_n C_{OX} \frac{W_n}{L_n} (V_i - V_{Tn})^2 = \mu_p C_{OX} \frac{W_p}{L_p} (V_{AL} - V_i + V_{Tp})^2$$

Supponiamo, a questo punto, che il processo di integrazione sia tale da avere:

$$\mu_n C_{OX} \frac{W_n}{L_n} = \mu_p C_{OX} \frac{W_p}{L_p}$$

Avremo:

$$(V_{INV} - V_{Tn})^2 = (V_{AL} - V_{INV} + V_{Tp})^2$$

Risolviamo l'equazione non considerando più semplicemente i quadrati (prendiamo ambo le radici positive):

$$V_{INV} - V_{Tn} = V_{AL} - V_{INV} + V_{Tp} \longrightarrow 2V_{INV} = V_{AL} + V_{Tn} - V_{Tp}$$

Nei processi si è soliti fare in modo che le tensioni di soglia siano tra di loro uguali in modulo, ottenendo dunque:

$$V_{INV} = \frac{V_{AL}}{2}$$

Ciò è estremamente buono: se la tensione di inversione è a metà di quella di alimentazione, si massimizza di fatto la distanza di essa con la minima (0 V), e la massima (V_{AL}) tensione introducibile nel circuito.

Scalando V_{AL} , automaticamente si riscalda anche la V_{INV} , posizionandosi sempre a metà tra le due.

Per poter effettuare le semplificazioni bisognerà ovviamente dimensionare i transistori in modo da rispettare le condizioni prima utilizzate; nella fattispecie, dal momento che l'elemento critico è il μ_p , solitamente pari ad un terzo di μ_n , il pMOS dovrà essere più o meno largo 3 volte in più del nMOS.

8.3.1 Variante allo schema: diodi di clamp

Abbiamo finora presentato lo schema circuitale dell'inverter. Esso presenta un problema enorme: una volta realizzato il chip, è probabile che esso venga

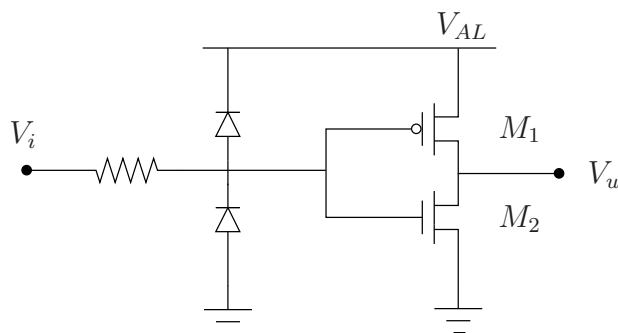


Figura 8.19: Modello circuitale dell'inverter con *diodi di clamp*.

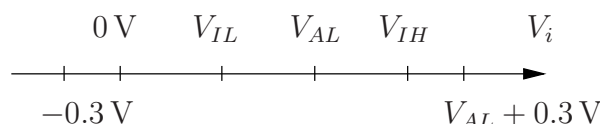


Figura 8.20: Limitazione della tensione di ingresso nell'inverter con diodi di clamp.

danneggiato ancora prima di entrare nel circuito. Un piccolissimo accumulo di cariche nel gate, infatti, potrebbe generare un campo elettrico tale da perforare la barriera isolante del MOSFET, distruggendo il transistor.

Ai vecchi tempi (anni '70), si vendevano i circuiti coi piedini sulla carta stagnola, proprio per questo motivo: i piedini venivano cortocircuitati tra loro sulla stagnola, così si evitavano accumuli di carica. Chiaramente, la stagnola non è una soluzione valida, utilizzabile in eterno, dunque si è cercato di risolvere, in maniera definitiva, questo problema (fig. 8.19).

Utilizzando questi due diodi aggiuntivi, detti *diodi di clamp*, sono stati eliminati i problemi di carica accumulata. Se il circuito è infatti alimentato ed eccitato da un ingresso, i diodi si trovano in zona di interdizione, dunque peggiorano (di poco) la caratteristica statica della porta logica. Se il circuito non è alimentato, tuttavia, i diodi creano un nodo di collegamento a 0 V: portando delle cariche sull'ingresso, infatti, i diodi vanno in conduzione e non permettono agli elettroni di raggiungere il gate del MOSFET (di nessuno dei due), quindi, non è più necessario cortocircuitare i piedini.

Altro effetto dei diodi di clamp è quello di *limitare la tensione in ingresso*. Essa deve essere tale da non mandare in conduzione i diodi, come in figura 8.20.

Si vede dunque che è buona cosa evitare di introdurre tensioni superiori in modulo a circa 0,3 V della tensione massima/minima (V_{AL} o 0 V).

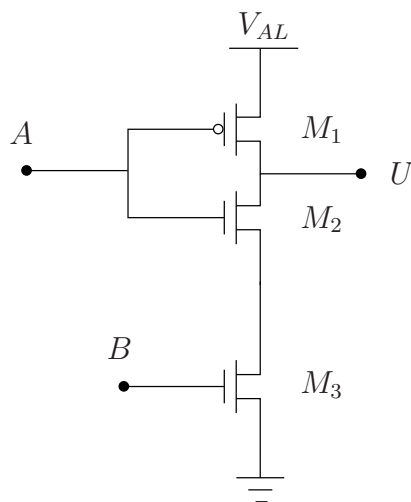


Figura 8.21: È stato aggiunto un ingresso all'inverter con due MOSFET.

8.4 Realizzazione di porte logiche complesse

Come abbiamo visto nello studio dell'inverter, i MOSFET rappresentano due interruttori in controfase: quando uno è aperto, l'altro è chiuso. Essi vengono pilotati dallo stesso segnale, ma le loro caratteristiche elettroniche sono tali da farli funzionare in maniera opposta.

Supponiamo di voler fare qualcosa di diverso: cosa dovremmo fare, se volessimo aggiungere un terzo ingresso? Ad esempio, volendo aggiungere un terzo MOSFET, a canale n, in serie agli altri due, si ottiene lo schema 8.21.

Cerchiamo di determinare l'uscita U al variare degli ingressi A e B : se A è uguale a 1, M_2 non sarà in stato di conduzione, ma quindi, se $B = 1$, M_1 e M_3 saranno in conduzione, e l'uscita sarà collegata allo 0 V. Se invece $A = 0$, da un lato M_2 conduce (in quanto pMOS), ma M_1 no; sia che B valga 0 sia che valga 1, dunque, non vi sarà il percorso tra M_2 e M_3 , a causa dell'interdizione del primo nMOS; l'uscita sarà dunque la direzione in cui andrà la corrente, e si avrà uscita logica 1.

Manca tuttavia una combinazione: $A = 1$, $B = 0$; beh, vediamo: M_2 e M_3 sono interdetti, dunque M_1 potrebbe anche condurre, ma non può: non è infatti collegato all'alimentazione, dal momento che M_2 è interdetto, quindi manca ancora qualcosa al nostro circuito.

Questo qualcosa è di fatto un altro MOS, un pMOS nella fattispecie: esso va collegato all'alimentazione da una parte e al segnale B dall'altra.

In questo modo, se $A = 1$, e $B = 0$, il nuovo MOS conduce (poichè pMOS), quindi si ha uscita alta, $U = 1$. Si può compilare la tabella di verità

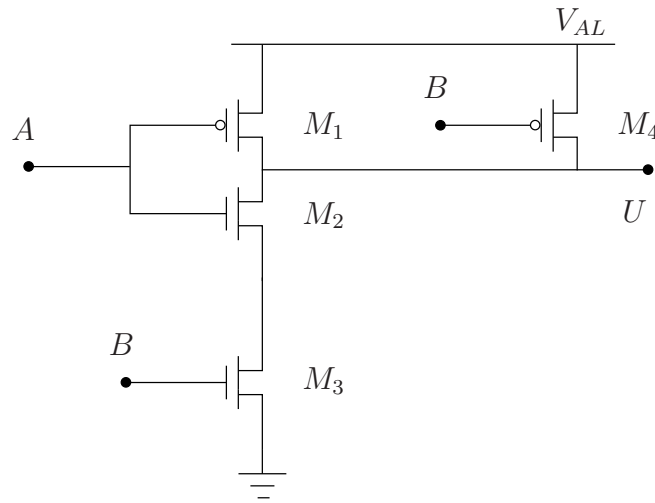


Figura 8.22: Per far funzionare il circuito 8.21 serve un MOSFET in più M_4 .

A	B	U
1	1	0
1	0	1
0	1	1
0	0	1

Figura 8.23: Tavola di verità del circuito che 8.22.

8.23 che corrisponde ad una funzione logica NAND.

Volendo si possono realizzare molte varianti: un NAND a tre ingressi, aggiungendo semplicemente un nMOS in serie ed un pMOS in parallelo; sulla carta, tutto fattibile, anche se si deve sempre e comunque tenere conto di un fatto: ogni nMOS in serie corrisponde ad una V_{Tn} da raggiungere al fine di polarizzare tutto il circuito, dunque non conviene utilizzare troppi transistori nella stessa porta. Non ci si deve preoccupare invece delle interconnessioni tra transistori: di solito le piste atte a connettere i vari transistori sugli integrati sono molto corte, dunque le cadute di tensione su di esse sono assolutamente trascurabili.

Mettendo in serie due nMOS e in parallelo due pMOS abbiamo realizzato una NAND logica, ma cosa otterremmo facendo il contrario, ossia introducendo due nMOS in parallelo e due pMOS in serie (fig. 8.24).

Ripetendo ragionamenti del tutto analoghi ai precedenti, si può ricavare semplicemente la tavola di verità 8.25. Abbiamo appena realizzato, mediante MOSFET, una porta NOR.

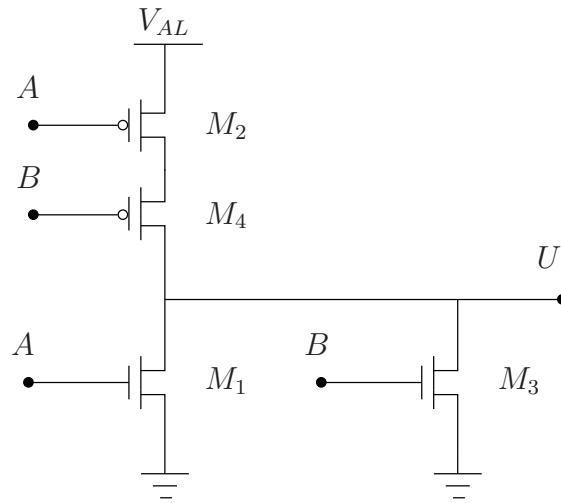


Figura 8.24: Realizzazione di uno scambio di connessioni tra parallelo e serie tra i transistori del disegno 8.22.

A	B	U
1	1	0
1	0	0
0	1	0
0	0	1

Figura 8.25: Tavola di verità del circuito che 8.24.

Alcune osservazioni: mediante queste tecniche è possibile realizzare qualsiasi funzione logica *invertente*: NOT, NAND, NOR. L'unico modo per realizzare funzioni non invertenti con le tecnologie che stiamo illustrando è introdurre un inverter in cascata alla porta logica che ci interessa: *non esistono* circuiti basati sulla tecnologia CMOS in grado di realizzare porte non invertenti.

Altra osservazione riguarda il già motivato nome CMOS (*Complementary MOS*): abbiamo detto che si hanno sempre almeno un pMOS e un nMOS, ma non abbiamo detto un aspetto negativo di questa tecnologia. Per realizzare la porta logica servono due riproduzioni della funzione: una in nMOS, una in pMOS. Presto si capirà meglio cosa significhi questa frase, e quali siano i problemi legati ad essa.

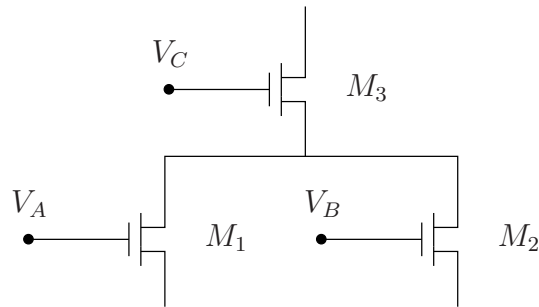


Figura 8.26: Parte con nMOS del circuito che si desidera progettare.

8.4.1 Sintesi di una generica porta logica invertente

Supponiamo di voler realizzare direttamente una generica funzione logica, ad esempio:

$$U = \overline{(A + B) \cdot C}$$

Ossia, NOT [(A OR B) AND C]

Vi è un trucco/metodo, a partire dal quale si può realizzare una generica porta logica invertente (come quella appena presentata di esempio).

Incominciamo a considerare solo degli nMOS: ogni qualvolta nell'espressione ci sia un AND, si mettono in serie due nMOS; dualmente, ogni qualvolta vi sia un OR, si mette in parallelo un nMOS. Partendo da destra verso sinistra, si vede che c'è un OR di due segnali con un AND al terzo: il transistor collegato all'ingresso C andrà collegato in serie al parallelo dei transistori collegati agli ingressi A e B.

Questo circuito non è terminato: questo blocco va, come suggerisce il nome CMOS, Complementato: utilizzando un circuito del tutto speculare, dove si introduce quindi un pMOS in parallelo per ogni AND e un nMOS in serie per ogni OR, si otterrà lo schema 8.27.

Questa è la realizzazione pratica circuitale della funzione logica desiderata.

La tecnica per realizzare porte logiche con questo trucco è detta AOI (And Or Invert): essa permette di realizzare qualsiasi porta invertente, basata sulla combinazione di AND e OR logici.

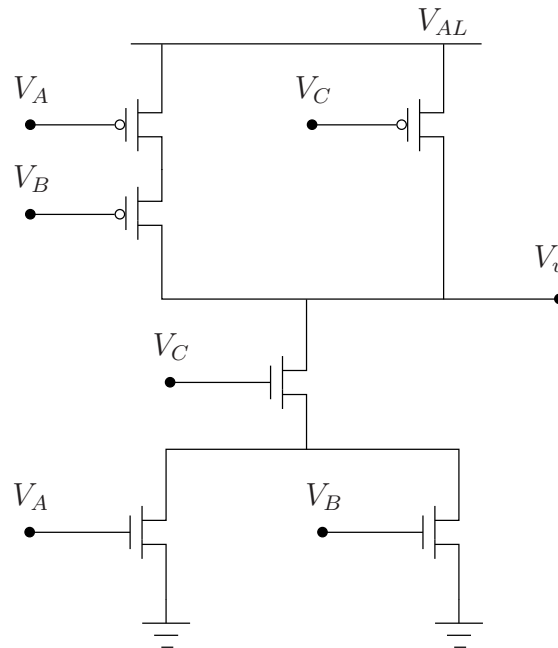


Figura 8.27: Schema definitivo del circuito che si deve progettare.

8.5 Tecnologie alternative alla CMOS

8.5.1 Tecnologia nMOS-like

Cosa non ci piace, a questo punto? Beh, nella tecnologia CMOS, come abbiamo appena visto, bisogna introdurre la stessa funzione *due volte*, ossia con una rete nMOS ed una pMOS. Questo fatto, per quanto i MOSFET siano estremamente piccoli da realizzare, è estremamente costosa: si occuperà di fatto il doppio dello spazio che potrebbe essere utilizzato per ciascuna funzione logica da implementare in un chip! Come al solito, la domanda è la seguente: è possibile fare di meglio?

La risposta è “sì” sotto il punto di vista del solo *spazio di integrazione occupato*. Sostituendo la rete di pull-up del circuito con una singola resistenza (che sarà eventualmente realizzata mediante un pMOS), e mantenendo inalterata la rete di pull-down, si ottiene qualcosa di interessante: da un lato infatti si dimezza il numero di transistori da integrare, dall’altro tuttavia bisogna per forza introdurre questo elemento resistivo, dissipante corrente (e dunque potenza) nel circuito. Questa tecnologia è detta nMOS-like, dal momento che utilizza quasi solo nMOS (a meno del transistoro utilizzato come resistenza).

8.5.2 Logica dinamica

Abbiamo avuto una buona idea, ma che tuttavia andrebbe sfruttata in qualche modo più saggio, se possibile. A partire dall'introduzione di una seconda idea, di una seconda ipotesi: in un chip, non è assolutamente detto che tutte le funzioni logiche debbano *sempre* essere attive e operative. Il fatto di aver introdotto una resistenza di pull-up comandata in tensione ha introdotto infatti la possibilità di accendere o spegnere l'intera funzione logica, si ha la possibilità di disabilitare una porta logica quando essa è inutilizzata.

Si noti che i circuiti logici finora studiati sono di tipo **statico**: ogni nodo ha sempre un percorso o per il potenziale di riferimento o per la tensione di alimentazione. La tensione allora è sempre ben definita, qualsiasi istante di tempo si consideri.

Ciò che vogliamo introdurre ora si contrappone a quest'idea: i circuiti a logica **dinamica** sono quelli in cui lo stato deve essere periodicamente ripristinato, mediante un segnale di *clock esterno alla logica* che controlla lo stato della resistenza di pull-up.

Se da un lato la tecnologia CMOS offre un consumo di corrente pressochè nullo al prezzo di avere un elevato numero di transistori utilizzati, la tecnologia nMOS-like dall'altro lato dimezza il numero di transistori, aumentando il consumo di potenza. La logica dinamica vuole essere un buon compromesso tra le due soluzioni, cercando di ottenere parte dei vantaggi di entrambe le tecnologie analizzate, non ottenendo mai risultati *estremamente* buoni³. Esaminiamo lo schema di principio di un circuito a logica dinamica riportato in figura 8.28.

La rete di pull-down è assolutamente analoga a quella di una rete CMOS; tra le tensioni di riferimento e la rete e tra la tensione di alimentazione e la rete vi sono due switch in controfase tra di loro (costituiti da un pMOS M_p , e un nMOS M_n), pilotati dal segnale di clock Φ . Studiamo dunque come si comporta il circuito al variare del valore del segnale Φ :

- Quando Φ è in uno stato logico basso, il circuito è detto in stato di **precarica**: se $\Phi = 0$, infatti, M_p è in stato di conduzione, M_n è interdetto. Dal momento che M_p conduce, la capacità C_L , rappresentante la somma di tutti i parametri parassiti tra uscita e 0 V, si carica. Essendo M_n chiuso, tuttavia, non esiste un percorso per il potenziale di riferimento e quindi la capacità *non può svuotarsi*. Al termine della fase di precarica, la tensione sulla capacità, coincidente con la tensione di uscita, sarà pari a V_{AL} . I valori di ingresso durante la fase di precarica possono cambiare il proprio stato logico o rimanere uguali, ma

³In medio stat virtus

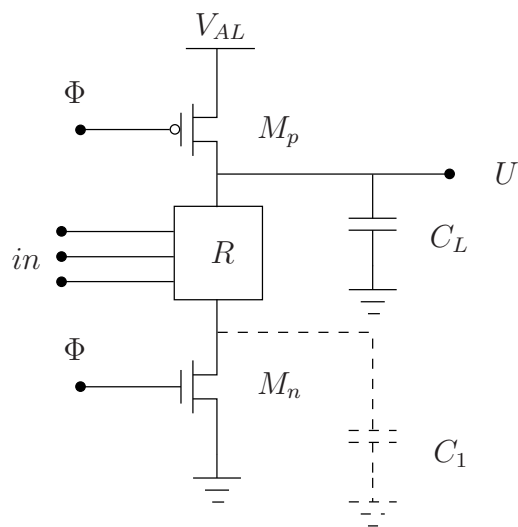


Figura 8.28: Schema di principio di un dispositivo a logica dinamica. Il blocco R rappresenta una rete di pull-down a nMOS.

non vi sarà alcuna variazione dell'uscita, dal momento che essa è esclusivamente vincolata dalla carica della capacità C_L . Il nome *precarica* deriva proprio dal fatto che l'uscita "non è interessante" in questa fase, dal momento che essa è esclusivamente una fase di preparazione della logica.

- Quando Φ è in uno stato logico alto, il circuito è detto in fase di **valutazione**: M_p è infatti in stato di interdizione, ma M_n conduce: dualmente a prima, non vi è alcun percorso tra alimentazione e resto del circuito, ma si è creato un percorso per il potenziale di riferimento del sistema. A questo punto, si valuta il vettore di ingressi, ossia si può stimare l'uscita a seconda del valore presente sugli ingressi nel momento in cui Φ passa da 0 a 1; si noti che il vettore di ingressi *non deve cambiare* in questa fase: dal momento che la carica sul condensatore non può aumentare perché non vi è più un percorso per l'alimentazione, tendenzialmente sarà possibile valutare un unico vettore di ingressi (per *vettore* si intende un pacchetto di ingressi, dal momento che non è detto che l'ingresso sia unico). Vi sono, dunque, a questo punto, sostanzialmente due sotto-possibilità di funzionamento:
 - Se gli ingressi sono tali da mantenere l'uscita ad uno stato logico alto, la capacità non si scaricherà, e non si avranno ritardi di propagazione, dal momento che la capacità è già carica, e gli

- ingressi non sono tali da creare un percorso per il potenziale di riferimento;
- Se gli ingressi sono tali ad abbassare l'uscita, la capacità si scaricherà, dirigendo la carica verso il 0 V.

Charge sharing

Per *charge sharing* si intende un particolare effetto di non idealità del circuito appena studiato: la capacità equivalente C_n (riferita a 0 V), definibile come la capacità compresa tra il nodo comune alla rete di pull-down e a M_n , potrebbe indurre C_L a perdere parte della propria carica. Infatti, all'inizio della fase di valutazione, assumendo che C_n sia scarica, la corrente di drain di M_n potrebbe subire variazioni, causate da un flusso di cariche che si dirigono proprio da C_L verso C_n ; si tenga conto di questo problema poichè esso affligge i circuiti appena analizzati.

8.5.3 Circuiti logici pass-transistor

Analizziamo un'ulteriore tecnica atta a realizzare funzioni logiche: a partire da dispositivi transmission-gate CMOS, infatti, è possibile realizzare un certo numero di funzioni logiche di vario tipo.

Senza voler approfondire il discorso del funzionamento dei transmission-gate, si vuole direttamente mostrare come l'uso di due di essi possa realizzare un esempio pratico di circuito spesso utilizzato in elettronica digitale: il multiplexer.

La funzione logica di un multiplexer è la seguente:

$$U = A \cdot S + B \cdot \bar{S}$$

Un modo di realizzare questa funzione logica è quello di usare la tecnica AOI già studiata, ma si può vedere facilmente che esiste un'alternativa più o meno valida, basata sulla topologia di fig. 8.29.

Se il segnale S è alto, M_1 condurrà, ma anche M_2 dal momento che $\bar{S} = 0$ e M_2 è un pMOS. Con $S = 0$, invece, si potrà dualmente dire che il primo transmission-gate non funzionerà, ma il secondo sì: per un transmission-gate entrambi i transistori saranno dunque sempre interdetti, per l'altro entrambi funzionanti, a seconda del valore del segnale S. Ciò che capita, dunque è il fatto che, se $S=1$, il segnale sull'ingresso A viene portato all'uscita, mentre quello sull'ingresso B non può procedere, e viceversa se $S = 0$ il segnale su B viene portato all'uscita, mentre quello su A no.

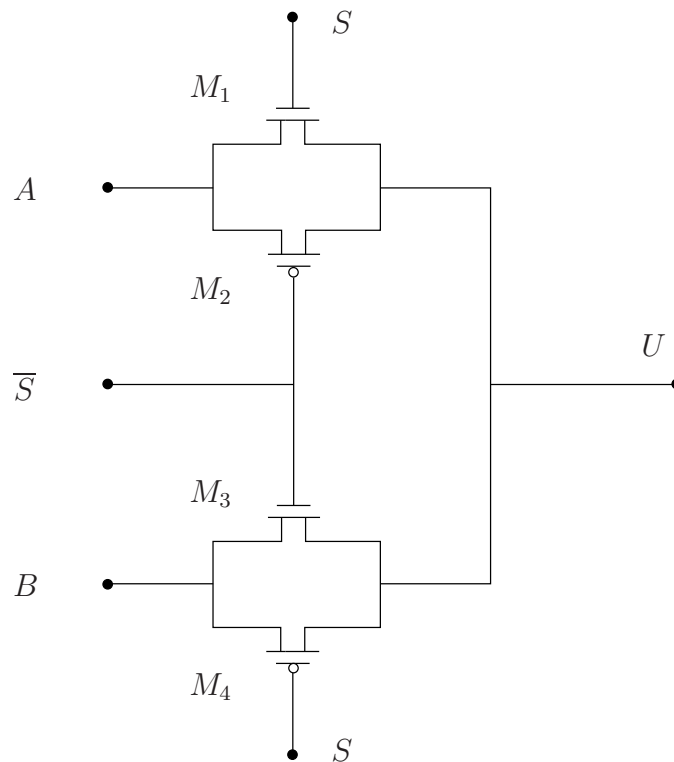


Figura 8.29: Realizzazione di un multiplexer (MUX) con pass-transistor.

Questa configurazione ha sostanzialmente un grosso pregio ed un grosso difetto: da un lato, si riduce drasticamente il numero di transistori che si dovrebbero utilizzare: realizzare un multiplexer CMOS è molto, molto più pesante rispetto ad uno a transmission-gate in termini di numero di transistori utilizzati; dall'altro canto, il transmission-gate *non riproduce* il segnale, bensì lo fa semplicemente *transitare*, oltretutto facendone perdere una porzione (a causa di effetti parassiti dei MOSFET). Non essendovi l'effetto di *rigenerazione* che vi sarebbe in un dispositivo basato sulla tecnologia CMOS, dunque, non conviene introdurre molte celle di questo genere in cascata (se non con un amplificatore): troppi transmission-gate attenuerebbero eccessivamente il segnale, fino a renderlo sostanzialmente nullo.

8.6 Esempi pratici

Studiamo, a questo punto, alcuni esempi pratici di utilizzo delle porte logiche, in condizioni statiche.

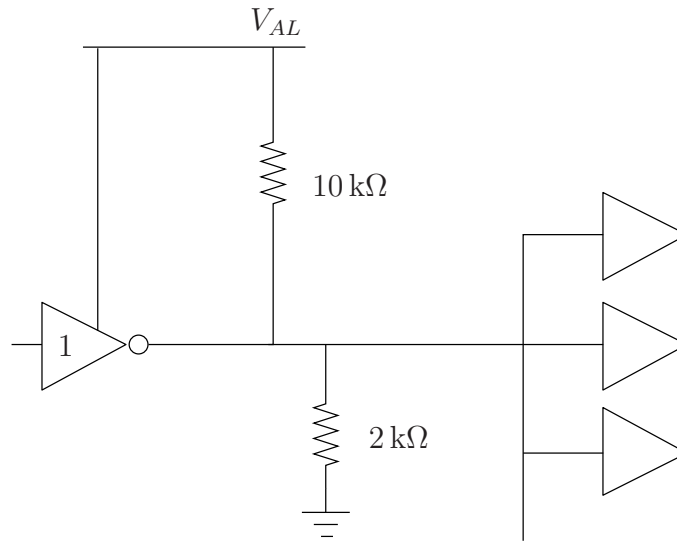


Figura 8.30: Schema circuitale a cui fa riferimento l'esempio 8.6.1.

8.6.1 Esempio pratico 1

In riferimento allo schemo 8.30, date le seguenti caratteristiche per la porta 1: $V_{OL} = 0,5 \text{ V}$, $V_{OH} = 4,5 \text{ V}$, $I_{OH} = -5 \text{ mA}$, $I_{OL} = 5 \text{ mA}$; date le seguenti caratteristiche per le porte collegate all'uscita: $V_{IH} = 3 \text{ V}$, $V_{IL} = 1 \text{ V}$, $I_{IH} = 20 \mu\text{A}$, $I_{IL} = -0,4 \text{ mA}$, si possono collegare porte logiche con queste caratteristiche? Se sÌ, quante?

Beh, almeno una di sicuro: $V_{IH} < V_{OH}$!

Quante, non è così banale: dobbiamo infatti studiare le correnti in gioco per ciascuno degli stati logici, differenziando due casi: 1 logico in uscita, 0 logico in uscita.

Uno logico

Quando dalla porta si vede un'uscita alta, parte della corrente esce dalla porta, parte dall'alimentazione; supponendo che, a uscita alta, si abbiano $4,5 \text{ V}$ ⁴, si avrà che:

$$I_O = n \cdot I_{OH} + \frac{V_{OH}}{2 \text{ k}\Omega} - \frac{V_{AL} - V_{OH}}{10 \text{ k}\Omega} \leq |I_{OH}|$$

Avendo $V_{OH} = 4,5 \text{ V}$, si ha:

⁴Si noti che quello che stiamo attualmente usando non è per forza un worst case: bisognerebbe provare un'uscita alta con tensioni differenti, verificando eventualmente altri casi più pessimisti rispetto a questo.

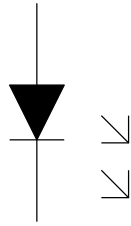


Figura 8.31: Simbolo circuitale del *diode led*.

$$I_O = (n \cdot 0,02 + 2,25 - 0,05) \leq 5 \text{ mA} \longrightarrow n < 140$$

0 logico

Per quanto riguarda lo zero logico, supponiamo che $V_{OL} = 0,5 \text{ V}$ ⁵; si avrà che la corrente (entrante) nella porta 1 deve essere:

$$I_O = n \cdot I_L + \frac{V_{AL} - V_{OL}}{10 \text{ k}\Omega} - \frac{V_{OL}}{2 \text{ k}\Omega} \leq I_{OL}$$

Da qui:

$$n \cdot 0,4 + 0,45 - 0,25 \leq 5 \longrightarrow n \leq 12$$

Dunque, essendo il minore tra i due rapporti $n = 12$, esso sarà il *fan out* della porta; tenendo conto che i dati usati potrebbero non essere il worst case, un buon fan-out per la porta potrebbe essere 10 o 11.

Solitamente, come worst case, si sappia che si può utilizzare un valore compreso tra la V_{OL}/V_{OH} e le tensioni limite (alimentazione o riferimento che siano).

8.6.2 Esempio pratico 2

Data una tensione di accensione del diodo led (simbolo 8.31) $V_{ON} = 1,7 \text{ V}$, con una corrente di accensione $I_{ON} = 5 \text{ mA}$, volendolo alimentare con una tensione di alimentazione $V_{AL} = 5 \text{ V}$, e un invertitore TTL-LS dalle seguenti caratteristiche elettriche statiche:

$$V_{OH} = 2,7 \text{ V}; \quad V_{OL} = 0,5 \text{ V}; \quad I_{OH} = -400 \mu\text{A}; \quad I_{OL} = 8 \text{ mA}$$

⁵Come prima: potrebbero esserci casi peggiori, dunque bisognerebbe “tentare” valori fino a ricavare il worst case

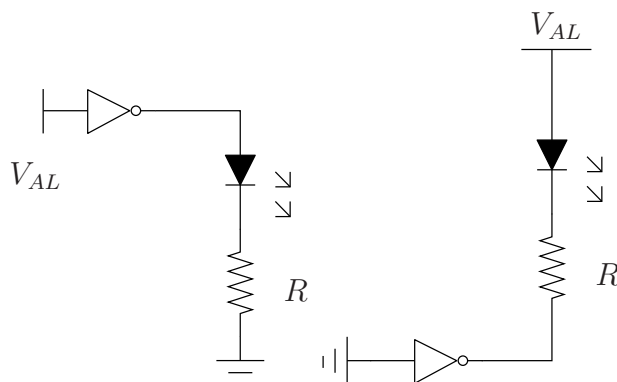


Figura 8.32: Due possibili collegamenti realizzabili per l'alimentazione del diodo led.

È necessario garantire i corretti livelli di tensione e a questo fine, sicuramente, oltre ai due suddetti componenti sarà utile un resistore R , in grado di regolare la corrente nel circuito. Ci troviamo tuttavia di fronte ad un bivio: è infatti possibile o collegare all'alimentazione la porta logica, e subito ad essa la porta logica, o viceversa collegare in serie all'alimentazione il diodo e solo dopo la porta logica (al cui ingresso sarà collegato lo 0 V).

Con una porta CMOS, una topologia vale l'altra: le caratteristiche elettriche delle porte moderne sono infatti talmente valide sotto questi punti di vista, che qualsiasi modo di utilizzo di solito funziona benissimo. Ma lo scopo dell'esercizio è quello di far funzionare tutto con una porta vecchia! Anche in questo caso è fattibile?

1. Con la prima topologia, se si ha $V_{OL} = 0,5 \text{ V}$, tutto funziona: il diodo sarebbe spento! Se però si avesse uscita alta, ossia $V_{OH} = 2,7 \text{ V}$, si avrebbe sulla resistenza una caduta di tensione tale da provocare una corrente *troppo piccola* per accendere il led;
2. Utilizzando la seconda topologia, quando la porta ha uscita alta essa non assorbe corrente, ma il diodo (led) non la lascia passare! A livello basso, invece, la tensione di uscita è pari a V_{OL} , dunque sulla resistenza devono esservi 5 mA o un valore ad esso superiore, a patto che sia minore di 8 mA (in modo da non bruciare la porta). Supponendo di volere 5 mA, si può dimensionare la resistenza R come:

$$R = \frac{V_{AL} - 1,7 \text{ V} - V_{OL}}{5 \text{ mA}} = 560 \Omega$$

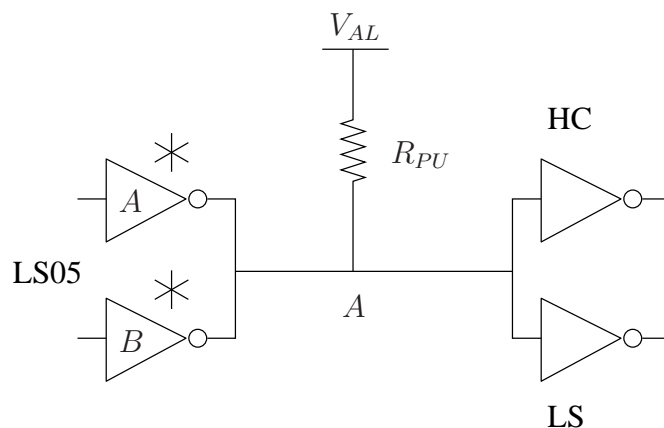


Figura 8.33: Schema dell'esempio 8.6.3.

Tradizionalmente per pilotare circuiti si utilizzava una topologia analoga alla seconda. Come già detto, le moderne porte permetterebbero tranquillamente l'uso della prima topologia, tuttavia per motivi di tradizione la seconda continua a rimanere la più utilizzata, per quanto non comporti notevoli vantaggi.

8.6.3 Esempio pratico 3

Nello schema 8.33, il simbolo * sulle porte logiche indica il fatto che l'uscita delle porte sia *open collector* (o open drain, se in tecnologia HC, ma non si tratta di questo caso); consideriamo le seguenti caratteristiche elettriche delle porte logiche:

$$V_{OH} \leq 5,5 \text{ V}; \quad V_{OL} = 0,5 \text{ V}; \quad I_{OH} = 100 \mu\text{A}; \quad I_{OL} = 8 \text{ mA}$$

$$V_{IH,HC} = 3,15 \text{ V}; \quad I_{IH,HC} = 1 \mu\text{A}; \quad V_{IH,LS} = 2 \text{ V}; \quad I_{IH,LS} = 20 \mu\text{A}$$

Date queste caratteristiche elettriche, dimensionare R_{PU} , ossia la resistenza di pull-up del sistema.

La linea può assumere sostanzialmente due valori logici: alto, quando sia A che B hanno uscita alta, e basso, negli altri casi. Studiamo dunque i singoli casi, distinguendo uno e zero logico.

1 logico

Quando sulla linea vi è valore alto significa che entrambe le porte (ricordiamo, open collector) sono modellizzabili come circuiti aperti; ciò in realtà non è

del tutto vero, dal momento che nelle porte logiche è presente un'impedenza di uscita non infinita ($r_o, \frac{1}{h_{oe}}$). Dettaglio da trattare è inoltre il seguente: tra le caratteristiche delle porte, si vede che $V_{OH} \leq 5,5 \text{ V}$. Questo parametro, nel datasheet di una porta logica TTL-LS (ad esempio la 74LS05), sarebbe tra gli *Absolute Maximum Ratings* e avrebbe il significato che la porta logica ha l'uscita su livello logico alto, sul filo dovrebbero esserci meno di $5,5 \text{ V}$, altrimenti il transistor si brucia; R_{PU} dunque deve essere collegata ad una tensione inferiore a $5,5 \text{ V}$. I_{OH} , inoltre, deve essere minore di $100 \mu\text{A}$.

Cerchiamo di determinare la corrente nella resistenza di pull-up: facendo l'equazione al nodo, si vede che essa è pari alle correnti entranti nelle porte open collector, e a quelle entranti nelle due porte logiche HC e LS:

$$I_{PU} = 2I_{OH} + I_{IH,HC} + I_{IH,LS} = 0,221 \text{ mA}$$

Possiamo quindi calcolare la tensione al nodo A, come:

$$V_A = V_{AL} - V_{PU} = V_{AL} - R_{PU}I_{PU}$$

Questa deve essere maggiore o uguale della massima delle tensioni in ingresso delle porte HC e LS, al fine di poterle pilotare; vediamo dunque che:

$$V_{IH,HC} = 3,15 \text{ V}; \quad V_{IH,LS} = 2 \text{ V}$$

Quindi, la tensione massima sarà quella relativa all'ingresso della porta HC; dovremo dunque dire che:

$$R_{PU} \leq \frac{5 - 3,15}{0,221} \simeq 8,4 \text{ k}\Omega$$

0 logico

Per quanto riguarda il caso di livello logico basso sulla linea, il caso più sfavorevole è quello in cui solo una delle due porte abbia livello logico basso in uscita, mentre l'altra alto: sappiamo infatti che $I_{OL} = 8 \text{ mA}$, ma anche che, se una porta logica open collector ha livello logico alto, allora essa è circa modellizzabile (a meno della famosa r_o) come un circuito aperto; se entrambe fossero a livello basso, le due porte sarebbero in grado di "aspirare" dalla linea fino a $2 \cdot 8 \text{ mA} = 16 \text{ mA}$, diminuendo lo sforzo che deve fare ciascuna porta per togliere corrente dal ramo.

Trascurando dunque il contributo della porta a livello logico alto, vediamo che:

$$\frac{V_{AL} - V_{OL}}{R_{PU}} + I_{IL,HC} + I_{IL,LS} \leq 8 \text{ mA}$$

Quindi:

$$\frac{(5 - 0,5) \text{ V}}{R_{PU}} + 0,4 \text{ mA} \leq 8 \text{ mA}$$

Da qui:

$$R_{PU} \geq 600 \Omega$$

Osservazioni finali

Cosa vediamo dai conti effettuati nelle due casistiche? Beh, il range può variare da 600Ω a $8,4 \text{ k}\Omega$: si avrebbe, dunque, più di una decade di valori apparentemente validi! Scegliendo un valore si potrebbero avere effetti positivi ma anche negativi. Ciò di cui ora abbiamo bisogno, quindi, è una serie di altri criteri, a partire dai quali ridurre il range di valori e aumentare la qualità del sistema. Vediamo cosa dovrebbe capitare, al variare del valore della resistenza:

- Se usassimo una resistenza piccola, avremmo un grosso consumo di corrente, ma dunque anche di potenza;
- Se usassimo una resistenza elevata, ad esempio $6,8 \text{ k}\Omega$, si diminuirebbe il consumo di corrente ma si peggiorerebbe il funzionamento dinamico della porta, del circuito: aumentando R , si aumenta la costante di tempo τ vista dai parametri parassiti (capacità parassite) delle porte, aumentando la durata del transitorio basso-alto, e quindi peggiorando le prestazioni del circuito.

A seconda delle priorità del circuito, ossia del *contesto* nel quale va inserito, si sceglierà dunque un differente valore della resistenza di pull-up, atto ad aumentare le prestazioni in termini di reattività del circuito piuttosto che di consumo.

8.7 Comportamento dinamico delle porte logiche

Finora abbiamo considerato lo studio delle nostre porte logiche solamente in staticità: senza mai variare gli ingressi.

È buona cosa capire quali sono e in cosa consistono anche le caratteristiche dinamiche delle porte logiche; al fine di studiare caratteristiche dinamiche di una porta logica, una buona idea è quella di collegare, come ingresso, un

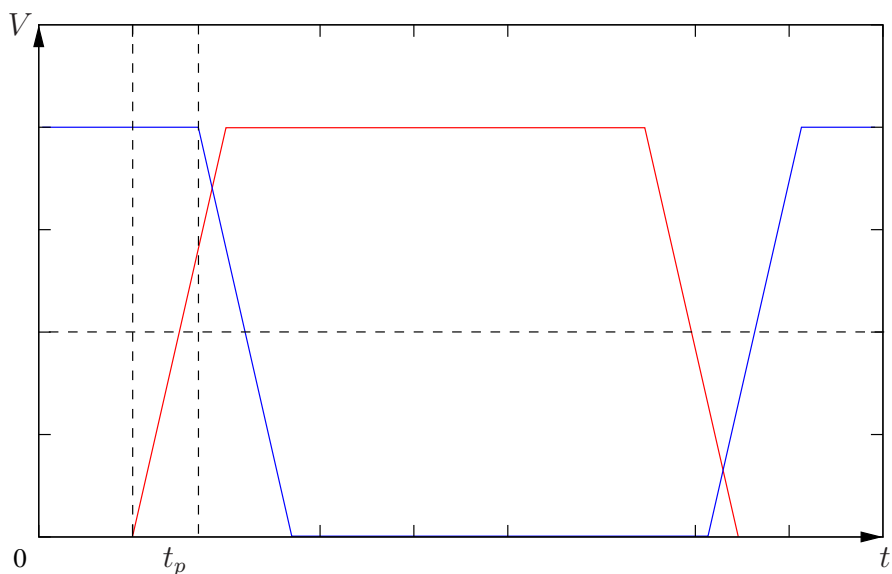


Figura 8.34: Ritardo nella propagazione del segnale dall'ingresso (in rosso) all'uscita dell'inverter (in blu).

generatore di onde quadre con transizione rapida di fronte d'onda, e osservare il relativo comportamento dell'uscita al variare del fronte.

Di sicuro, ci si può aspettare un'inversione, poichè la porta è un inverter, ma in realtà ci saranno alcuni effetti non previsti (fig. 8.34).

Si può misurare quanto tempo impiegano, considerando la stessa origine dell'asse dei tempi, il segnale di ingresso e quello di uscita a variare del 50% la propria ampiezza rispetto a quella massima, picco-picco. La differenza tra i due tempi è detta *ritardo di propagazione* t_p . Si possono distinguere due ritardi di propagazione, generalmente differenti tra loro: $t_{p,HL}$, ossia ritardo di propagazione per transizioni da uscita alta a bassa, e $t_{p,LH}$, ossia ritardo di propagazione per transizioni da uscita bassa a alta.

Altro parametro interessante dipende da due fattori che dobbiamo ancora definire: si definisce il *tempo di discesa* (in inglese *fall time*) T_F , ossia il tempo impiegato per passare dal 90% dell'ampiezza massima del segnale al 10% di essa; dualmente, si definisce il *tempo di salita* (*rise time*) T_R , ossia il tempo impiegato per passare dal 10% al 90% dell'ampiezza massima. Si restringe al solo 80% della dinamica del segnale il campo considerato al fine di evitare eventuali picchi iniziali o finali della forma d'onda.

Il circuito 8.35 rappresenta due inverter CMOS in cascata. Al fine di far commutare lo stato del secondo inverter è necessario che la capacità di ingresso C_i si carichi; dall'alimentatore arriverà un impulso di corrente generato dall'alimentazione, che verrà fornito alle capacità parassite; questo impulso

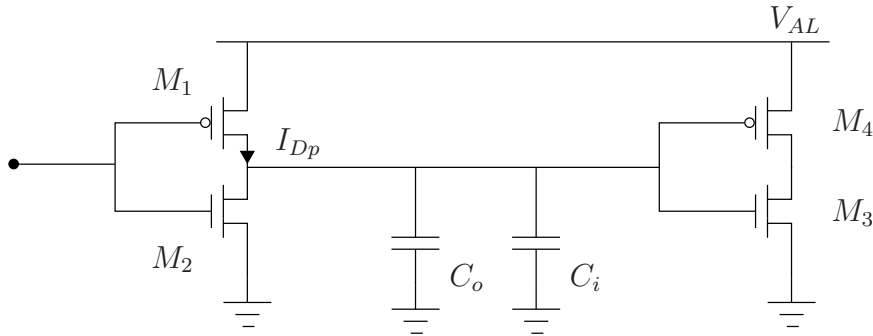


Figura 8.35: Una coppia di inverter CMOS collegati in cascata.

potrà passare solo quando M_2 avrà una tensione di gate tale da mandare in conduzione il pMOS (tensione $V_{GS} - V_{Tp} < V_{DS}$). Ciò che però si può in buona approssimazione ipotizzare è che, durante la transizione, il MOS generi una corrente costante; ciò significa che la corrente che carica le capacità non dipenda dalla tensione V_{DS} .

Il tempo di salita, T_R , è il tempo che la corrente I_{Dp} , generata dalla tensione di alimentazione V_{AL} , impiega per caricare le due capacità in parallelo; si può dire che esse, al termine del transitorio, abbiano subito una variazione di tensione ai propri capi pari a $\Delta V = V_{AL}$: da 0 V han raggiunto, di fatto, la tensione di alimentazione; dunque:

$$\Delta V = \frac{I}{C_o + C_i} \Delta t \longrightarrow V_{AL} = \frac{I_{Dp}}{C_o + C_i} T_R$$

Quindi, invertendo:

$$T_R = \frac{V_{AL}}{I_{Dp}} (C_o + C_i)$$

Scopriamo che vi è una dipendenza lineare tra tempo di salita (o discesa, che sia), e *capacità di ingresso* della porta successiva a quella che pilotiamo direttamente! In altre parole, il ritardo complessivo accumulato dal sistema logico dipende dal numero di porte, e dunque di elementi parassiti aggiunti al sistema, in cascata.

Un costruttore fornisce *sui datasheet* i tempi di salita, discesa ed il ritardo di propagazione, termini delle caratteristiche dinamiche di una porta logica. In condizioni di capacità di uscita standard (solitamente, 50 pF) sui datasheet, di solito, si trova un'espressione di questo genere:

$$t_{p,LH} = t_{p,LH}|_{50\text{pF}} + K \frac{\text{ps}}{\text{pF}}$$

L'espressione è costituita da due termini:

1. Tempo dipendente da un carico esterno al circuito, pari a 50 pF (di solito è il "minimo sindacale": non si usano mai carichi con capacità minori ad essa). 50 pF potrebbe essere la capacità della pista utilizzata per le interconnessioni, più una o due porte logiche (se la pista è corta si potrebbero collegare due porte, altrimenti una).
2. Per ogni pF aggiuntivo si avranno K picosecondi in più (dove K di solito è quantificabile intorno a 19).

Adesso facciamo un ragionamento in termini di energia e potenza consumata nel passaggio da un livello di tensione ad un altro quando si ha a che fare con capacità:

$$\varepsilon_T = \frac{1}{2}CV^2$$

Supponendo che vi siano f_{CLK} transizioni al secondo e, dal momento che vi sono due transizioni per ogni colpo di clock (una in da alto a basso, una da basso a alto) ricaviamo la potenza:

$$P_d = 2 \cdot \frac{1}{2} \cdot f_{CLK} \cdot C \cdot V^2 = f_{CLK} \cdot CV^2$$

Questo, per ciascuna delle porte logiche del circuito; supponendo di avere n porte logiche presenti nel circuito, di cui n_c commutanti, è sufficiente sommare le potenze dissipate su ciascuna, ottenendo:

$$P_{d,n} = n_c \cdot f_{CLK} \cdot V_{AL}^2$$

Utilizziamo n_c dal momento che non è detto che ad ogni colpo di clock commutino *tutte* le porte, bensì solo un certo numero medio: ad ogni colpo di clock, delle n porte ne commutano solo n_c .

Quest'ultima espressione è fondamentale, dal momento che ci fornisce un'importante informazione sulle porte logiche, e sulla potenza che dissipano: finchè infatti vi erano poche porte logiche assieme, 5 V come tensione di alimentazione poteva essere accettabile; dal momento che tuttavia si hanno logiche con un *numero enorme* di porte, al fine di ridurre la potenza dissipata nel chip è buona cosa agire su V_{AL} : n è un parametro intoccabile in sistemi complessi, la frequenza di clock anche, quindi sarebbe buona cosa cercare di ridurre almeno le tensioni di alimentazione. Si noti che inoltre V_{AL} è un termine quadratico: abbassando di 5 volte V_{AL} , ad esempio da 5 V a 1 V, si riduce di ben 25 volte la potenza dissipata! Questo, sostanzialmente, è il motivo per cui le famiglie logiche tendono ad utilizzare tensioni sempre più piccole: per ridurre i problemi di dissipazione della potenza sul chip.

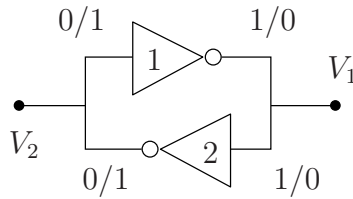


Figura 8.36: Un primo semplice circuito sequenziale.

8.8 Circuiti sequenziali

Quelli finora trattati sono circuiti logici combinatori, ma esiste una seconda categoria di circuiti logici, detti *sequenziali* che sono argomento di questa sezione.

Qual è la caratteristica di questo circuito? Beh, se a sinistra abbiamo uno 0 logico, a destra vi è un 1 e viceversa; ciò che sostanzialmente caratterizza questo circuito è il fatto che gli stati logici, a meno che non si forzi in qualche maniera uno stato, sono stabili e sono due; per questo motivo, la classe di circuiti cui anche questo appartiene è detta classe di circuiti **bistabili**. Analizziamo ora una caratteristica particolare dei circuiti come questo.

8.8.1 Metastabilità

Che problemi ha questo circuito? Beh, studiamo la caratteristica, e cerchiamo di capirlo!

Vediamo che, essendoci due inverters, il sistema funziona in modo statico solo dove ci sono le intersezioni delle caratteristiche: i punti L , R e Q . La lettera L significa che V_1 è alta mentre V_2 è bassa, R significa che V_1 è bassa mentre V_2 è alta. Ma cosa significa Q ?

Abbiamo una terza intersezione del sistema, dunque un terzo stato, sebbene avessimo prima detto che di stati ve ne sono due. Inoltre, il fatto che Q stia a metà non è molto bello: la porta potrebbe infatti a stabilizzarsi in questo punto, punto sul quale le uscite *non sarebbero definite!*

Avendo inoltre un piccolo discostamento da Q , di un valore infinitesimo ε (causato ad esempio dalla sovrapposizione di una qualche tensione di rumore), la stabilità del punto *cade*, e si arriva, in un certo tempo, ad un altro punto di stabilità (o L o R).

Q è detto **metastabile**: stato in cui il tempo impiegato per uscire da esso non è deterministico, bensì statistico, aleatorio.

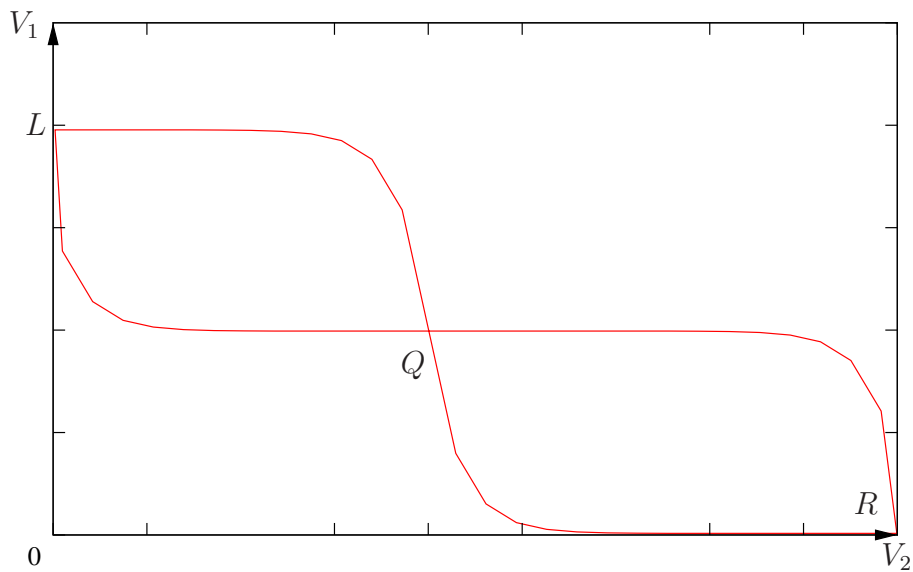


Figura 8.37: Transcaratteristica del circuito rappresentato in figura 8.36.

8.8.2 Latch S-R

Dopo questa introduzione al concetto di metastabilità, su di un esempio banale, analizziamo un circuito sequenziale più interessante e utile riportato in figura 8.38.

Al fine di comprendere come questo circuito funzioni, è necessario ricordare una nozione sulla porta NOR, sulla quale esso si basa: se uno degli ingressi del NOR è 1, allora l'uscita sarà sicuramente 0, indipendentemente dall'altro ingresso. L'uscita 1 dunque si ha se e solo se entrambi gli ingressi del NOR sono in uno stato di 0 logico.

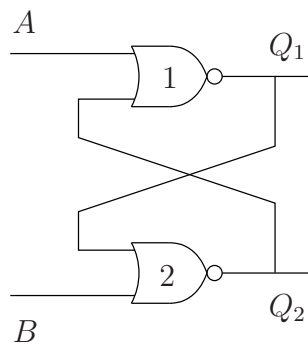


Figura 8.38: Schema circuitale di un circuito sequenziale particolarmente interessante.

Guardando il circuito si vede che, se $A = 0$ e $B = 1$, su Q_2 vi sarà senz'altro 0. Ciascuno 0 viene portato all'ingresso della porta numero 1 dalla reazione, dunque, dal momento che $A = 0$, Q_1 sarà 1. Invertendo i valori, ossia avendo $A = 1$, $B = 0$, si avrà banalmente un'uscita duale a questa: $Q_1 = 0$, $Q_2 = 1$. Si può inoltre banalmente vedere che, se $A = 1$, $B = 1$, si avranno $Q_1 = 0$, $Q_2 = 0$: questo a causa del discorso precedentemente fatto, riguardo la funzione NOR.

Supponiamo di aver introdotto $A = 0$, $B = 1$, e di avere dunque le uscite $Q_1 = 1$, $Q_2 = 0$; supponiamo dunque di variare da questo stato gli ingressi a $A = 0$, $B = 0$. Sulla porta 1 si avrà da un lato l'ingresso 0 per ipotesi, dall'altro l'uscita della porta 2 che, nello stato precedente, era $Q_2 = 0$; quindi, $Q_1 = 1$! Sulla porta 2, quindi, si avrà $B = 0$ per ipotesi, e sull'altro ingresso un 1 derivante dall'uscita della porta 1, quindi $Q_2 = 0$! Ma questa, semplicemente, è la stessa uscita che avevamo con la configurazione di ingressi immediatamente *precedente*. Si può inoltre osservare che, avendo $A = 1$, $B = 0$, si verifica lo stesso fatto: l'uscita si mantiene costante. Introducendo quindi gli ingressi $A = 0$, $B = 0$, si *mantiene lo stato* precedente!

Il latch, dunque, è in grado di mantenere in memoria uno stato in esso presente e di stabilizzarlo, fino a quando un utente non decide di cambiarlo di propria volontà.

Ovviamente, questo circuito logico ha un problema: se passassimo da $A = 1$, $B = 1$, a $A = 0$, $B = 0$, capiterebbe un fatto non molto piacevole: su entrambe le uscite si avrebbe infatti 1 logico, retroazionato dai corto circuiti alle uscite, che dunque si abbassano; gli zeri logici sulle uscite dunque verrebbero riportati indietro dalla reazione, ma quindi, dal momento che gli ingressi sono fissi su $A = 0$ e $B = 0$, le uscite passano da sole dallo stato basso allo stato alto; lo 0 logico quindi torna all'ingresso, e così via.

Idealmente, quello che si ottiene, è un *oscillatore*: abbiamo raggiunto uno stato di metastabilità ottenendo, come si suol dire, un fenomeno di **metastabilità oscillatoria**. Nella realtà, questo stato non dura a lungo: i ritardi delle due porte infatti sono diversi e il fatto che la reattività delle due porte sia differente permetterà ad un segnale di arrivare in meno tempo dalla reazione all'ingresso della porta più lenta, stabilizzando in uno dei due stati logici stabili il sistema; quale sia lo stato stabile non è determinabile a priori, se non statisticamente e a partire dalla conoscenza dei parametri delle porte.

Al fine di evitare questo tipo di fenomeno, si evita di utilizzare il sistema con ingressi $A = 1$, $B = 1$: questo set di ingressi è infatti anche detto **configurazione proibita**.

Definito dunque $S = \text{Set} = A$, $R = \text{Reset} = B$; $Q = Q_2$; $\bar{Q} = Q_1$, il circuito appena presentato è detto anche "set-reset latch", e di solito si trova modellizzato a blocchi con la seguente rappresentazione:

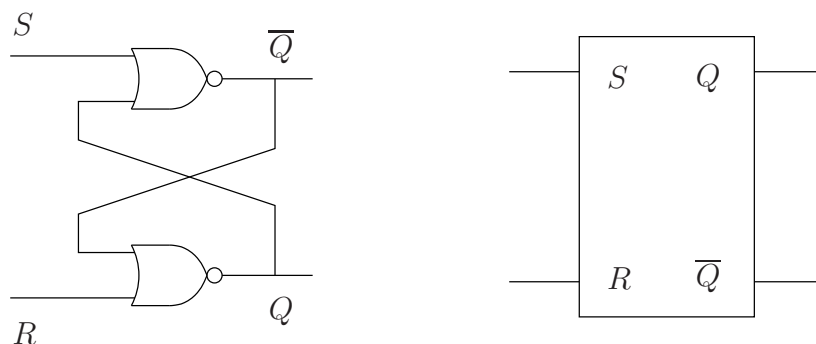


Figura 8.39: Schema circuitale del *latch Set-Reset* e simbolo circuitale.

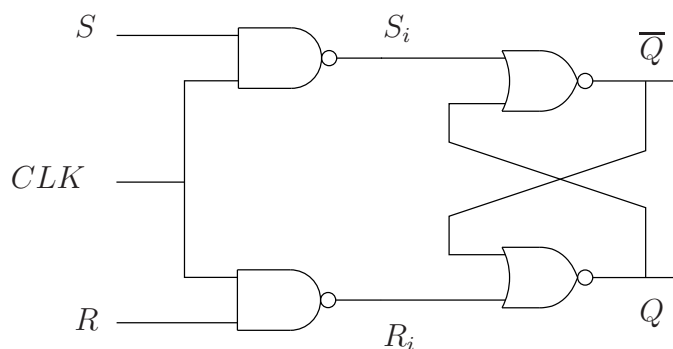


Figura 8.40: Schema di un circuito sequenziale ricavato dallo schema 8.39.

Si sappia che un circuito analogo a quello appena mostrato è realizzabile, in maniera analogica, mediante porte logiche NAND; il discorso sarà molto simile al precedente, se non in un dettaglio: la condizione di memoria cambierà; non si approfondirà per ora questo aspetto.

8.8.3 D-Latch

Dal momento che quello appena presentato è il circuito sequenziale utile più semplice e come al solito possiamo pensare di complicarlo, al fine di ottenere qualcosa di ancora più utile. Supponiamo di aggiungervi, secondo la topologia di figura ??, due porte NAND e un segnale di clock, che chiameremo CLK.

Con questa modifica, guardando bene, non abbiamo guadagnato nulla: volendo fare la tavola di verità⁶ di questo circuito, si vedrebbe che si sono solamente aumentati i casi in cui si ricade in configurazioni proibite: il fat-

⁶In realtà sarebbe meglio parlare di *tabella di eccezione* perché non stiamo più parlando di reti combinatorie ma di circuiti sequenziali caratterizzati da un insieme di *stati*.

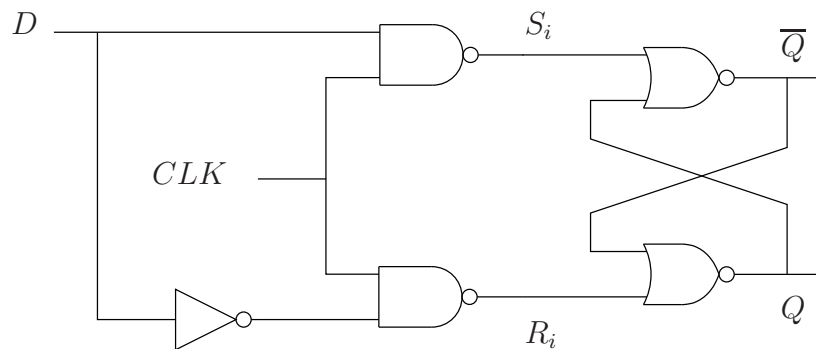


Figura 8.41: Schema circuitale a livello di porte logiche del *D-Latch*.

to di avere il clock introdotto in questo modo, potrebbe non solo stabilire il campionamento o meno un certo ingresso, ma anche modificare il segnale di ingresso stesso al sistema, cosa non desiderata. Quest'idea non è tuttavia da buttare, dal momento che, mediante una piccola modifica, diventa estremamente interessante (fig. 8.41).

Introducendo questo inverter, si ottiene di fatto la seguente cosa: con un singolo ingresso D , si introduce un Dato; quando il segnale di clock, CLK , sarà alto, il dato sarà *campionato*, ossia sarà acquisito dal sistema e mantenuto fintanto che il clock rimarrà alto; una volta che il clock si abbassa, l'uscita torna ad uno stato basso e si attende, al fine di modificare le uscite dallo stato basso, l'arrivo di un nuovo segnale alto di clock.

L'uscita dunque "copia" l'ingresso solamente quando CLK è a 1, altrimenti rimane a livello basso. Questo tipo di circuito logico è detto *D-type transparent latch*, e circuitalmente si rappresenta con il simbolo 8.43.

Questo elemento sarà molto utile, dal momento che rappresenta, di fatto, la base a partire dalla quale si possono costruire dei *registri* detti *D-transparent registers*.

Abbiamo analizzato due tipi di latch e a questo punto possiamo cercare di capire in dettaglio quali siano le loro caratteristiche e i loro eventuali problemi mediante un confronto.

Si suol dire che il primo latch sia un dispositivo logico *asincrono*: è infatti un circuito sequenziale, dal momento che presenta possibilità di mantenere uno stato precedente "in memoria", ma non possiede un ingresso per il clock.

Il secondo, mediante le modifiche circuitali applicate al primo, è stato dotato di un ingresso di clock, ma presenta una seconda caratteristica: è *trasparente*, ossia le variazioni dell'ingresso vengono riprodotte sull'uscita se e solo se il segnale di clock è in un istante alto.

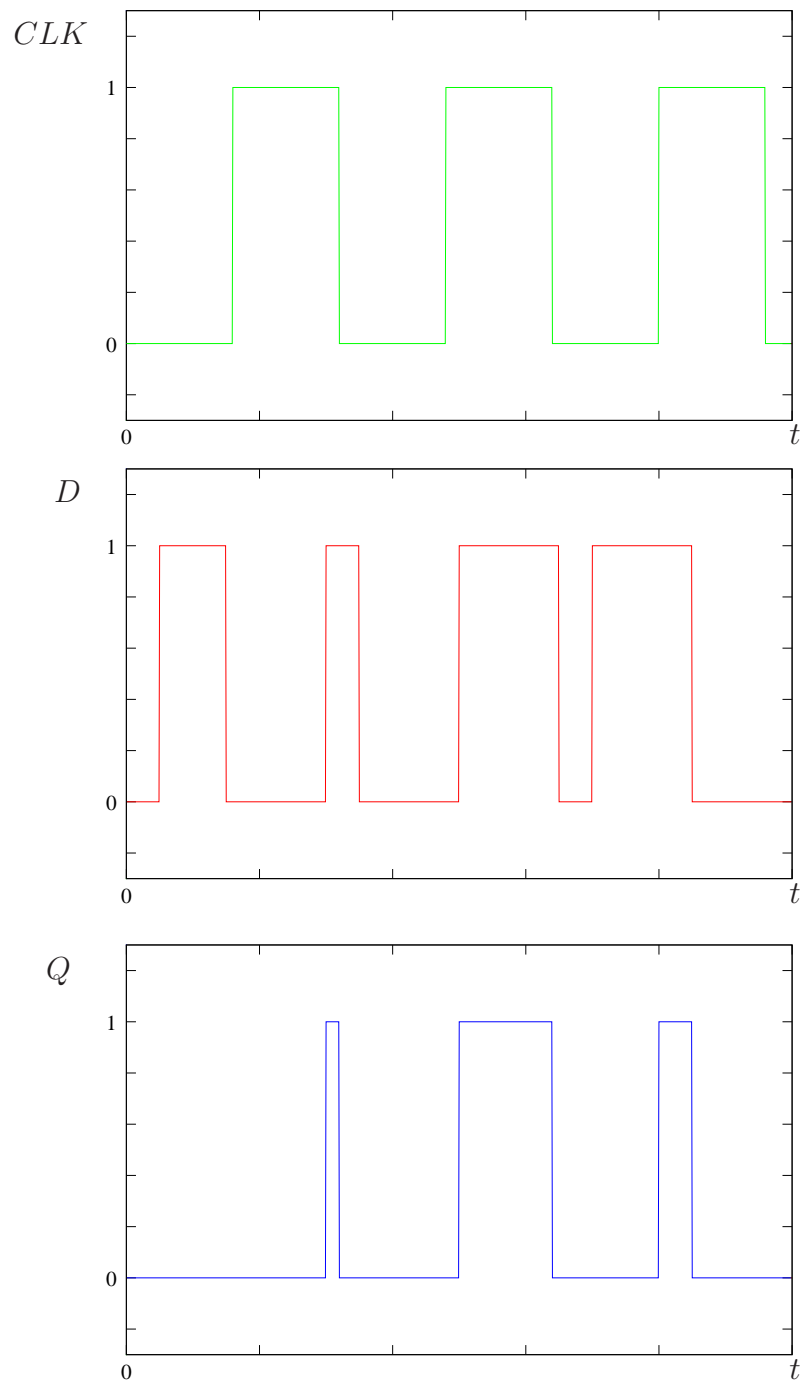


Figura 8.42: Propagazione di un segnale digitale binario arbitrario (D) applicato ad un D-latch. Si osservi che l'uscita Q riproduce fedelmente l'ingresso solo negli intervalli di tempo nei quali il segnale di CLK è a livello logico alto.

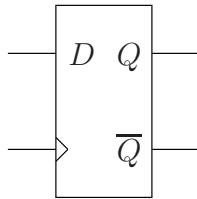


Figura 8.43: Simbolo circuitale del D-latch.

8.8.4 Flip-flop tipo D

Con i circuiti sequenziali visti finora è possibile realizzare degli altri dispositivi in grado di rispondere ad una vasta gamma di necessità dei progettisti aumentando il livello di complessità. Un'idea carina sarebbe quella di introdurre un circuito logico sequenziale in grado di campionare un certo ingresso di dato D , non su di un livello di segnale di clock, ma in prossimità di un *fronte* di segnale di clock: un circuito in grado di rilevare l'ingresso nel solo istante in cui il segnale di clock commuta esclusivamente o da alto a basso o al contrario.

Come si fa? Beh, si devono combinare due circuiti: uno deve essere sensibile al livello basso del clock, uno al livello alto; mettendoli in catena, all'uscita verranno esclusivamente "sentite" le variazioni del segnale di ingresso in corrispondenza dei vari istanti in cui vi sarà una commutazione del clock. Consideriamo, a partire dal latch S-R, il circuito logico 8.44 e il suo funzionamento 8.45.

Il primo latch, detto anche *master*, sente la variazione di ingresso, dunque al suo interno campiona il segnale; lo *slave*, ossia il secondo latch, trasmette sull'uscita il valore memorizzato sul master; in questo modo, non appena si sentirà una commutazione basso-to-alto del clock, si avrà un campionamento da parte dello slave, che proporrà in uscita il segnale. Invertendo il clock, ossia mettendolo affermato nel primo latch (master) e negato per il secondo latch (slave), si ottiene un effetto opposto: si attiva il campionamento solo durante il fronte di discesa del clock.

Esistono alcune varianti di questo circuito sequenziale, che ora analizzeremo.

Flip-flop tipo SR

Il flip-flop tipo SR (FFSR) si comporta in modo simile al latch SR, ma la differenza fondamentale sta nel fatto che vengono rilevati dal sistema solo i segnali in ingresso degli istanti di campionamento (fronte in salita o di discesa del clock a seconda della realizzazione del FFSR).

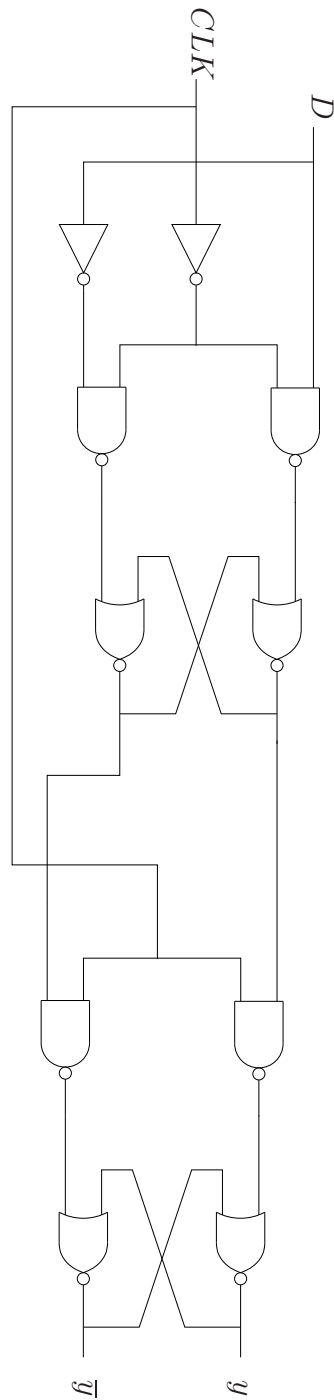


Figura 8.44: Schema circuitale a livello di porte logiche del flip-flop master-slave di tipo D.

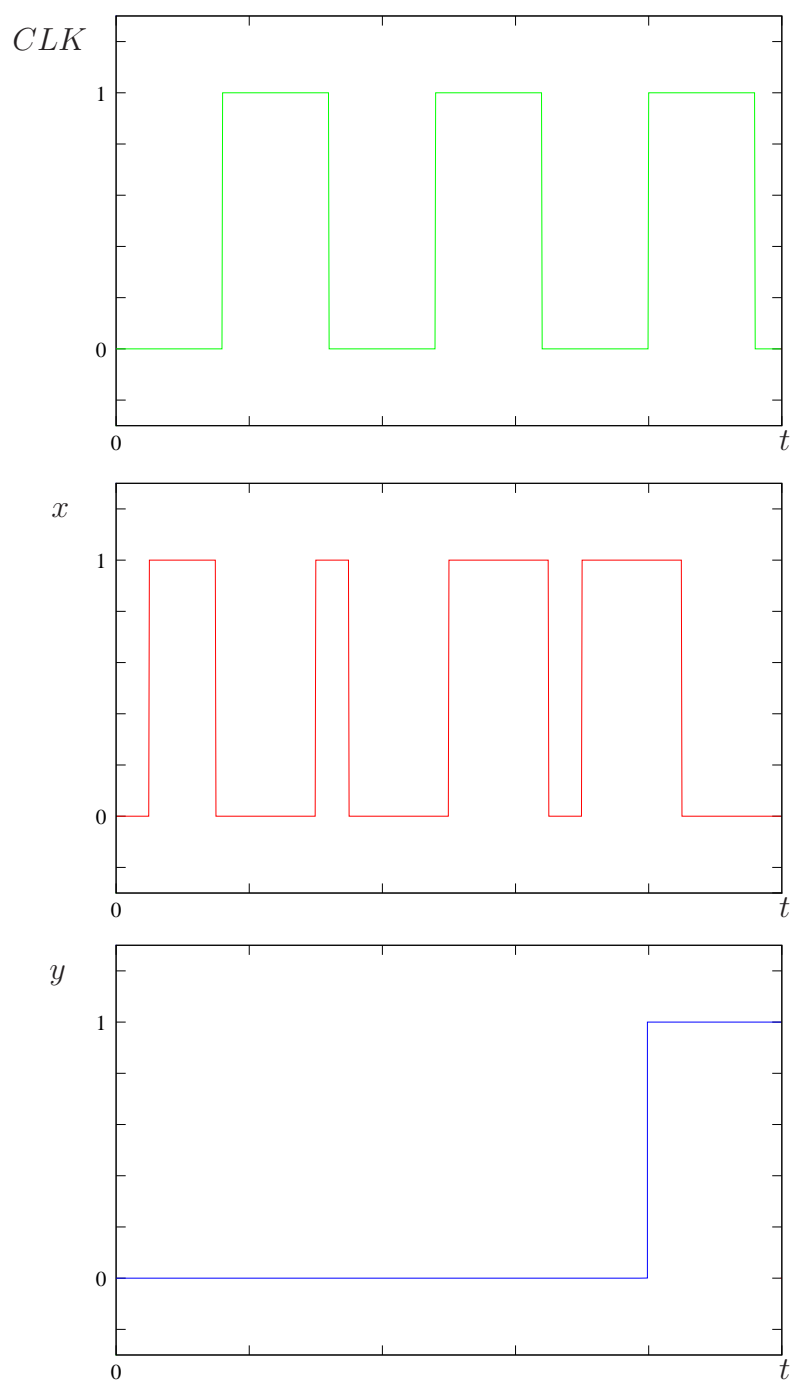


Figura 8.45: Propagazione del segnale digitale in ingresso x attraverso il circuito 8.44. Si noti il campionamento sui soli fronti di salita: il segnale di ingresso compie numerose transizioni 0/1 e 1/0, ma l'unico caso in cui si ha uscita alta è quello che vede x alto nell'istante di campionamento (fronte in salita del CLK).

CLK	S	R	Q	\overline{Q}
\leftrightarrow	-	-	Q_{-1}	\overline{Q}_{-1}
\downarrow	0	0	Q_{-1}	\overline{Q}_{-1}
\uparrow	0	1	0	1
\downarrow	1	0	1	0
\uparrow	1	1	1	0

Figura 8.46: Tabella di eccitazione del flip-flop tipo SR.

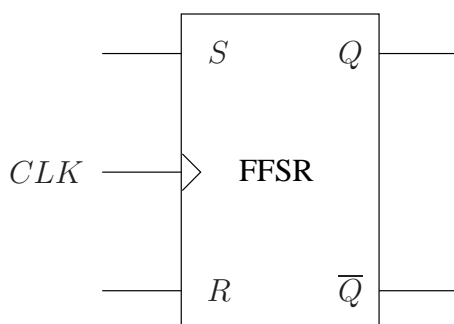


Figura 8.47: Simbolo circuitale del flip-flop set-reset.

Il simbolo circuitale è riportato in figura 8.47 mentre la tabella di eccitazione è la 8.46.

Per mettere in evidenza il fatto che viene compiuta una *discretizzazione* dello scorrere del tempo, matematicamente si può rappresentare l'uscita come una *successione* piuttosto che come una funzione continua. Se indichiamo con y il segnale logico in uscita, la funzione di transizione diventa

$$y^{(n+1)} = S + Ry^{(n)}$$

perché dipende dal valore prodotto in uscita $y^{(n)}$ dal fronte di clock precedente e dal valore degli ingressi binari S e R . Una scrittura equivalente più compatta è

$$y' = S + \overline{R}y$$

dove y' è il valore dell'uscita successivo a y .

Flip-flop tipo JK

Il flip-flop tipo JK (FFSR) è molto simile al FFSR, infatti per gli ingressi JK 00, 01, 10 il comportamento è analogo, mentre per 11 cambia sempre stato. Questo comportamento si può riassumere con la formula

J	K	Q	\overline{Q}
0	0	Q_{-1}	\overline{Q}_{-1}
0	1	0	1
1	0	1	0
1	1	\overline{Q}_{-1}	Q_{-1}

Figura 8.48: Tabella di eccitazione del flip-flop tipo JK.

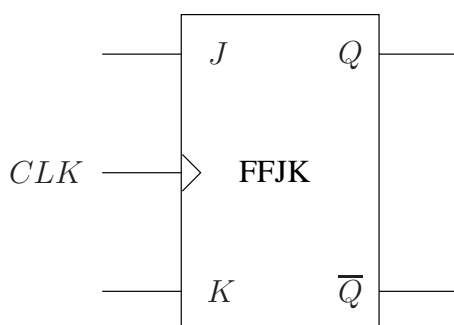


Figura 8.49: Simbolo circuitale del flip-flop JK.

$$y' = \overline{y}J + y\overline{K}$$

inoltre il simbolo circuitale è riportato in figura 8.49 mentre la tabella di eccitazione è la 8.48 (rispetto alla precedente tab. 8.46 si è sottointeso il campionamento del fronte di clock).

Flip-flop tipo T

Il flip-flop T (Toggle) dispone di un ingresso T che quando è attivo e campionato commuta lo stato in memoria: se si ha un'uscita alta e si riceve T alto si ottiene uscita bassa, mentre se si ha uscita bassa e si riceve T alto si passa a uscita alta. Simbolo e tabella di eccitazione nelle figure 8.51 e 8.50.

Collegando ad esempio un clock all'ingresso T si avrà una commutazione di stato ad ogni colpo di clock. Si noti che il flip-flop T è semplicemente un flip-flop JK, in cui però $J = K$!

T	Q	\overline{Q}
0	Q_{-1}	\overline{Q}_{-1}
1	\overline{Q}_{-1}	Q_{-1}

Figura 8.50: Tabella di eccitazione del flip-flop tipo T.

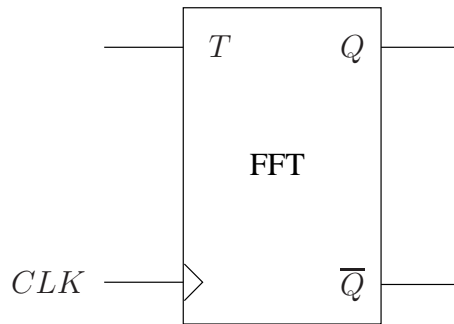


Figura 8.51: Simbolo circuitale del FFT.

8.8.5 Osservazioni

Finora, abbiamo considerato discorsi prevalentemente ideali, considerando di fatto tempi di propagazione nulli e non considerando l'esistenza di un problema che continua ad incombere sui circuiti logici: la metastabilità.

Torniamo al trasparente latch tipo D: tutto ciò che finora abbiamo detto, in pratica, non è molto bello: il segnale SET e il RESET, in questo dispositivo, dovrebbero essere uno l'opposto dell'altro, in teoria; l'inversione del segnale D per quanto riguarda l'ingresso RESET viene tuttavia realizzata mediante un dispositivo fisico, ossia un inverter, dispositivo il cui ritardo di propagazione è assolutamente non nullo, e potrebbe quindi essere non trascurabile! Quello che capita, dunque, è che c'è un piccolo intervallo di tempo in cui il set e il reset si trovano entrambi a stato logico 1; sostanzialmente, possono avvenire due conseguenze, relative a questo fatto:

- per qualche nanosecondo, le uscite Q e NOT(Q) non sono una l'opposto dell'altra, e poi una delle due cambia un po' più rapidamente rispetto all'altra;
- Se il cambio del segnale D avviene proprio quando il clock passa dallo stato attivo a quello non attivo, vi è la possibilità che il sistema vada in metastabilità. In particolare vi sono due possibilità, riguardo all'ingresso del sistema in uno stato di metastabilità:
 - Il fatto che vi sia un passaggio da 00 a 11, come già descritto;
 - Il fatto che si posizioni in stato di memorizzazione l'uscita proprio nell'istante in cui l'uscita sta commutando, e si trovi sul punto di metastabilità, “fermandosi” dunque in questo punto.

Il segnale del flip-flop deve “smettere di cambiare” un po' prima della transizione del clock, in modo da evitare di memorizzare il segnale proprio

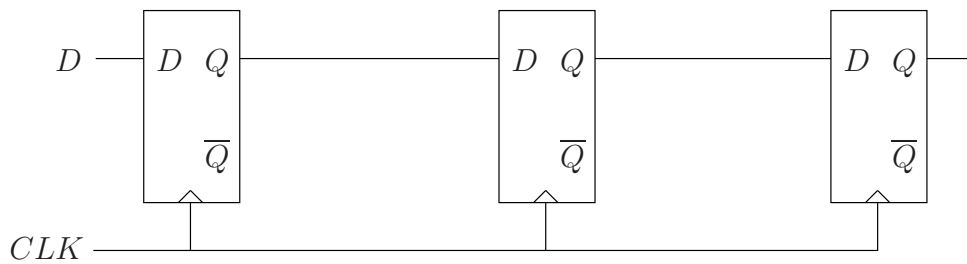


Figura 8.52: Schema dello shift register a tre FFD.

nell'istante di metastabilità; si introduce quindi un tempo, detto **tempo di setup** t_S , tale da bloccare il cambio di segnali in tempo utile. Dal momento che, inoltre, i tempi di propagazione del sistema non sono nulli, essendovi la possibilità che le uscite siano coincidenti per qualche istante di tempo, conviene introdurre un tempo aggiuntivo, atto a permettere alle uscite di stabilizzarsi su un valore non metastabile, e di diventare opposte tra loro in modo netto; il tempo aggiuntivo così introdotto è detto **tempo di hold** t_H .

Per quanto, da come li abbiamo descritti, gli eventi in grado di provocare l'ingresso in uno stato di metastabilità sembrano remoti, non lo sono assolutamente! Entrambi i problemi proposti, sono assolutamente concreti, e spesso, inevitabili, se non a partire da alcune osservazioni che presto introdurremo: i tempi di propagazione all'interno del circuito, sono assolutamente *rilevanti* e non riducibili; una volta entrati in uno stato di metastabilità, inoltre, come suggerisce la sua definizione, non è possibile determinare l'istante di uscita dallo stato medesimo: solo in modo statistico si può stimare quanto tempo si impiegherà per passare ad uno stato stabile.

Soluzione alternativa

Tutto ciò è molto importante, ma talvolta inevitabile usando le nozioni appena apprese: da progettisti, potrebbero capitarci situazioni nelle quali noi possiamo sì decidere quale sia il segnale di clock, ma in cui il dato D deriva dall'esterno del sistema che dobbiamo progettare; se CLK e D non sono tra di loro compatibili, non è possibile garantire i tempi di setup e hold, e quindi neanche la *garanzia* che finora abbiamo pensato di introdurre, mediante modifiche sul clock. In tali situazioni, il progettista deve essere in grado di convivere con la metastabilità dei flip-flop, cercando strategie atte a renderla quantomeno non influente.

Un'idea, è quella di partire dal presupposto che uno o più flip-flop *possano* anche andare in stato di metastabilità. Cosa si potrebbe fare per evitare danni al sistema o malfunzionamenti? Un'idea è riportata in figura 8.52.

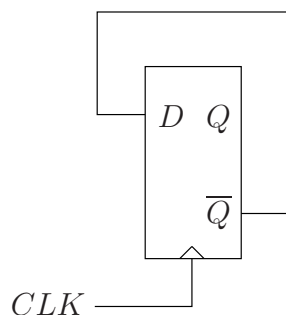


Figura 8.53: Schema circuitale del contatore ottenuto da un FFD retroazionato.

Si può utilizzare uno *shift register*: se il segnale fosse tale da essere campionato nel momento sbagliato, esistono due possibilità:

- Il sistema può uscire dalla metastabilità in un colpo di clock;
- Il sistema può rimanere in stato di metastabilità per il successivo colpo di clock.

Abbiamo detto che non è possibile stimare in modo deterministico l'uscita da uno stato di metastabilità, ma con un po' di furbizia si può pensare che quasi sicuramente dopo due colpi di clock si sia risolto il problema; andando il primo flip-flop del registro (in termini di primo della cascata) in metastabilità, al più il secondo potrà raggiungere lo stato, ma statisticamente è molto, molto improbabile che il terzo raggiunga tale stato.

Questo tipo di circuito, in questo contesto, è detto *sincronizzatore di ingresso*, ed è fondamentale, in situazioni come quella appena descritta, introdurne uno almeno a due stadi.

8.8.6 Contatore asincrono

Consideriamo, a partire da un flip-flop tipo D, una reazione: colleghiamo l'uscita NOT(Q) all'ingresso di dato, D; ciò che si otterrà sarà lo schema 8.53.

Dal momento che il flip flop commuta di fatto ad ogni fronte in salita (o in discesa), ora il dispositivo in uscita commuterà *una volta ogni due*: la forma d'onda ottenuta ha frequenza dimezzata.

In realtà, non siamo nell'idealità! Nel circuito, ovviamente, vi è un certo ritardo di propagazione al momento del passaggio da 0 a 1 dell'uscita.

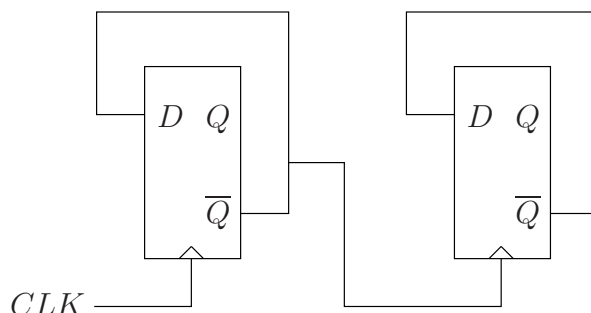


Figura 8.54: Schema circuitale del contatore doppio che “squarta” la frequenza di CLK .

Si può vedere questo oggetto come un contatore “modulo due” di fronti di discesa, o come un divisore (dimezzatore) di frequenza.

Vogliamo un divisore modulo 4, ossia un divisore in grado di dividere per quattro la frequenza? Beh, basta mettere due di questi dispositivi in cascata!

Ovviamente, adesso, vi saranno ancora più tempi di propagazione di prima: da un lato coinvolgeranno la reazione, dall’altro l’ingresso al successivo clock; tutti questi elementi si sommano, e provocano comportamenti estremamente negativi.

Determinare la sequenza in uscita dal sistema è un problema, dal momento che, se la somma dei tempi di propagazione supera il tempo di clock, si perde la significatività di qualsiasi uscita del sistema.

Una topologia di questo tipo è comunemente detta **ripple clock**: si tratta di *contatori asincroni*, dal momento che nessun flip flop è pilotato dallo stesso segnale di clock: il clock di fatto pilota solamente il primo, la cui uscita diverrà il segnale di clock per il secondo, e così via.

8.8.7 Contatore sincrono

Sarebbe interessante poter utilizzare un contatore, dotato di più flip-flop (in modo dunque da poter aumentare le uscite, ottenendo divisioni con divisore maggiore di 2), con un unico segnale di clock; ciò potrebbe, ad esempio, ridurre gli errori dovuti ai tempi di propagazione della catena di flip flop, tempi che si sommano per ogni anello della catena; se i flip-flop lavorassero in parallelo tra loro, sicuramente vi sarebbero ritardi di propagazione (impossibili di fatto da eliminare), ma non influenti quanto nel caso dei circuiti sinora analizzati.

Bisogna sfruttare la seguente idea: *ogni FF memorizza una cifra* del numero binario del contatore e agli ingressi si deve presentare la cifra successiva

A/B	0	1
0	01	10
1	11	00

Figura 8.55: Tavola di verità delle funzioni $f_1(AB) = A'$ e $f_0(AB) = B'$ rispettivamente.

da memorizzare al posto di quella vecchia all'arrivo del colpo di clock. Il problema diventa la realizzazione di una rete combinatoria per ogni cifra/FF del contatore che produca la *cifra successiva* per ogni numero attuale. Per esempio, dopo 01 si deve avere 10, quindi per la cifra più significativa è necessaria una funzione f_1 che dia $f_1(1,0) = 1$ mentre per quella meno significativa $f_0(1,0) = 0$. In questo modo le funzioni $f_{1,0}$ costruiscono il numero successivo (cifra per cifra) a partire da quello attualmente rappresentato (tab. 8.55).

Una volta chiarito il discorso di logica booleana, bisogna applicarlo al circuito sequenziale dei flip-flop. Le funzioni logiche hanno in ingresso i bit memorizzati nel FF $Q_1 = A$ e $Q_0 = B$ e danno in uscita i successivi ingressi D_1 e D_0 .

$$D_0 = \overline{Q_1 Q_0} + Q_1 \overline{Q_0} = \overline{Q_0}$$

Questo ci fa intuire che, in questo caso, $\overline{Q_0}$ si possa collegare a D_0 .

Per quanto riguarda D_1 , la funzione logica dovrà essere, come si può osservare dalla tabella, la seguente:

$$D_1 = \overline{Q_1} Q_0 + Q_1 \overline{Q_0} = Q_1 \oplus Q_0$$

Quindi, sarà sufficiente collegare le uscite dei due flip flop ad una porta logica EXOR, e questa collegarla all'ingresso D_1 !

Abbiamo fatto un esempio per quanto riguarda un contatore in modulo 4; questo ragionamento, ovviamente, è ripetibile per quanto riguarda qualsiasi funzione logica; è possibile effettuare ragionamenti del tutto analoghi, quindi, per quanto riguarda contatori di modulo qualsiasi potenza di due.

Per quanto riguarda circuiti più complicati, quali contatori (parallelo, ovviamente) in grado di gestire un numero superiore di bit, c'è da tenere conto della seguente raccomandazione: al fine di evitare di aumentare il tempo di propagazione complessivo del circuito, conviene evitare di collegare troppe porte logiche in cascata: più elementi in cascata si introducono, più il tempo di propagazione aumenta. Si suggerisce di utilizzare porte logiche equivalenti con molti ingressi, piuttosto che molte porte logiche con pochi ingressi: in termini di delay di propagazione, la soluzione è indiscutibilmente migliore.

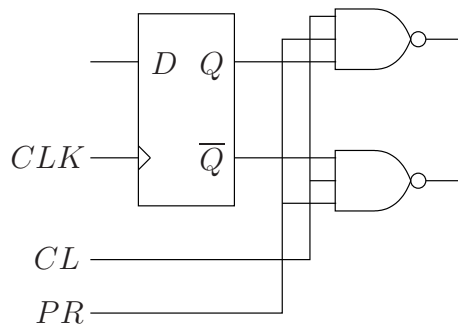


Figura 8.56: Schema del flip-flop modificato con le funzioni di preimpostazione.

8.8.8 Meccanismo di Reset

Sono stati introdotti diversi tipi di circuiti sequenziali, ma, molto spesso, non è stato considerato un fatto: al momento dell'accensione del circuito sequenziale, come si può determinare *a priori* lo stato del circuito? Esistono tecniche in grado di portare ad uno stato convenzionale il circuito sequenziale, prima di metterlo in funzione?

La risposta alla domanda è “sì”, ed esistono quantomeno due soluzioni, sostanzialmente differenti, al suddetto problema.

Soluzione interna al flip-flop

Una soluzione al problema consiste nel modificare la struttura interna del flip-flop, introducendo elementi differenti, modificando ad esempio lo stadio di uscita, introducendo delle porte NAND a tre ingressi, il cui terzo ingresso avrà l'obiettivo di modificare l'uscita dei flip-flop anche in assenza di segnali di clock. Un blocco circuitale alternativo al flip-flop tipo D finora analizzato potrebbe essere la fig. 8.56.

Spieghiamo dunque come viene comunemente utilizzato questo tipo di dispositivo:

- Introducendo un segnale PR (di PReset) a 0, e CL (Clear) a 1, si mandano convenzionalmente allo stato di 1 logico le uscite, in modo asincrono, ossia ignorando il clock;
- Considerando $CL = 0$, $PR = 0$, si settano a 0 tutte le uscite del dispositivo.

Soluzione esterna al flip-flop

Ciò che si può fare, senza toccare i “mattoncini fondamentali”, è modificare la logica esterna al flip flop: introducendo un segnale di ingresso in grado di mandare a 0 tutti i segnali D del flip-flop e mandare a 0 le sue uscite al primo colpo di clock, si è realizzato un reset sincrono, ossia un dispositivo in grado di resettare il circuito, ma solo quando il clock commuterà.

Capitolo 9

Circuiti di interfacciamento: Interruttori Reprise

Indice

9.1	Interruttori low-side	350
9.2	Interruttori a BJT	350
9.2.1	Variante: porta logica open-collector	351
9.2.2	Variante: uso di una coppia Darlington	352
9.2.3	Pilotaggio di carichi con alimentazione negativa	354
9.2.4	Schemi a tre transistori	355
9.3	Interruttori a MOSFET	356
9.4	Interruttori high-side	358
9.4.1	Interruttori high-side con finale npn	359
9.4.2	Interruttori high-side con finale pnp	361
9.4.3	Interruttori high-side a MOSFET / Varianti	363
9.5	Carico reattivo: free wheeling	366

CIÒ CHE ORA INTENDIAMO FARE, è applicare la teoria sinora analizzata riguardo gli interruttori e quella riguardo le porte logiche, in modo da poter utilizzare una generica porta logica come *pilota di un carico*: usando prevalentemente un inverter, a seconda dello stato dell'ingresso della porta logica, l'uscita assumerà un certo valore; questo verrà utilizzato per pilotare un interruttore atto ad accendere o spegnere un carico di un qualche tipo. Dato che gli interruttori realizzabili sono high-side o low-side, ma che gli high-side sono decisamente più complicati, incominciamo dai low-side e presentiamo diverse tecniche atte a realizzarli.

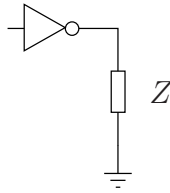


Figura 9.1: Soluzione più semplice di pilotaggio low-side di carico resistivo.

9.1 Interruttori low-side

Supponiamo di avere ad esempio un carico resistivo la cui resistenza ha valore 12Ω , collegato ad una tensione di alimentazione; supponiamo di avere, come dispositivo di pilotaggio, una porta logica di tecnologia HC (dunque CMOS).

Vogliamo che, su questo carico, vi sia 1 A di corrente.

La prima soluzione che ci può passare per la mente è quella di collegare direttamente l'uscita dell'inverter alla resistenza da un lato, e al potenziale di riferimento dall'altro. Soluzione a dir poco pessima: questo tipo di collegamento potrebbe rovinare la porta, e non realizzare ciò che ci interessa. Potrebbero, di fatto, capitare casi nei quali l'interruttore sia costituito dalla sola porta logica che si intende utilizzare, ma si parla di casi in cui vi è poca potenza nel circuito: quando i carichi richiedono potenze elevate, come in questo caso, è necessario ricorrere a trucchi di altro genere.

Proviamo dunque a realizzare soluzioni maggiormente ragionate, basate sull'uso di dispositivi attivi: BJT o MOSFET.

9.2 Interruttori a BJT

La prima idea realizzabile è la seguente: collegare tra porta logica e carico un transistor bipolare a giunzione, con una resistenza di polarizzazione per la base R_B , in modo da *pilotare in corrente* il BJT (fig. 9.2).

Avremo di fatto la necessità di un transistor in grado di sopportare una corrente piuttosto elevata; potremo dunque pensare di utilizzare un TIP31: transistor di potenza. Dal momento che i conti da fare sono quelli degli interruttori, i transistori andranno considerati in commutazione, dunque si dovrà definire un $\beta_{FORZATO}$ pari a 15 o 20. Ciò che pilota il sistema, ossia ciò che fornisce la corrente di base, è la corrente di uscita della porta logica; si può vedere che:

$$I_B = \frac{V_{OH} - V_{BE,SAT}}{R_B}$$

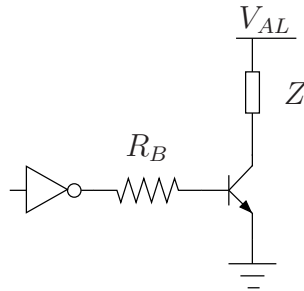


Figura 9.2: Utilizzo di un transistor bipolare a giunzione per pilotare un carico con una porta logica.

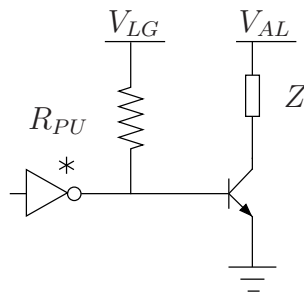


Figura 9.3: Utilizzo di un transistor bipolare a giunzione per pilotare un carico con una porta logica.

Al fine di non richiedere troppa corrente alla porta logica, si vuole che I_B sia minore di I_{OH} , per evitare danni.

9.2.1 Variante: porta logica open-collector

Supponendo di avere una porta logica open-collector (o open-drain), si può effettuare il seguente stratagemma, al fine di pilotare la base del transistor di potenza (fig. 9.3).

Dimensionando la resistenza di pull-up, R_{PU} , in modo da avere una corrente pari a I_{OL} , implicante quindi un'uscita con stato logico basso, si può ottenere:

$$I_{O,0} = \frac{V_{LG} - V_{OL}}{R_{PU}}$$

Se invece l'uscita fosse ad uno stato logico alto, si avrebbe:

$$I_{O,1} = \frac{V_{LG} - V_{BE,SAT}}{R_{PU}}$$

Questo sistema può essere molto utile specialmente in ambito industriale: dal momento che, in questo contesto, le logiche tendono ad avere sempre le stesse tensioni di alimentazione da diversi anni, spesso si possono trovare logiche da 12 V, 15 V, 24 V; basandoci sull'idea appena ottenuta, si può pilotare il carico con una tensione ben superiore a quella di uscita alta della porta logica, quindi adattare circuiti moderni a contesti “vecchi”.

9.2.2 Variante: uso di una coppia Darlington

Supponendo di non disporre di una porta logica open collector, vogliamo fare qualcosa di meglio rispetto al circuito con un singolo transistor; il problema del circuito precedentemente analizzato, alla base dell'uso di transistori bipolari per migliorare il pilotaggio della porta logica, aveva infatti un problema: il $\beta_{FORZATO}$, atto a garantire lo stato di saturazione del BJT, è decisamente piccolo, ma quindi conseguentemente piccolo pure il guadagno in corrente del circuito. Un aumento della corrente sul circuito può essere introdotto mediante l'introduzione di un ulteriore transistor bipolare, utilizzando una coppia Darlington (nella quale il guadagno β_{eq} è circa uguale al prodotto dei guadagni dei due transistori). Quindi il guadagno di circuiti basati su questa topologia, spesso venduti in forma integrata, è dell'ordine del migliaio, e con la possibilità di reggere decine di ampère di corrente.

Potremmo a questo punto chiederci: “*come colleghiamo il Darlington?*”. Esistono infatti due possibili topologie circuitali, provocanti effetti diversi nel sistema finale, a partire dalle quali è possibile realizzare quest'idea (schemi 9.4).

Darlington: configurazione 1

Vediamo che su T_2 vi è una V_{CE} tendenzialmente piccola: all'aumentare della corrente sul carico aumenterà assieme ad essa anche la caduta di tensione, dunque ci si può aspettare che V_{CE} sia nell'ordine di una tensione tra collettore ed emettitore di saturazione, e che quindi il secondo transistor saturi.

Si introduce una resistenza R_E sull'emettitore del secondo transistor al fine di accelerare lo svuotamento della capacità di giunzione base-emettitore di T_2 , quindi di velocizzare il diminuire di $V_{BE,2}$ al momento della commutazione alto-basso dell'uscita: il tempo di spegnimento, in un transistor di questo tipo, sarebbe infatti dell'ordine dei millisecondi, ma con questa resistenza si riduce notevolmente il tempo di scarica della giunzione. Per quanto riguarda T_1 , esso è in regione lineare.

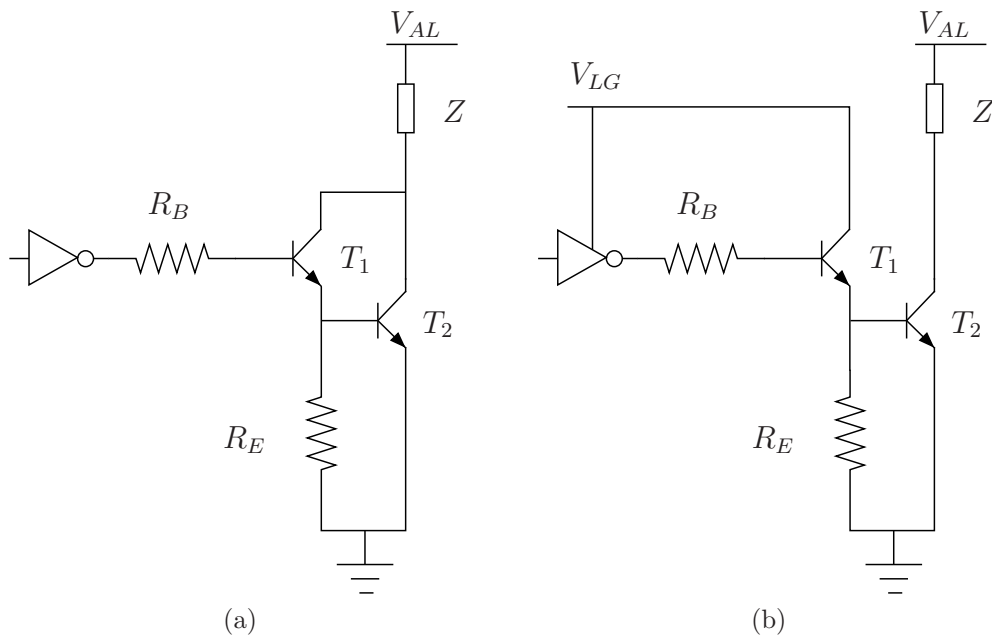


Figura 9.4: Due possibili topologie di pilotaggio di carico resistivo con una coppia Darlington.

Questo circuito non è efficientissimo: da un lato ha un'ottima velocità di commutazione, causata dall'alta tensione presente sulla resistenza di emettitore R_E , tuttavia, a causa del fatto che il collettore di T_1 non sia collegato al carico, e che quindi I_{C1} non scorra nel carico, si ha una corrente relativamente bassa su quest'ultimo, e quindi un'efficienza bassa.

Darlington: configurazione 2

La situazione, per quanto riguarda lo stato dei transistori, si “ribalta”: T_1 è infatti in stato di saturazione, T_2 in stato lineare. Per come sono disposti i BJT, infatti, vediamo che la V_{CE} di T_2 è molto più elevata rispetto a quella tipicamente presente in stato di saturazione: sul collettore di T_2 infatti vi è $V_{BE,2} + V_{CE,1,SAT}$, ben maggiore di 0,2 V.

In questo circuito, il rendimento è senza dubbio migliore, rispetto al precedente: tutta la corrente, ora, passa per il carico, essendo entrambi i collettori collegati direttamente ad esso.

Per lavorare su questo circuito, dal momento che T_1 è in stato di saturazione, si dovrà ricorrere al solito $\beta_{FORZATO}$, mentre, per T_2 , per considerare un caso di worst case, sarà sufficiente utilizzare il β_{min} considerabile sul datasheet del transistor in uso.

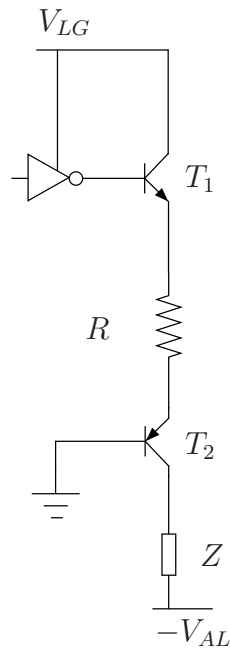


Figura 9.5: La soluzione di pilotaggio per il caso di alimentazione con polarità negativa.

9.2.3 Pilotaggio di carichi con alimentazione negativa

I circuiti finora analizzati godevano di una caratteristica comune: il fatto di essere polarizzati con una tensione di alimentazione positiva. Esistono tuttavia casi nei quali è necessario pilotare un carico mediante l'uso di una tensione negativa. Come si può realizzare un interruttore low-side in questo contesto?

Essendo low-side, il carico è direttamente collegato alla tensione di alimentazione, dunque a $-V_{AL}$; dal momento che sul carico non vi è una corrente elevata, collegando direttamente il dispositivo logico (di pilotaggio), si può risolvere il problema in modo duale a come l'abbiamo finora affrontato: utilizzando un transistor pnp.

Si noti che, con questa disposizione, non vi è amplificazione: se la tensione di uscita dal dispositivo logico è bassa, non vi è corrente (o ve ne è una trascurabile), altrimenti, se la tensione di uscita fosse alta, si avrebbe il carico alimentato.

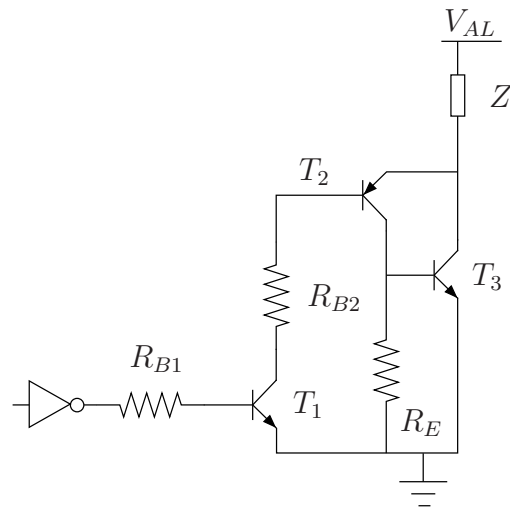


Figura 9.6: Soluzione a tre transistor a partire da una coppia Darlington.

9.2.4 Schemi a tre transistori

I circuiti finora utilizzati per pilotare il carico potrebbero funzionare, ma non nel caso in cui il carico richieda molta potenza; una soluzione a problemi di questo tipo potrebbe essere quella di utilizzare un terzo stadio nel circuito di pilotaggio.

Idea da non utilizzare è aggiungere ulteriori npn ai circuiti con già due transistori finora introdotti: avere da gestire $2 V_{BE}$ non è già di per sè molto bello, aggiungerne una terza potrebbe compromettere il pilotaggio del carico in assoluto. Ciò che si fa nella pratica, dunque, è utilizzare configurazioni con sia BJT npn che pnp.

Presentiamo a questo punto le due soluzioni tipicamente utilizzate, in termini di pilotaggio a BJT.

Prima soluzione: triplo Darlington

Un'idea per la realizzazione di un circuito di pilotaggio a tre transistori potrebbe essere la figura 9.6.

Nello stadio finale, conviene utilizzare un npn: a causa delle caratteristiche elettroniche, infatti, generalmente un npn è in grado di gestire meglio la potenza, ed è più veloce (ricordando il fatto che le mobilità elettroniche degli elettroni sono solitamente tre volte più elevate di quelle delle lacune); si ottiene, quindi, un guadagno circa uguale al prodotto dei tre guadagni, senza avere comunque grosse tensioni di giunzione BE. Vediamo che, quando

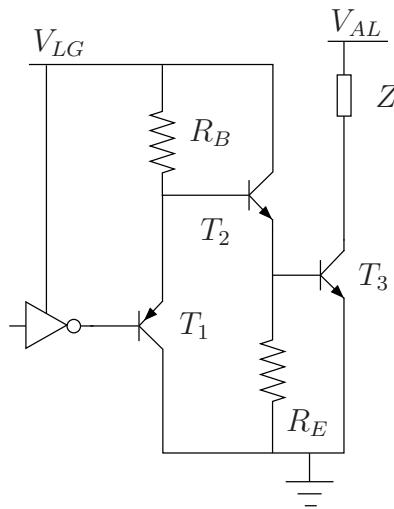


Figura 9.7: Soluzione alternativa a tre transistori.

la porta logica ha uscita con livello logico "alto", T_1 e T_2 sono in stato di saturazione. Questo circuito è dotato di efficienza elevata.

Seconda soluzione

Il fatto che T_3 fosse, nella precedente configurazione, in stato di conduzione, provocava il fatto che su di esso cadesse una tensione elevata; esiste un circuito in grado di ridurre le cadute di tensione su T_3 , al prezzo tuttavia di ridurre il rendimento (fig. 9.7).

A questo punto quand'è che T_3 conduce? Beh, solamente quando l'uscita della porta logica è su livello alto! In termini di corrente su T_3 c'è solamente la corrente presente sul carico! Ciò che si può fare, dunque, è ridurre il valore di R_B , in modo da avere una corrente molto più grossa rispetto al circuito precedente. Il fatto che solo il collettore di T_3 sia collegato al carico implica una minore efficienza, ma sono presenti anche vantaggi: si può dimensionare a piacere R_B , tenendo conto del fatto che al più in essa può scorrere una corrente pari a:

$$I_{R_B} = \beta_{1,min} \cdot I_{OL}$$

9.3 Interruttori a MOSFET

Finora abbiamo analizzato interruttori basati su circuiti a BJT, ma collegamenti di questo tipo non sono il "massimo": sarebbe interessante poter real-

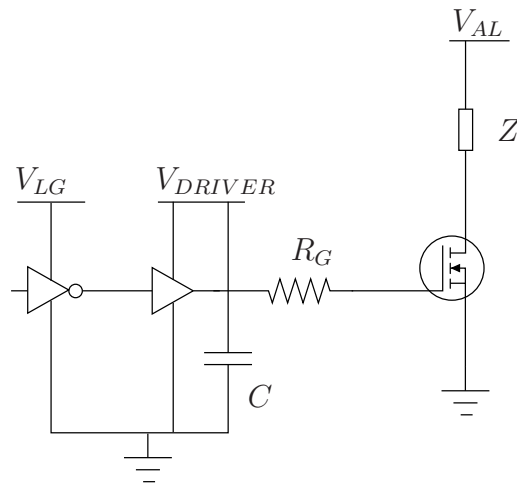


Figura 9.8: Schema di un generico sistema di controllo di un interruttore a MOSFET.

izzare interruttori in grado di avere una *velocità di commutazione regolabile*. Potrebbe capitare che la velocità di commutazione richiesta dal sistema elettronico che si intende realizzare non sia compatibile con quella della porta logica che si ha a disposizione. Dallo studio dei MOSFET come interruttori, sappiamo che più carica si fornisce loro in un certo intervallo di tempo, più velocemente essi commuteranno.

Usare un MOSFET non è banale, e richiede una certa attenzione: supponendo di saper progettare una topologia circuitale in grado di pilotare un MOSFET, si disporrebbe di uno schema 9.8

Dal momento che il MOSFET deve commutare rapidamente, il MOS driver deve fornire *impulsi di corrente* di ampiezza anche molto elevata, come 1 A, per decine di nanosecondi. Dal momento che, in un sistema integrato, le interconnessioni tra dispositivi sono collegate mediante piste induttive, potrebbe capitare che le induttanze aumentino le costanti di tempo, e quindi la durata del transitorio. Una soluzione a questo problema è già presente nello schema: introducendo, più vicino possibile al gate del MOSFET, un condensatore di bypass, in modo da funzionare come un *serbatoio di carica*, per quanto sia lunga la costante di tempo, si avrà sempre e comunque un apporto di carica sul gate, e quindi si ridurrà il problema, aumentando la velocità di transizione (commutazione).

Una possibile realizzazione pratica discreta di un MOS-driver è raffigurata in figura 9.9.

Questi transistori funzionano solo durante la commutazione, dal momento in cui si crea una tensione sull'emettitore tale da ridurre V_{BE} ; ciò capita

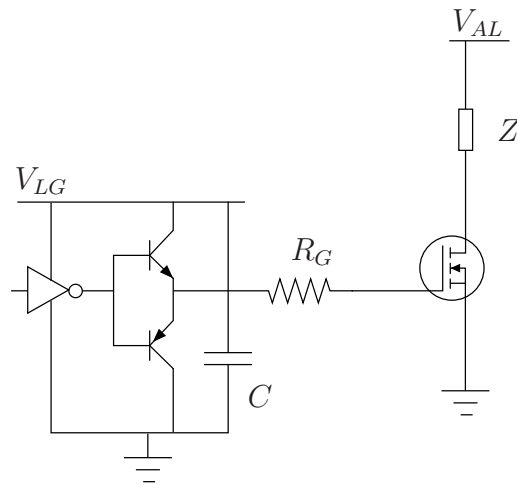


Figura 9.9: Schema 9.8 nel quale è stato inserita una coppia di BJT come *MOS-driver*.

quando vi è l'impulso di corrente: l'impulso stesso, che deve andare verso il MOS, carica, accende e spegne il driver. Esistono soluzioni in grado di velocizzare i BJT, utilizzando partitori resistivi o capacità di accelerazione, ma non approfondiamo ulteriormente il discorso.

Carichi ad alta potenza

Nei casi finora analizzati, ci avrebbe fatto comodo avere la massima velocità di commutazione: più veloce è l'interruttore, meglio funzionerà il sistema elettronico. Non sempre tuttavia il nostro obiettivo è quello di aumentare la velocità di commutazione: quando si ha a che fare con carichi richiedenti *potenze elevate*, come nell'ordine dei kW, o carichi fortemente capacitivi, si utilizzano circuiti in grado di rallentare il tempo di accensione, *accendendo gradualmente* il circuito. Quello che si fa, dunque, è introdurre un circuito oscillatore, realizzato mediante celle LC, in grado di filtrare l'impulso e limitare il tempo di accensione. Questa tecnica è detta **soft start**, e una sua implementazione è riportata in figura 9.10.

9.4 Interruttori high-side

Come abbiamo già spesso detto, la realizzazione di un interruttore può essere anche high-side: il carico da pilotare, quindi, è perennemente collegato al potenziale di riferimento (0 V).

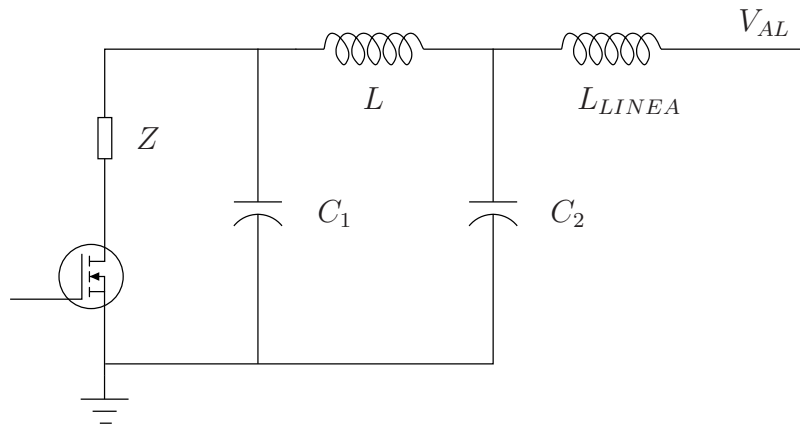


Figura 9.10: Realizzazione della tecnica di un *soft start*.

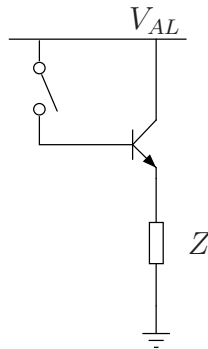


Figura 9.11: Schema elementare di interruttore high-side con NPN.

Quali sono le tecniche principali per il pilotaggio di un carico mediante interruttori high-side? Ci sono sostanzialmente due strategie, differenti in funzione dello stadio finale:

- Stadio finale a npn;
- Stadio finale a pnp.

9.4.1 Interruttori high-side con finale npn

L'uso di un finale basato su di uno stadio a npn non è banale da realizzare; supponiamo di realizzare qualcosa di questo genere:

Ci sono due problemi: il transistor non potrebbe saturare, dal momento che su di esso vi sarebbe una caduta di tensione decisamente grossa, superiore alla tensione emettitore-collettore di saturazione; quel che si potrebbe fare è

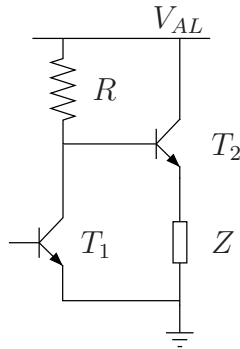


Figura 9.12: Pilotaggio high-side NPN con un paio di BJT.

usare un high-side per realizzare un high-side, ma è un po' come il serpente che si morde la coda: avremmo solo spostato lo stesso problema in un altro punto del circuito.

Soluzione 1

L'idea della figura 9.12 non è molto buona: la resistenza deve fornire una corrente pari a:

$$I_R = \frac{I_{RL}}{\beta_{T_1}}$$

R dovrebbe dunque avere un valore basso, in modo da avere una caduta di tensione piccola; per spegnere il carico, quindi, si cerca di mandare T_1 in saturazione, in modo da non avere una corrente di base su T_1 , e quindi tutto si spenga; la corrente su R , tuttavia, continua ad esserci: il fatto di dover mandare in saturazione uno dei due BJT implica il fatto che vi deve sempre essere consumo di corrente, anche quando il sistema dovrebbe essere spento, quindi si ha una *dissipazione enorme di potenza!*

Soluzione 2

Seconda soluzione potrebbe essere la seguente:

Per avere meno corrente sulla resistenza R , invece della topologia precedentemente ideata (schema 9.12), potremmo usare un transistor Darlington! In questo modo, si aumenta il valore di R , riducendo la corrente su di essa a parità di tensione di alimentazione, ma ottenendo anche un effetto spiacevole aumentando la caduta di tensione. Infatti, la differenza di potenziale atta a polarizzare un transistor Darlington è decisamente più grossa (doppia)

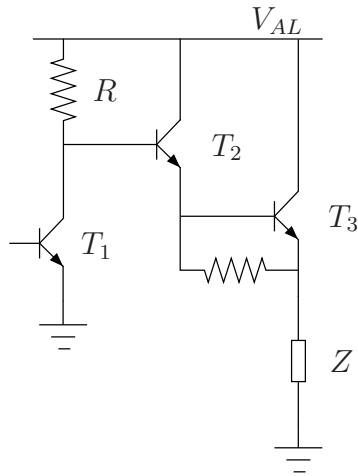


Figura 9.13: Pilotaggio high-side NPN con tre BJT per evitare eccessiva dissipazione di potenza.

rispetto a quella per un transistor singolo, dunque la soluzione non è il massimo.

Soluzione 3

Una soluzione molto più intelligente è quella di utilizzare una coppia Sziklai come in figura 9.14.

Utilizzare un pnp come driver del transistor finale (nnp), rappresenta una soluzione migliore: quando T_1 è in stato di saturazione, infatti, lo sono anche T_2 e T_3 ¹. Dualmente, quando T_1 è spento, anche gli altri due lo sono!

La coppia Sziklai è detta anche *complementary Darlington*, e in questo caso, rappresenta probabilmente il miglior compromesso tra cadute di tensione e rendimento del sistema.

9.4.2 Interruttori high-side con finale pnp

La realizzazione di un interruttore high-side a pnp sarebbe decisamente superiore se non sotto un particolare punto di vista: il fatto che la μ_p , ossia la *mobilità elettronica* dei portatori positivi (lacune) è molto inferiore rispetto a μ_n ; ciò implica il fatto che un pnp sia un dispositivo molto più *lento* rispetto ad un npn.

¹Fenomeno osservabile studiando le correnti e le tensioni: come si sa, un transistor che conduce con $V_{CE} \simeq 0,2\text{ V}$ si può considerare in stato di saturazione

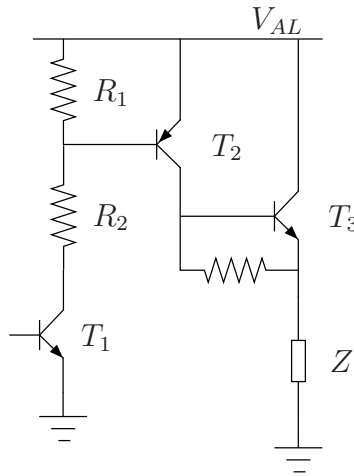


Figura 9.14: Un buon compromesso tra le soluzioni proposte nelle figure 9.12 e 9.13, impiega una coppia Darlington complementare (*Sziklai*).

Se non si hanno tuttavia vincoli riguardo la velocità di commutazione, l'uso di un finale a pnp è una soluzione assolutamente valida (fig. 9.15).

L'idea, semplicemente, è quella di ricondurci ad un problema già studiato: l'interruttore viene realizzato di fatto mediante il pnp (il finale), mentre, per pilotare la base del finale, si può utilizzare un secondo interruttore, che però in questo caso sarà riferito a 0 V, e dunque sarà low-side.

Mandare il pnp in saturazione, è molto facile: dimensionando R_B sufficientemente piccola, la caduta di tensione ai suoi capi sarà ridotta, dunque, quando il low-side pilotante l'high-side sarà chiuso, il pnp sarà in saturazione!

Ma come al solito si può fare di meglio: oltre ad essere lenti, i pnp hanno, rispetto agli npn, un minor guadagno, il che implica minore efficienza. Ciò che si può fare, dunque, è anche in questo caso utilizzare lo stesso trucco adottato con gli interruttori low-side: l'uso di una coppia Darlington (in questo caso realizzata mediante due pnp, fig. 9.16).

Esistono, come nel caso dei low-side npn, due alternative su come disporre il Darlington:

1. La prima topologia privilegerà l'efficienza, dal momento che entrambi i collettori sono collegati direttamente al carico; proprio per questo, tuttavia, si sottrae tensione al carico, dal momento che vi sarà una caduta pari a $2 \cdot V_{EB}$;
2. La seconda topologia è duale alla prima: si avrà meno corrente sul carico, dal momento che solo uno dei due pnp è collegato direttamente ad esso, ma una minore caduta di tensione.

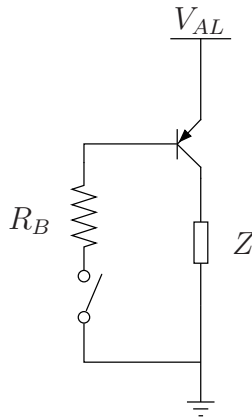


Figura 9.15: Lo schema elementare del circuito pilota di un carico in stile high-side con pnp BJT.

9.4.3 Interruttori high-side a MOSFET / Varianti

Analizziamo a questo punto alcune topologie atte a realizzare interruttori high-side basati sull'uso di transistori MOS a effetto di campo.

Interruttori a pMOS

Un'idea di partenza potrebbe essere la seguente:

Niente di nuovo, niente di difficile: lo schema di principio è molto simile a quello del circuito high-side a pnp, ma con alcuni problemi in più. Il valore di R può essere elevato, quindi la velocità di commutazione potrebbe peggiorare: dal momento che M_1 deve essere in grado di scaricarsi rapidamente, aumentare la costante di tempo non è una soluzione ottimale, tenendo conto che oltretutto i pMOS sono intrinsecamente più lenti degli nMOS. Esistono soluzioni atte a migliorare ulteriormente questo circuito, mediante l'introduzione di partitori (per limitare la tensione) o di diodi Zener (per migliorare la regolazione dell'alimentazione)

Interruttori a nMOS

E per quanto riguarda gli nMOS in disposizione high-side? Beh, l'idea di partenza potrebbe essere quella di figura 9.19.

I problemi, di fatto, sono gli stessi che avevamo con gli high-side npn: sarebbe necessario introdurre un altro highside, quindi, essendo però un MOS di potenza, si avrebbero tensioni $V_{GS,ON}$ molto elevate e cadute di tensione relativamente elevate, e tensione sul source del finale molto basse (molto più basse rispetto ai circuiti a npn!). Ciò che si dovrebbe fare, dunque, è utilizzare

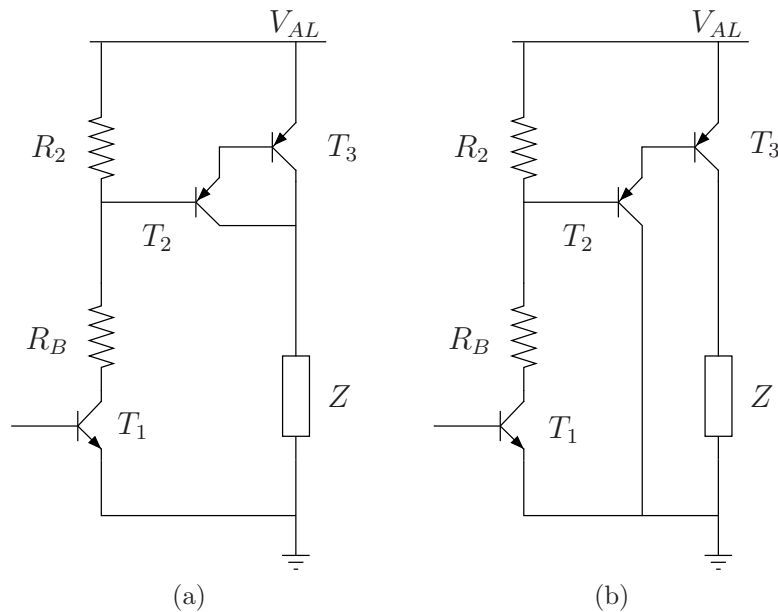


Figura 9.16: Due possibili configurazioni impieganti coppie Darlington per circuiti di pilotaggio di carico con pnp BJT.

un qualche modo di *aumentare la tensione di gate*, fino al punto da averla maggiore alla tensione di alimentazione. Per fare ciò, esistono almeno due soluzioni:

- Utilizzare un trasformatore: al prezzo di diminuire la corrente, cosa che comunque non ci interessa particolarmente in circuiti a MOS, si può aumentare notevolmente la tensione, a piacere.

Problema del circuito: il valore medio della V_{GS} è 0, in questo caso, dal momento che il trasformatore è sostanzialmente un filtro passa-alto: il fatto che sia composto da induttori, elementi che si comportano come un corto circuito per la continua, implica un taglio delle tensioni a frequenze basse;

- Utilizzare un generatore di tensione, a partire da circuiti a condensatori commutanti.

Si noti che la soluzione del trasformatore non è da buttare via: sebbene tagli la continua, è sufficiente utilizzare segnali con il duty cycle basso.

Si avrebbe una sorta di impulso (ma comunque positivo), dal momento che tagliare la continua farebbe semplicemente abbassare il livello del segnale, ma non annullarlo! Introdurre un trasformatore nel circuito, inoltre, introduce una caratteristica sempre piacevole: *l'isolamento galvanico*.

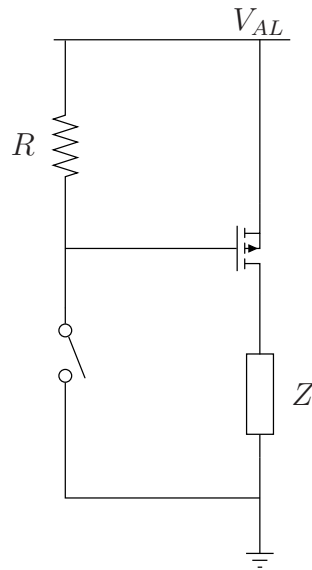


Figura 9.17: Lo schema elementare del circuito pilota di un carico in stile high-side con pMOSFET.

Pilotaggio con bootstrap

Una soluzione di sistema di pilotaggio molto più avanzata di quelle finora descritte è il cosiddetto *pilotaggio con bootstrap*: al fine di alimentare il circuito, si usano condensatori disposti secondo una topologia comunemente detta **bootstrap**, fungente da reazione positiva, in grado di ottenere effetti interessanti.

Come funziona questo circuito? Beh, l'obiettivo sarebbe quello di pilotare il nMOS con una tensione presente in un punto del circuito, come in questo caso 12 V; facendo un'analisi qualitativa, dunque, possiamo fare alcune osservazioni.

- Quando T_1 è in stato di saturazione, sul suo collettore vi sono 0,2 V circa; T_2 è interdetto; T_3 , invece, dipende dal MOSFET: T_3 infatti fa in modo che la tensione del MOS si abbassi, quindi o esso è spento, o si spegne dopo poco tempo; la capacità, in questo stato, è in fase di carica.
- Quando T_1 si interdice, la tensione sulla base di T_3 aumenta, e si porta a V_A ; T_3 va in stato di conduzione, e fa passare molta corrente verso il MOSFET, M_1 , caricando la capacità di gate; aumenta dunque la tensione V_S , ma il condensatore C non si scarica, dunque, essendo costante la tensione sul condensatore, ma "alzandosi" per via di V_S , la tensione

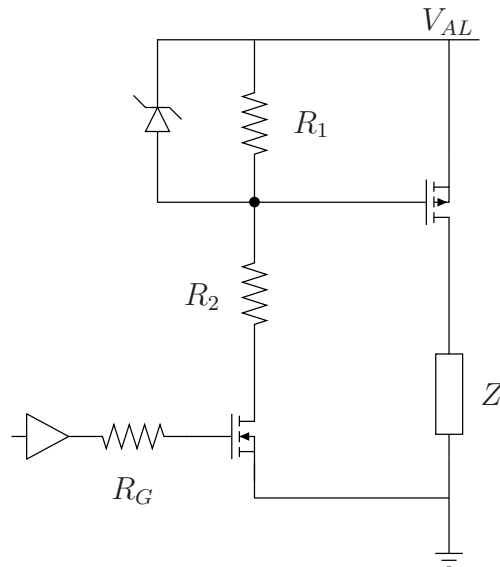


Figura 9.18: Lo schema migliorato del circuito pilota di un carico in stile high-side con pMOSFET.

V_A aumenterà; a seconda del rapporto tra capacità C e capacità di gate, sarà possibile ottenere una tensione di gate ad un valore quasi prossimo a $V_{AL} + V_G$.

Questo circuito sulla carta funziona bene, in pratica un po' meno: il condensatore C infatti non è ideale, dunque in realtà si scarica, e così anche la capacità di gate! Per questo motivo, questo circuito è ottimo per pilotare un nMOS in highside, ma solo per poco tempo, a causa degli effetti di non idealità presenti nelle varie capacità del circuito.

9.5 Carico reattivo: free wheeling

Abbiamo finora considerato il pilotaggio di carichi dotati di una caratteristica comune: siano essi lineari o meno, essi sono sempre e comunque stati *resistivi*: che quello da pilotare sia un diodo piuttosto che un comune resistore, tutte le strategie finora introdotte, purchè usate in modo intelligente, sono assolutamente valide.

Volendo pilotare, mediante una porta logica, qualcosa di un po' più particolare, come potrebbe essere un motore, elemento comunemente modellizzabile mediante un carico non puramente resistivo, i ragionamenti finora fatti non sarebbero sufficienti, e andrebbero integrati con osservazioni aggiuntive.

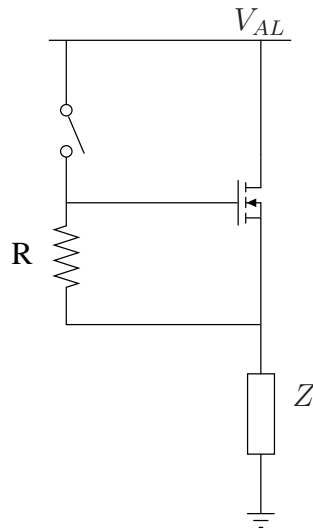


Figura 9.19: Lo schema migliorato del circuito pilota di un carico in stile high-side con pMOSFET.

Supponiamo, come si potrà spesso fare, di avere un carico parzialmente resistivo, dotato quindi di una certa resistenza, e parzialmente induttivo, ossia dotato di una certa induttanza (fig. 9.22).

Motori a step realizzati mediante avvolgimenti, piuttosto che relè, piuttosto che molti altri elementi elettromeccanici, potranno essere rappresentati mediante un modello circuitale di questo tipo, e pilotati quindi con un circuito simile a questo.

Al fine di pilotare il carico, il MOSFET dovrà commutare, in modo o da condurre o da interdarsi. Ciò che succederà, tuttavia, sarà piuttosto interessante, come ora descriveremo:

- Supponiamo di partire dallo stato 0 logico in ingresso al transistor MOSFET: il dispositivo elettronico non è in stato di conduzione, dunque sull'uscita vi è di fatto una tensione pari a V_{AL} , e una corrente nulla. Introducendo un certo segnale V_i nel MOSFET, questo inizia a condurre, e “vorrebbe” trasportare un ingente flusso di cariche; il fatto che, tuttavia, la corrente su di un'induttanza è una variabile di stato, essa deve essere continua, dunque non è possibile avere discontinuità dell'andamento di $i_L(t)$, ossia della funzione della corrente al variare del tempo: non si può avere un'accensione impulsiva. Di fatto, tuttavia, vi sarebbe una grossa richiesta di corrente da parte del MOSFET, richiesta traducibile in termini di grossa derivata temporale della

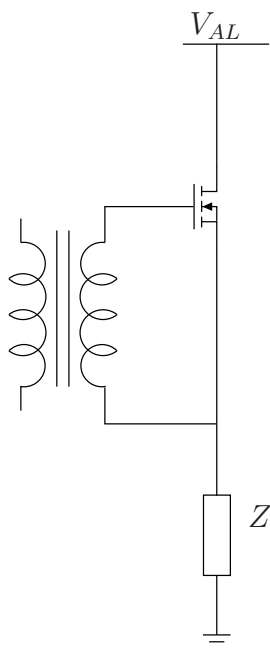


Figura 9.20: Utilizzo di un trasformatore per migliorare le prestazioni del pilota a nMOS.

corrente; ricordando che l'equazione caratterizzante il comportamento di un'induttanza è:

$$v(t) = L \frac{d[i_L(t)]}{dt}$$

Essendo la pendenza molto elevata, si può dire che (dal momento che l'induttanza in questione è un utilizzatore) cada una grossa tensione ai capi dell'induttanza, quindi che la tensione del nodo di uscita si abbassi notevolmente rispetto a quella di alimentazione; nella transcaratteristica del circuito, dunque, si avrà una diminuzione di tensione, corrispondente ad un aumento progressivo di corrente, fino a quando il MOSFET non avrà su di sé proprio la corrente che desidera.

- Una volta che si desidera, a partire dallo stato di accensione, spegnere il MOSFET, bisogna introdurre sull'ingresso $V_i \simeq 0$ V, quindi si verificherà un comportamento duale: dal momento che il MOSFET “non vuole più condurre”, ma poiché la corrente sull'induttanza deve rimanere continua, si forma un accumulo di carica in ingresso al MOSFET. Poi si ha una variazione opposta della derivata, dal momento

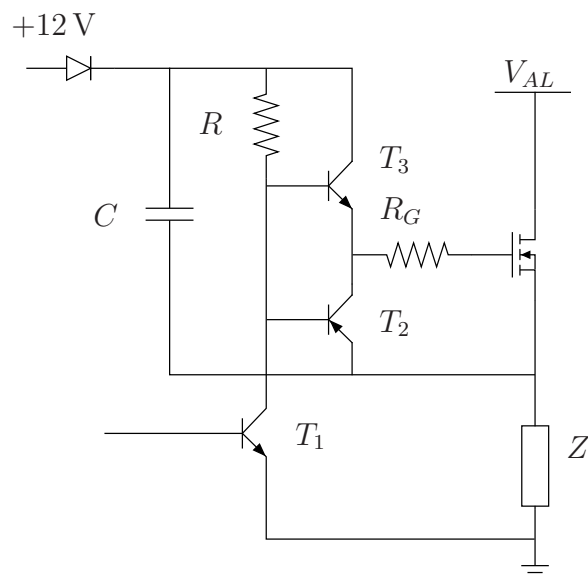


Figura 9.21

che quella che si vorrebbe avere è una scarica dell'induttanza, ossia una pendenza idealmente opposta alla precedente; la tensione di uscita dunque aumenterà, dal momento che la pendenza negativa dell'induttanza provocherà una tensione che andrà a sommarsi a quella di alimentazione, arrivando a superare V_{AL} ad un certo punto. Il MOSFET, tuttavia, al di sopra di una certa tensione entra in zona di breakdown, si ha *rottura elettrica*, quindi inizia a condurre di colpo. Dopo questo fenomeno si torna in uno stato di quiete.

La transcaratteristica del circuito, appena descritta, è la seguente:

Ciò che abbiamo finora descritto non è molto bello: quando il MOSFET entra di colpo in conduzione, è facile che la corrente sia in grado di rompere il dispositivo, ma non solo in senso di breakdown (ossia di rottura elettrostatica), quanto in senso di "rottura fisica"; per evitare ciò, quando si ha a che fare con carichi di questo tipo, si introduce un diodo, detto in questa topologia *diodo volante* (in inglese *free wheeling*), che fa in modo da prendere parte della corrente, quando essa dovrebbe scorrere improvvisamente nel MOSFET.

Si noti che, per come è posizionato, questo diodo entra in fase di conduzione solo quando la pendenza della derivata, ossia la tensione sull'induttanza nell'istante di scarica, è negativa, e quindi si va a sommare alla V_{AL} , anziché opporsi ad essa. Si può quindi quantificare il livello di tensione al quale si ha il passaggio istantaneo da stato alto a stato basso: per $V = V_{AL} + V_\gamma$ (dove V_γ è la solita tensione di polarizzazione del diodo).

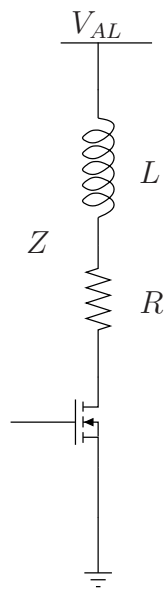


Figura 9.22: Uno schema generico di carico complesso pilotato da nMOSFET.

Capitolo 10

Sistemi di acquisizione dati

Indice

10.1	Introduzione	371
10.1.1	Quantizzazione	373
10.1.2	Errore di quantizzazione	375
10.2	DAC: Digital/Analog Converter	383
10.2.1	Transcaratteristica di un DAC	383
10.2.2	Errori di linearità e di non linearità	384
10.2.3	Errori dinamici	389
10.2.4	DAC Potenzimetrico	390
10.2.5	Convertitore a resistenze pesate	392
10.2.6	Convertitore con rete a scala	396
10.3	ADC: Analog/Digital Converter	400
10.3.1	Comportamento dinamico	403
10.3.2	Convertitore Flash	404
10.3.3	Convertitori A/D con D/A in reazione	405
10.3.4	Convertitori ad inseguimento (up/down)	406
10.4	Sample and Hold	409
10.4.1	Transcaratteristica	410
10.4.2	Realizzazione pratica di un Sample / Hold	414

10.1 Introduzione

FINORA ABBIAMO SOSTANZIALMENTE LAVORATO prima nel mondo dell'elettronica *analogica* e poi in quella *digitale*, ma sempre tenendo i due ambiti separati. Per quanto si sia parlato soprattutto di caratterizzazioni elettriche, si può dire che mondo analogico e mondo digitale siano separati, non collegati.

Quello che ora si vuole fare è *gettare un ponte tra i due regni*: dei **sistemi di interfacciamento** tra il mondo analogico e quello digitale. In realtà si può dire che qualcosa sia già stato fatto, perché abbiamo parlato di driver di potenza, dispositivi finalizzati ad accendere o spegnere un carico, di comparatori di soglia, ossia dispositivi in grado di distinguere l'appartenenza di un range analogico ad un certo range di segnali; tuttavia quello che ora si intende realizzare è qualcosa di più sofisticato.

In questa sezione ci occuperemo di introdurre alcuni concetti di base, fondati sull'uso di noti teoremi e su alcune osservazioni teoriche, in modo da renderci conto delle problematiche teoriche nascoste dietro ad alcune tecniche implementative, fondamentali per ogni ingegnere elettronico.

Data una grandezza analogica, un segnale continuo al variare del tempo, esiste un teorema che afferma che lo si può teoricamente conoscere in modo completo, conoscendo solo un certo numero *discreto* di valori del segnale (fig. 10.1).

Campionare con un treno di impulsi significa acquisire un insieme di valori significativi del segnale dopo uguali intervalli di tempo, dai quali sia poi possibile ricostruire il segnale di partenza mediante un processo di elaborazione. Nello spettro prodotto dalla ricostruzione si può dimostrare che si troveranno repliche del segnale, traslate in frequenza.

Il teorema in questione, detto *teorema di Nyquist*, afferma che se la frequenza di campionamento è pari al doppio della banda assoluta del segnale, non si ha sovrapposizione delle repliche traslate in frequenza, ossia *aliasing*. Questo teorema garantisce il fatto che non si abbia perdita di informazione, quantomeno in linea teorica.

Infatti tutto ciò che abbiamo finora detto è vero, finché restiamo nel magico mondo della teoria: di fatto noi, da teorici, non sappiamo esattamente come avvenga il processo di campionamento. La realtà ci limita ulteriormente: per la messa in pratica sarebbe necessario campionare il valore esatto che il segnale assume in un certo istante di tempo, ma ciò non è assolutamente facile. Quando si campiona, infatti, non si ottiene un numero reale, dal momento che i numeri reali sono costituiti da un numero concettualmente infinito di cifre decimali; ciò che possiamo fare è *approssimare*, mediante un procedimento detto quantizzazione, la cifra reale ad un certo numero naturale o razionale vicino a quello esatto. Ovviamente l'approssimazione comporta una perdita irreversibile di informazione!

Se la perdita di informazione è assimilabile al rumore presente nel sistema elettronico, si può supporre di non aver perso niente o, quantomeno, di non aver compiuto nessun errore di quantizzazione. In questo caso, l'errore di quantizzazione non supera quell'errore minimo, intrinseco nel sistema e

non eliminabile. Al contrario, effettuando una quantizzazione grossolana, si introduce un grosso errore di quantizzazione.

Ma c'è ancora un problema non da poco: non abbiamo mai studiato un *generatore di segnali impulsivi*, ossia a delta di Dirac; infatti per campionare un segnale si preferisce “tenerlo fermo” per un intervallo di tempo compreso tra un ipotetico impulso e il successivo in modo da avere il tempo di “leggere il valore”; quello che si dovrebbe ottenere sarebbe il cosiddetto segnale campionato e mantenuto (simile ad una gradinata, in figura 10.2).

Il segnale necessario per ottenere il campionamento, matematicamente, si può pensare come una *porta traslata nel tempo*: si moltiplica il segnale non tanto per un treno di impulsi, quindi, quanto per delle porte, cioè delle “finestre rettangolari” nel tempo.

Usare un segnale di questo genere cambia sicuramente qualcosa nel dominio delle frequenze: usare una porta al posto di una delta di Dirac produce grosse differenze nelle ampiezze delle repliche dello spettro originale: esse vengono infatti attenuate e modulate (cosa che per ora non ci interessa).

Ciò che capita, di fatto, è uno sfasamento ed un'attenuazione delle frequenze prossime al limite di Nyquist; la soluzione, dunque, è la seguente: campionando ad una frequenza più elevata, si aumenta la distanza spettrale tra le varie repliche del segnale, dunque la frequenza alla quale si hanno i fenomeni di sfasamento viene allontanata da quella più utile ed importante. Le repliche restano pressochè intatte; alternativa è utilizzare un filtro passa-alto in grado di mantenere le frequenze basse costanti, ed esaltare frequenze elevate, in modo da compensare il fenomeno di distorsione introdotto con il campionamento non ideale.

10.1.1 Quantizzazione

Incominciamo a parlare nel dettaglio di quantizzazione: per *quantizzazione*, si intende generalmente una rappresentazione numerica di qualcosa con un insieme limitato (discreto) di valori. E la prima cosa da definire in un sistema di quantizzazione sarà la *dinamica*.

A partire da un asse analogico A continuo (senza buchi), o meglio da un certo intervallo S appartenente ad esso all'interno del quale si trova effettivamente l'insieme di valori che può assumere il segnale, il sistema dovrà associare a ogni sottointervallo dell'asse un certo valore numerico, appartenente all'insieme digitale D discreto. Dal momento che si suppone di avere N bit mediante i quali rappresentare un certo numero in base 2, numero collegabile biunivocamente ad un certo range di intervalli dell'asse analogico, si può immaginare banalmente che l'asse A disponga di 2^N valori discreti.

Consideriamo solo un intervallo S , a partire dai sottointervalli del quale si

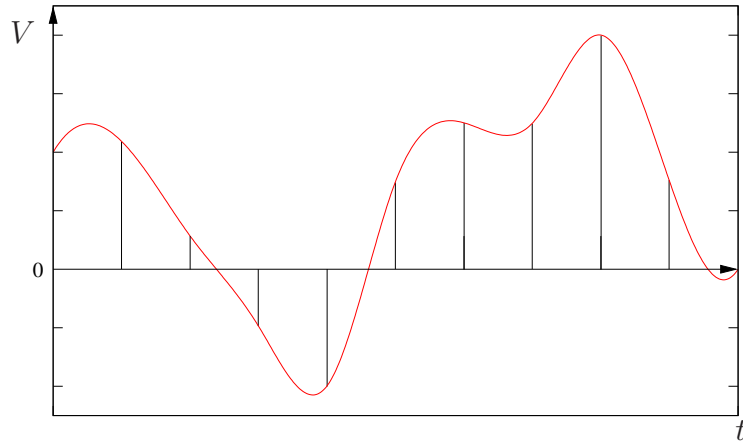


Figura 10.1: Campionamento di un segnale continuo nel dominio del tempo.

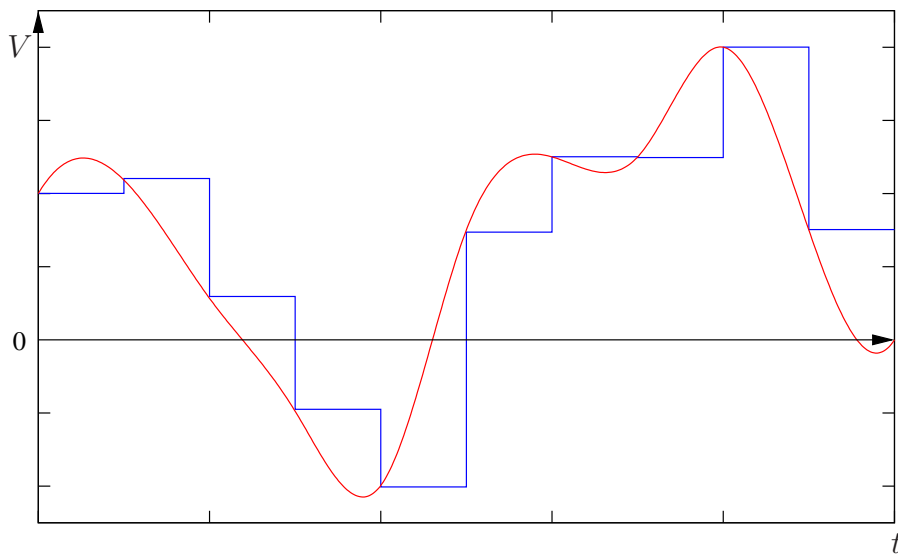


Figura 10.2: Segnale campionato e mantenuto.

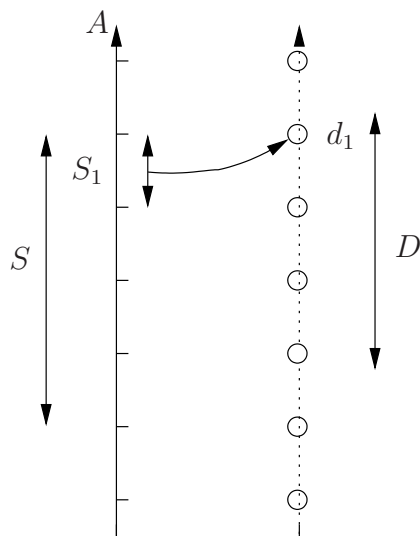


Figura 10.3: Schema di una quantizzazione uniforme che associa a $S_1 \subset S \subset A$ il valore $d_1 \in D$. Sono presenti $2^2 = 4$ sottointervalli di S e quindi $n = 2$.

vuole creare in qualche modo una corrispondenza con i 2^N valori dell'insieme D che può essere visualizzato anche come una sorta di asse discontinuo (per essere più chiari, bucherellato).

Tanto per cominciare, si può dividere S in 2^N segmentini $S_1, \dots, S_{2^N} \subset S$ e per ciascun istante di tempo t osservare a quale dei segmentini il segnale $v(t)$ appartenga, per esempio $v(t) \in S_1$.

Come si può costruire questo insieme di segmenti? Beh, il modo più semplice è considerare segmenti *equispaziati*, di lunghezza $\frac{1}{2^N} \cdot S$, ossia dividere uniformemente l'intervallo S in 2^N sottointervalli tutti uguali: quando si divide quindi la dinamica di ingresso S in questo modo si effettua quella che viene comunemente chiamata *quantizzazione uniforme* (fig.10.3).

Esistono in realtà diversi modi di suddividere l'asse, ossia di quantizzare: questo è quello più utilizzato, tuttavia esistono suddivisioni logaritmiche, sulle quali ad esempio si basa la modulazione PCM logaritmica.

10.1.2 Errore di quantizzazione

Dopo aver definito la quantizzazione, si può definire anche l'errore di quantizzazione; come abbiamo detto, la larghezza di ciascun intervallo di una quantizzazione uniforme, avrà la seguente dimensione:

$$A_d = \frac{S}{2^N} = \text{LSB}$$

Dove LSB sta per *Least Significant Bit*: si tratta della misura del bit meno significativo del numero, ossia il minimo errore che si può commettere. L'errore di considerare, al posto di un intervallo, quello adiacente ad esso.

Comunemente l'LSB si misura in volt: si tratta di una tensione, ossia dell'ampiezza dell'intervallo analogico (ovviamente, se si usano convertitori di tensione!).

Come il titolo della sottosezione suggerisce, alla quantizzazione è unito un errore di quantizzazione, ossia un errore che si commette *ogni qual volta* si effettui un'operazione di quantizzazione; definiamo questo errore con il simbolo ε_q , errore che si potrà quantificare a partire dalla seguente idea: la relazione biunivoca tra intervalli e numeri discreti è nella fattispecie esistente tra il *valore centrale* di ciascun intervallo ed il numero in questione; si può dunque dire che l'errore si commetta "confondendo" ciascun valore analogico del segnale appartenente ad un dato intervallo con il suo valore centrale. L'informazione contenuta nella distanza dal punto centrale dell'intervallo dal valore viene di fatto persa, dal momento che qualsiasi valore (reale) di un segnale analogico viene, nella quantizzazione, assimilato a coincidente con il valore centrale dell'intervallo in cui si trova. Ribattezzando un certo valore reale A e A_i il valore centrale dell' i -esimo intervallo (nel quale rientra il valore del segnale continuo, A), si può dunque definire l'errore di quantizzazione come:

$$\varepsilon_q \triangleq A - A_i$$

L'errore di quantizzazione si può conoscere statisticamente. Sappiamo infatti che esso non può essere di fatto maggiore di $\frac{1}{2}$ LSB, dal momento che al più si può sbagliare di una grandezza pari a metà del valore dell'intervallo: dal momento che l'errore di quantizzazione quantifica il discostamento del valore analogico dal centro dell'intervallo al quale appartiene, oltre metà intervallo non si potrà errare!

$$|\varepsilon_q| \leq \frac{1}{2} A_d$$

Dove:

$$A_d = A_{i+1} - A_i$$

Quindi:

$$|\varepsilon_q| \leq A_i = \frac{S}{2^{N+1}}$$

Dal momento che la quantizzazione è uniforme, dunque, si può pensare che l'errore di quantizzazione abbia un andamento simile a quello della figura ??.

L'errore di quantizzazione, in una quantizzazione uniforme si distribuisce secondo una densità di probabilità uniforme; se il segnale è “al punto giusto”, ossia ha valore pari al centro dell'intervallo, l'errore di quantizzazione è nullo; altrimenti, si ha una crescita lineare rispetto a 0.

Tutto ciò è vero, se il sistema è stato progettato bene perché bisogna proprio impostare il fondo scala in modo da contenere tutta la dinamica del segnale, al fine di avere la situazione appena descritta: dinamica del segnale e dinamica del sistema devono essere simili, il più simili possibile!

Se la dinamica del segnale fosse maggiore di quella del sistema, si avrebbe un fenomeno di *clipping*: quando il segnale assume valori troppo alti o troppo bassi, rimane “inchiodato” al limite superiore di D , aumentando notevolmente l'errore di quantizzazione, che cresce linearmente con la distanza dal centro dell'ultimo intervallo della dinamica del sistema S .

Si vuole ribadire un fatto: l'errore di quantizzazione è *irreversibile*. Una volta quantizzato il segnale, non è possibile tornare indietro come nel caso del campionamento: la perdita di segnale non è in alcun modo recuperabile! Quello che ci serve, riguardo l'errore di quantizzazione, è un buon modello, al fine di poterci quantomeno convivere pacificamente.

Ciò che si può fare di questo errore, dunque, è una modellizzazione in termini di rumore additivo al sistema: dato un segnale $x(t)$, si può pensare all'errore di quantizzazione come ad un rumore, la cui densità di probabilità è uniforme su di un intervallo pari a $\pm \frac{1}{2}$ LSB. Trattandosi di un rumore, si può definire un *rapporto segnale/rumore* (SNR, dall'inglese *Signal Noise Ratio*) di quantizzazione, nel seguente modo:

$$\text{SNR}|_q \triangleq \frac{\sigma_A^2}{\sigma_{\varepsilon_q}^2}$$

Essendo la densità di probabilità del processo casuale uniforme, il valore della funzione sarà pari al reciproco dell'ampiezza dell'intervallo, quindi:

$$f_X(x) = \frac{1}{A_d}$$

Quindi, è possibile quantificare la varianza dell'errore di quantizzazione come:

$$\sigma_{\varepsilon_q}^2 = \int_{-\frac{A_d}{2}}^{\frac{A_d}{2}} \varepsilon_q^2 \cdot \rho(\varepsilon_q) d\varepsilon_q = \frac{A_d^2}{12}$$

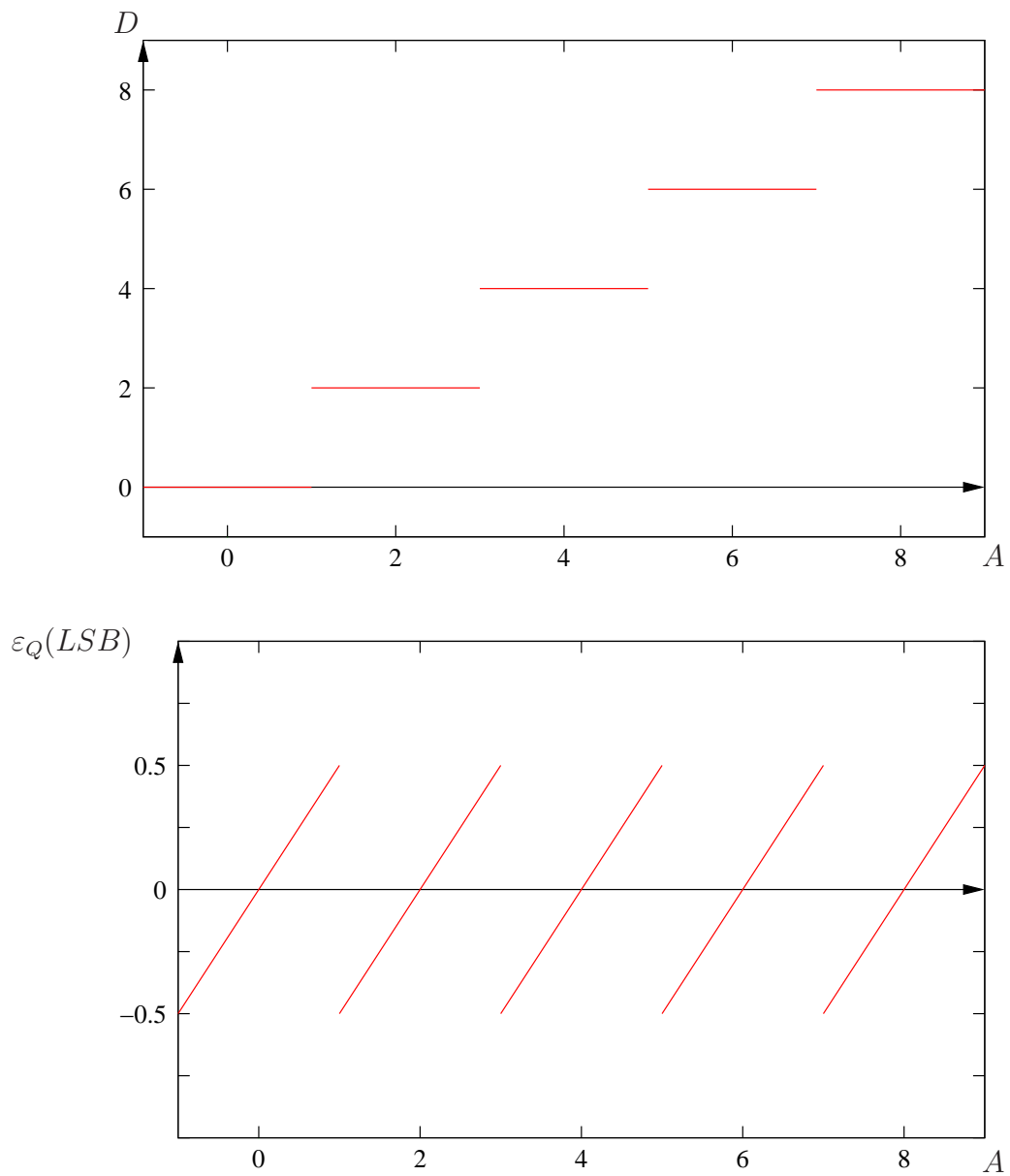


Figura 10.4: Grafico della relazione di quantizzazione tra A e D e andamento dell'errore di quantizzazione.

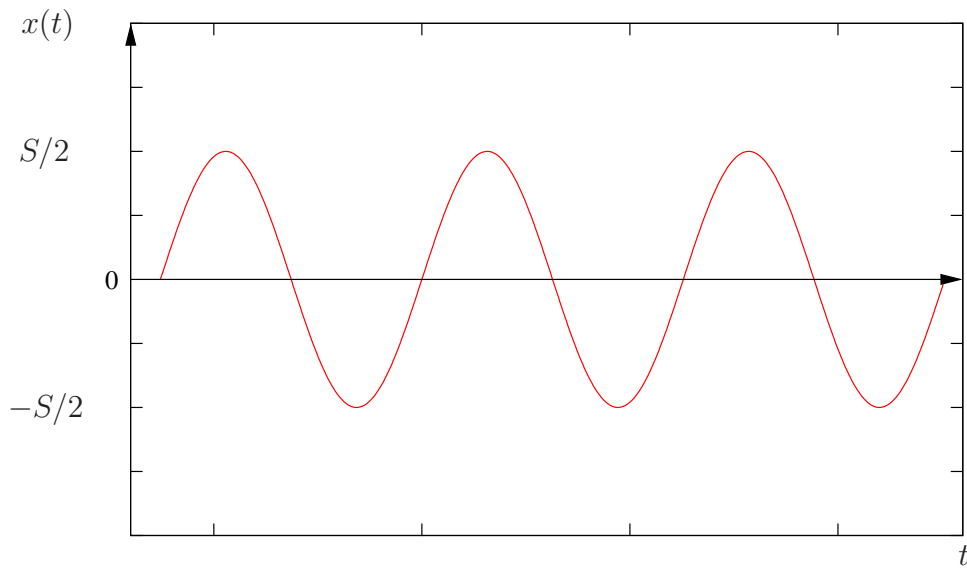


Figura 10.5: Segnale sinusoidale.

Questa è la potenza del rumore di quantizzazione, ed è costante!

Proviamo a calcolare il SNR di quantizzazione di un sistema in diversi esempi teorici.

SNR con segnale sinusoidale

Dato un segnale sinusoidale di ampiezza di picco pari a metà della dinamica di ingresso del sistema, si vuole calcolare il suo SNR di quantizzazione.

La potenza del segnale sinusoidale è calcolabile mediante una semplice osservazione: essa è semplicemente pari a metà del quadrato della semiampiezza del segnale:

$$\sigma_A^2 = \frac{A^2}{2} = \frac{\frac{S^2}{4}}{2} = \frac{S^2}{8}$$

Dunque, dalle nozioni apprese sul SNR di quantizzazione, si può dire che:

$$\sigma_{\varepsilon_q}^2 = \frac{S^2}{2^{2N} \cdot 12}$$

Quindi:

$$\text{SNR}_q = \frac{S^2}{8} \cdot \frac{12 \cdot 2^{2N}}{S^2} = \frac{3}{2} \cdot 2^{2N}$$

In decibel (dB), quest'espressione vale circa:

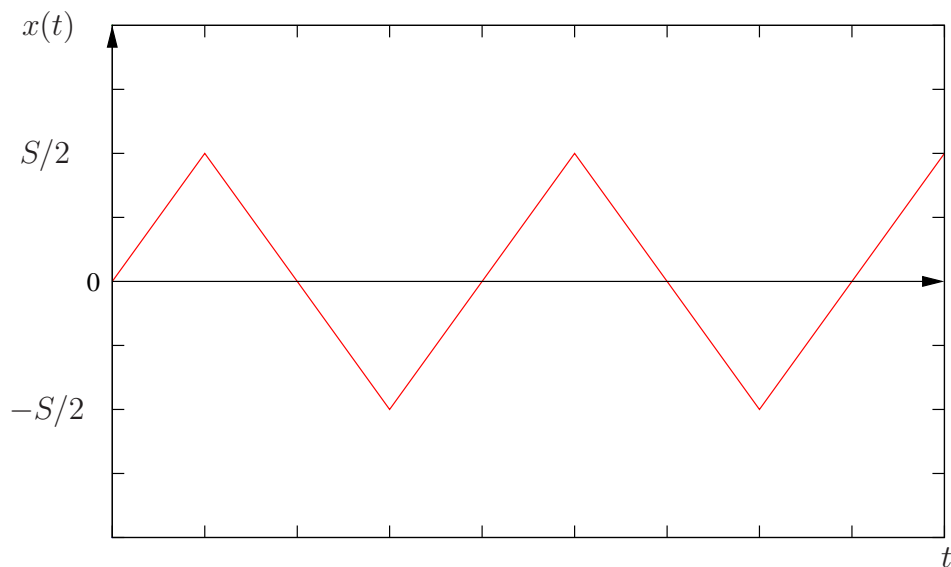


Figura 10.6: Segnale triangolare.

$$\text{SNR}_{q,dB} \simeq (6N + 1, 76) \text{ dB}$$

SNR con segnale triangolare

Partendo da un segnale triangolare, si può ottenere, con lo stesso ragionamento, il seguente risultato:

$$\sigma_A^2 = \frac{S^2}{12}$$

Da ciò:

$$\text{SNR}_{q,dB} = 2^{2N} \longrightarrow 6N \text{ dB}$$

SNR con segnale onda quadra

Volendo ripetere ancora una volta lo stesso ragionamento, si può calcolare:

$$\sigma_A^2 = \frac{S^2}{4}$$

Quindi:

$$\text{SNR}_{q,dB} = 3 \cdot 2^{2N} \longrightarrow (4, 77 + 6N) \text{ dB}$$

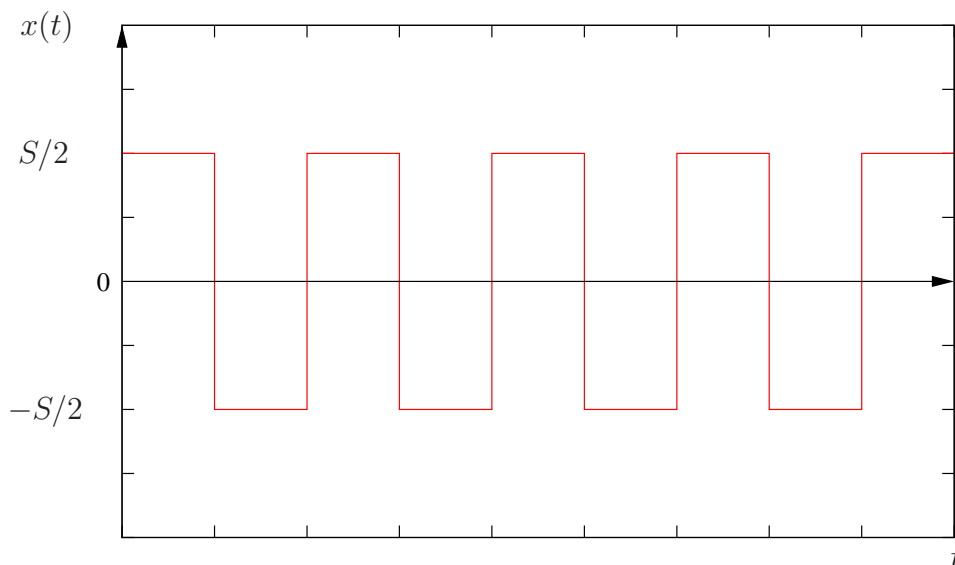


Figura 10.7: Onda quadra.

Conclusioni

Provando con un segnale sinusoidale, triangolare e a onda quadra, si nota che il valore è sempre prossimo a $\cdot N$ dB, ossia moltiplicando il numero di bit utilizzati per rappresentare il valore numerico (per effettuare la conversione del segnale da analogico a digitale) per 6, si ottiene il valore del rapporto segnale/rumore in decibel (dB). Volendo aggiungere un ulteriore bit, si può migliorare il suddetto rapporto, ottenendo sempre e comunque $6N$ dB.

C'è ancora una nota da fare, al fine di approfondire un aspetto solo citato: è assolutamente necessario che la dinamica del convertitore sia **uguale** (o quasi) a quella del segnale: aumentare la dinamica del quantizzatore è assolutamente negativo perchè aumentare la dinamica coincide a diminuire pesantemente il rapporto segnale/rumore (anche di 40 dB !), mentre ridurla troppo, come già detto, porterebbe a frequenti fenomeni di clipping.

Più bit si utilizzano per la conversione, meglio è: nei sistemi audio comunemente se ne usano 16 al fine di avere abbondantemente soddisfatto il teorema di Nyquist sulla frequenza di campionamento; introducendo 24 bit, come capita nelle schede audio di ultima generazione, ci si può permettere di utilizzare dei pessimi regolamenti del segnale, e non perdere informazioni utili; la qualità del segnale aldilà di questo aspetto comunque non si potrà percepire, dal momento che 16 bit sono già “troppi” per quanto riguarda le possibilità di percezione dell'apparato uditivo umano.

Proponiamo dunque, a partire da tutte le nozioni finora apprese, lo schema

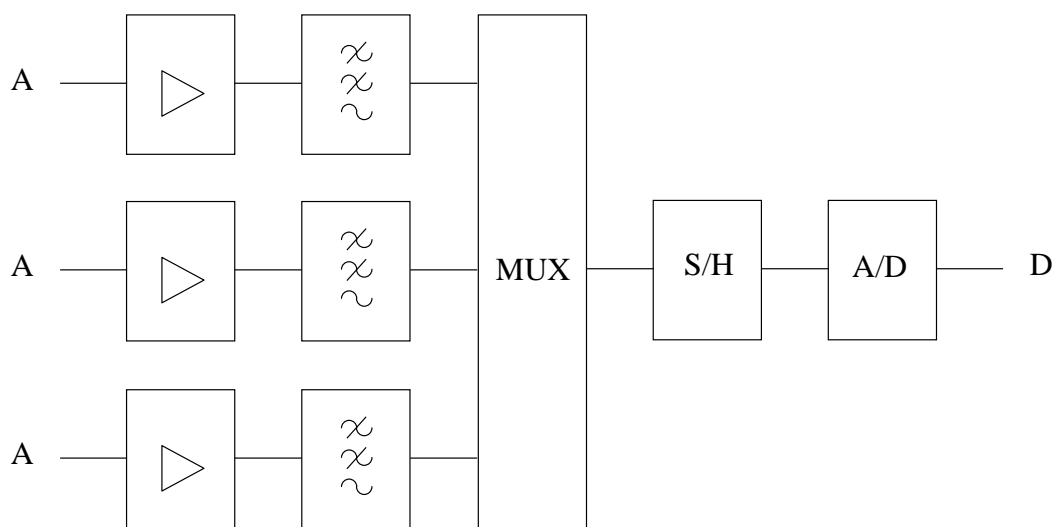


Figura 10.8: Schema a blocchi dei un sistema di conversione a più canali.

a blocchi di un generico sistema di acquisizione dati:

Descriviamo sommariamente ciascun anello della catena, al fine di comprenderne il ruolo nel sistema.

1. L'amplificatore di condizionamento migliora il rapporto segnale/rumore di quantizzazione, migliorando la dinamica del sistema, o meglio adattando il segnale alla dinamica del blocco centrale: non è assolutamente detto che un convertitore analogico/digitale o digitale/analogico abbia una dinamica coincidente con quella dei segnali che vogliamo utilizzare, dunque modificando il guadagno di questo amplificatore si può avvicinare la dinamica del segnale a quella del fulcro del sistema;
2. Il sistema al suo interno potrebbe avere un rumore di un qualche genere; ciò che si può fare al fine di ridurre questa quantità di rumore, dunque, è introdurre un filtro passa-basso atto a eliminare l'effetto dell'aliasing del rumore: anche il rumore infatti viene spettralmente riprodotto, dunque, senza introdurre questo filtro, le frequenze rumorose possono non solo sovrapporsi una volta, ma svariate volte al segnale, a causa delle traslazioni nell'asse spettrale;
3. In un sistema elettronico spesso potrebbe essere necessario acquisire diversi segnali, da diverse fonti, segnali sostanzialmente su banda limitata. Al fine di introdurre un semplice meccanismo di gestione di molti segnali, si utilizza un multiplexer (MUX), in modo da poter selezionare,

mediante un microprocessore μP l'ingresso interessato. Generalmente, il microprocessore viene pilotato dall'uscita del sistema elettronico;

4. Potrebbe essere necessario memorizzare il segnale, prima di introdurlo nel convertitore A/D (Analogico/Digitale)¹, in modo da poter mantenere un dato, da poter "scattare un'istantanea" del segnale per un certo istante di tempo, e mantenerlo.
5. L'uscita digitale verrà mandata al microprocessore, come già detto, in modo da gestire il MUX, ed in altri sistemi.

Una volta terminata la conversione A/D, mediante il dispositivo detto A/D converter (ADC), una cosa che si potrebbe fare è re-invertire l'uscita, proponendo un segnale analogico a partire da uno numerico; esiste un dispositivo duale al A/D converter, detto D/A convertier (DAC).

Nella catena da noi proposta, microprocessori a parte (che sarebbero un po' difficili da studiare) vogliamo imparare a realizzare i tre elementi ADC, DAC, S/H.

10.2 DAC: Digital/Analog Converter

10.2.1 Transcaratteristica di un DAC

Incominciamo il nostro studio con l'ultimo anello della catena: il dispositivo in grado di convertire un segnale numerico in uno continuo. Al fine di analizzare questo tipo di circuito, partiremo con lo studio della transcaratteristica (schema 10.9), per poi proporre uno o più schemi in grado di realizzarla circuitualmente.

Sappiamo, come già accennato, che un DAC deve essere in grado di prendere in ingresso un numero, e produrne un valore di tensione/corrente in qualche modo proporzionale ad esso.

D è un asse discretizzato, *digitale*; per ogni punto di ingresso vi sarà un certo valore di tensione in uscita. Si notino due cose, molto importanti:

- Non è detto che la transcaratteristica passi per l'origine: ad uno 0 in ingresso non deve obbligatoriamente corrispondere un altro 0 in uscita, anche se spesso progetteremo sistemi di questo tipo;

¹Dispositivi di questo tipo si vedono sempre meno frequentemente, poichè integrati nel convertitore A/D

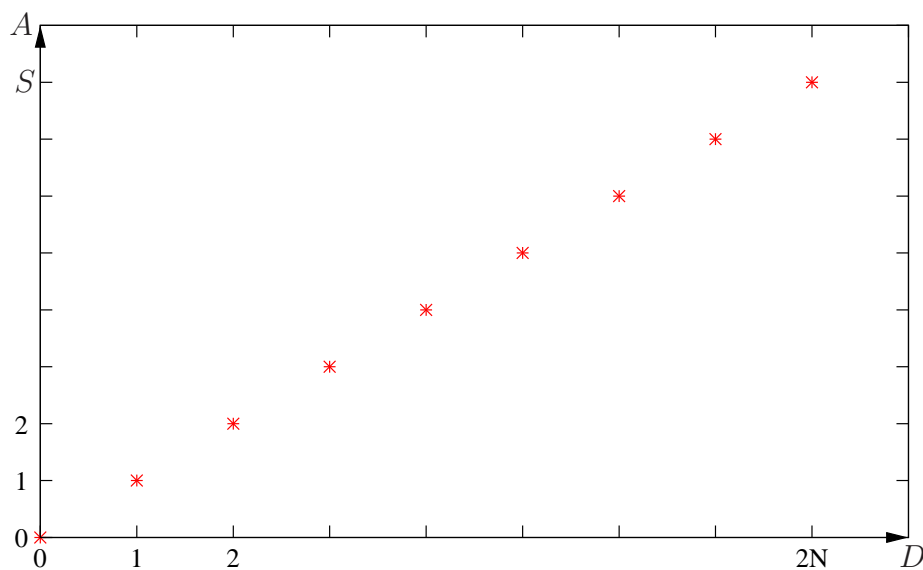


Figura 10.9: Transcaratteristica elementare di un convertitore digitale-analogico.

- Non è assolutamente detto che il sistema sia lineare, ossia che vi sia una relazione di proporzionalità diretta tra uscita e ingresso o vi sia il legame geometricamente rappresentabile mediante una retta; spesso progetteremo comunque sistemi di questo genere.

Se la conversione fosse uniforme, i punti effettivamente dovrebbero tutti essere dislocati su di una certa retta; *dovrebbero* nell'idealità, corrisponde a *non saranno* nella realtà. Per quanto riguarda un DAC, le non idealità dipendono dal fatto che i punti sull'asse verticale potrebbero discostarsi dal valore della cosiddetta *retta ideale*: potrebbero infatti essere “mal generati” alcuni valori di tensione, che quindi provocherebbero errori di questo tipo. Quel che si può dire è che, in un convertitore reale, i punti stanno un po' dove vogliono. All'aumentare del numero di bit utilizzati per la conversione, tuttavia, si potrebbero avere un grosso numero di punti, e quindi parecchi discostamenti dalla retta ideale. Per esempio se $N = 16$, si avrebbero già 65356 punti.

10.2.2 Errori di linearità e di non linearità

Quello che ci serve è un parametro in grado di stabilire la qualità del convertitore, ossia un certo insieme di valori in grado di indicare quanti e quali siano gli errori che affliggono il valore della misura.

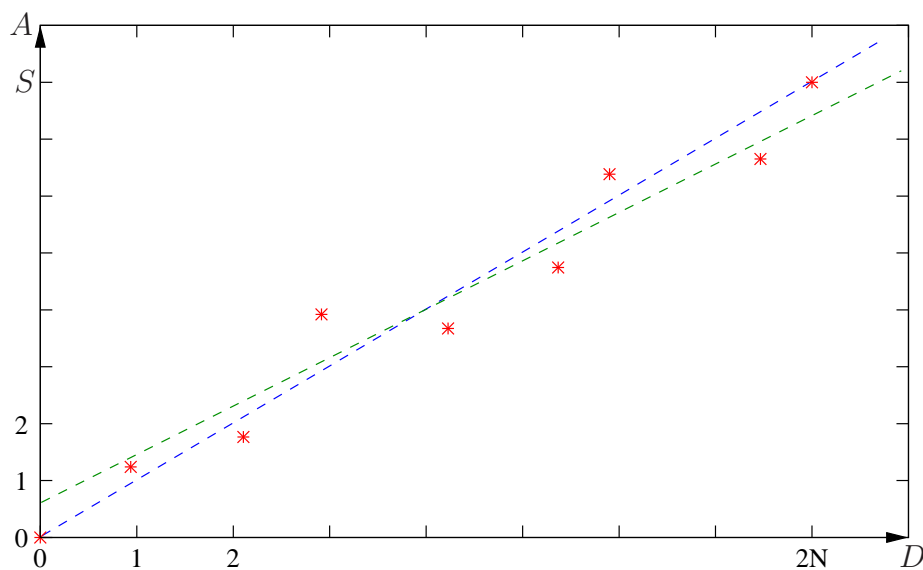


Figura 10.10: Transcaratteristica del DAC con retta ideale in blu e retta approssimante in verde scuro.

Prima di tutto, una distinzione tra due concetti ben separati tra loro: quello di retta ideale e retta migliore approssimante:

- La retta *ideale* rappresenta l'andamento che desidereremmo fornire al nostro convertitore DAC;
- La retta *migliore approssimante* rappresenta una retta ottenuta mediante procedimenti statistici (metodo dei minimi quadrati o regressione lineare che dir si voglia), rappresentante la retta che meglio approssima la disposizione nello spazio dei punti.

A partire da quest'idea, si possono definire due errori, caratterizzati da una coppia di valori:

- Errore *di guadagno*: le pendenze della retta reale e di quella migliore approssimante potranno essere differenti tra loro; la differenza delle pendenze è detta errore di guadagno dal momento che in elettronica si caratterizza il guadagno di un amplificatore come la pendenza di una retta;
- Errore *di offset*: le intercette delle rette reale e migliore approssimante potrebbero, come per quanto riguarda la pendenza, essere differenti tra loro; si parla di "offset", dal momento che sostanzialmente questo errore

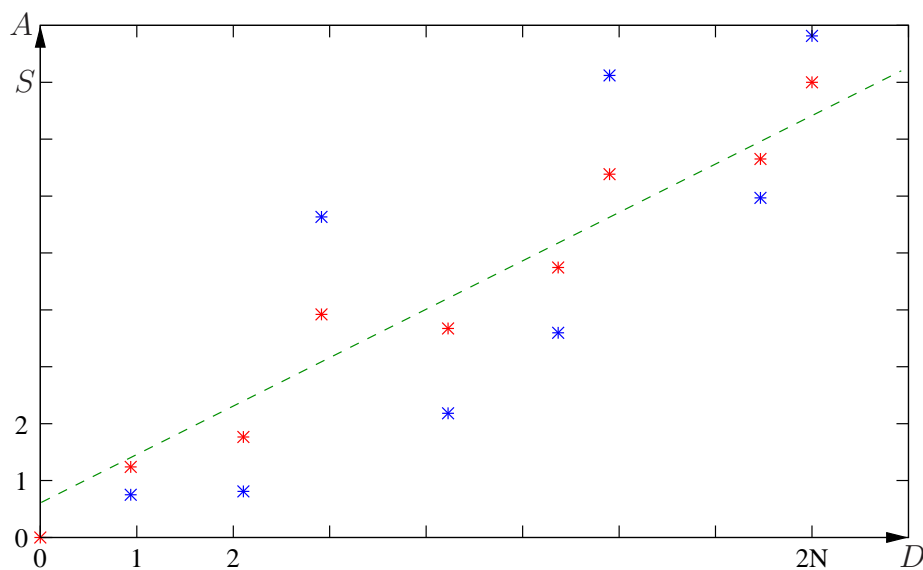


Figura 10.11: Esempio di situazione in cui la retta approssimante è la stessa per due insiemi di punti (rossi e blu), ma uno dei due è mediamente molto più vicino alla retta dell'altro e quindi si hanno scostamenti (errori) molto diversi.

è riconducibile ad una continua aggiunta sulla transcaratteristica del sistema.

Tutto qua? Ovviamente no: quelli finora considerati sono errori facili da risolvere: essi possono essere quantificati e corretti mediante l'introduzione di elementi circuitali, aggiungendo e togliendo tensioni continue; il vero problema dei convertitori DAC deriva da qualcosa di molto differente da ciò che abbiamo visto ora.

Basiamoci sulla sola retta miglior approssimante: per definizione, sappiamo che, utilizzando il metodo dei minimi quadrati, questa retta rappresenta l'approssimazione lineare in grado di minimizzare la somma delle distanze dai singoli punti, in modo da meglio approssimare l'andamento del sistema. Quello che ci chiediamo a questo punto è: ok, la retta è la migliore, ma *quanto* approssima bene questi punti? Di fatto, per intenderci, la retta migliore approssimante potrebbe essere la stessa, in queste due situazioni:

Di fatto i punti potrebbero essere molto lontani dalla retta, oppure molto vicini: se si mantengono le proporzioni delle distanze, ma i punti sono molto lontani dalla retta, la retta non sarà più significativa: scambiare i valori della retta e i punti reali provocherebbe errori notevoli (fig. 10.11).

Ciò di cui abbiamo bisogno ora è un indice in grado di certificare il com-

portamento di un convertitore sotto il punto di vista degli errori non lineari; ciò, si noti, non si può fare in alcun modo coinvolgendo l'uso della retta ideale, bensì solo a partire dal valore effettivo dei punti e dalla retta minore approssimante.

Gli errori di non linearità sono sostanzialmente quantificabili in due maniere, una riconducibile (come vedremo) all'altra:

- Dato il punto i -esimo, si definisce *errore di non linearità assoluta integrale* (INL_i) il valore:

$$INL_i = (A_i - A_{iM})$$

Dove A_i è un punto “reale”, ossia l'effettiva uscita del convertitore, e A_{iM} il punto sulla retta migliore approssimante corrispondente all' i -esimo codice (si ricorda che in un convertitore DAC si introduce in ingresso un valore numerico, in uscita se ne ha uno analogico). Semplicemente, dunque, abbiamo definito lo scarto di un punto da quello corrispondente, appartenente alla retta migliore approssimante. Di tutti i valori, se ne considererà il massimo in modulo: il peggiore dei casi che vi possa essere.

$$|\max \{ INL_i \}| \text{ (LSB)}$$

Normalmente, questa misura si esprime in termini di LSB.

- Esiste un altro valore, più significativo di quello appena proposto: il comportamento locale del convertitore, ossia il comportamento del convertitore al variare del punto in cui si considera lo studio del comportamento. In un i -esimo punto, nella fattispecie, si consideri lo schema di figura 10.12.

Si definisce la non-linearità differenziale, DNL_i :

$$DNL_i \triangleq A_{d,r,i} - A_{d,m,i}$$

Per passare dall' i -esimo valore di uscita al $i + 1$ -esimo, sull'asse analogico si dovrebbe avere un $A_{d,m}$, ossia un incremento differenziale medio, rappresentante semplicemente il salto da fare, incrementando di un LSB il codice numerico in ingresso al sistema e leggendo il valore corrispondente sulla retta; nella realtà, tuttavia, si avrà un salto $A_{d,r}$, ossia l'incremento reale del punto, dal momento che non è detto che tutti i punti stiano sulla retta.

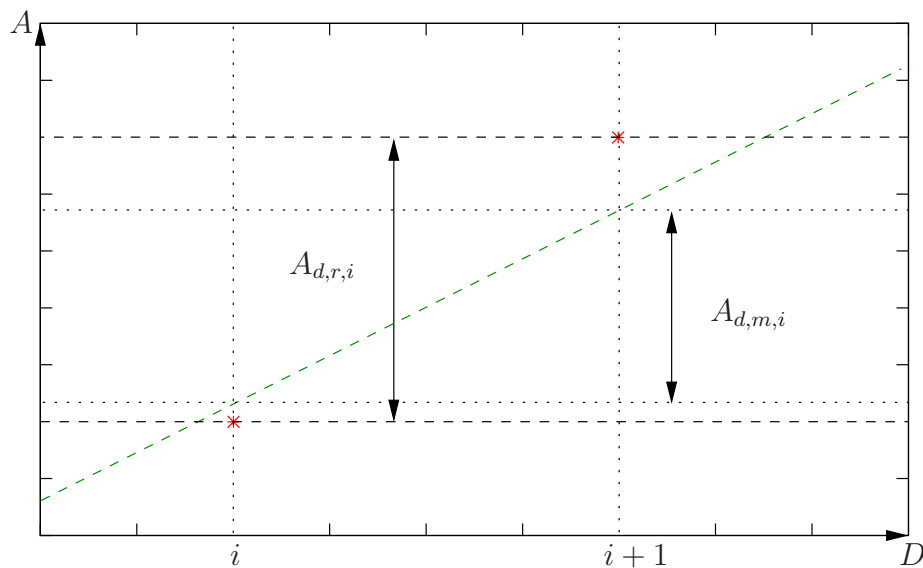


Figura 10.12: Caratterizzazione locale della transcaratteristica del DAC.

Anche di questo parametro, il costruttore generalmente fornisce il massimo.

Come mai si chiama il primo *integrale*, il secondo *differenziale*? Nostalgia del corso di Analisi 1? In realtà no, bisognerebbe considerare i due indicatori sotto un punto di vista non ancora analizzato: il DNL si ricava sostanzialmente studiando di quanto si sbaglia aumentando di un LSB l'ingresso, si vuole semplicemente studiare di quanto varia il valore dell'uscita, rispetto al valore che dovrebbe effettivamente avere nella retta migliore approssimante. Quello che si può pensare è che il secondo parametro sia sostanzialmente simile al calcolo della derivata in uno dei punti di funzionamento del sistema; il legame tra differenziale e integrale sta proprio in questa osservazione: si può dire che l'errore integrale in un punto sia dato dalla somma degli errori differenziali, ottenendo:

$$\text{INL}_i = \sum_{j=0}^i \text{DNL}_j$$

Abbiamo accennato al fatto che il secondo dato sia più importante del primo; ciò è vero, per un semplice motivo: se si supera verso il basso, in diminuzione, il valore del DNL_i di 1 LSB, capita che il convertitore sia *non monotono*: la tensione di uscita, al posto di aumentare, in un certo punto di funzionamento del sistema tende a decrescere.

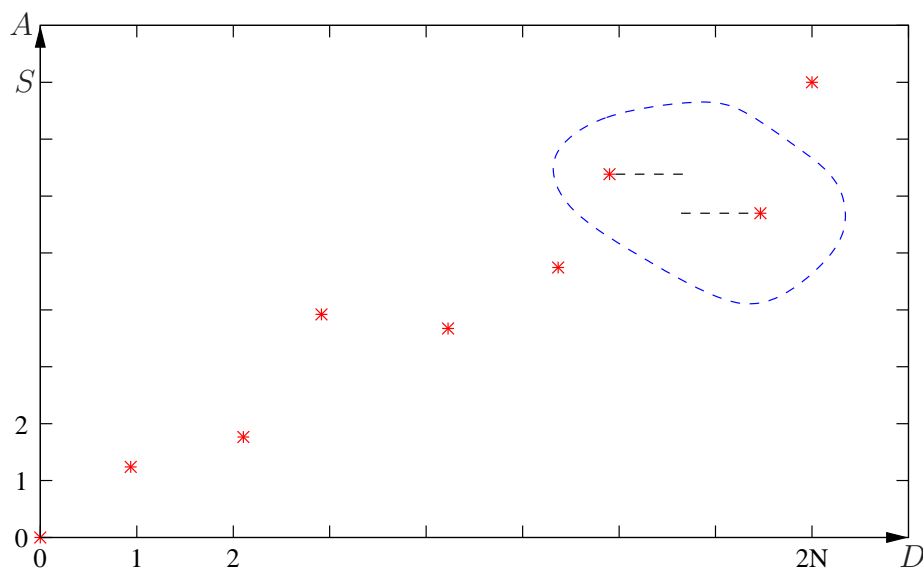


Figura 10.13: Nella transcaratteristica del DAC è stato messo in evidenza un paio di punti che non rispettano la monotonicità.

Ciò è piuttosto grave: in un sistema di controllo, una cosa del genere potrebbe provocare gravi danni alla struttura controllata. La condizione appena proposta è sufficiente, ma non necessaria alla non monotonicità: esistono condizioni tali per cui si ha un DNL basso, ma comunque un dispositivo non monotono!

10.2.3 Errori dinamici

Quelli finora analizzati sono errori prettamente statici, ossia riguardanti il comportamento del dispositivo statico, a regime. Per quanto riguarda gli errori dinamici, bisognerà effettuare altre osservazioni: sostanzialmente, un problema potrebbe riguardare il fatto che solo dopo un certo tempo dalla variazione dell'ingresso si abbia una variazione dell'uscita.

Al fine di caratterizzare errori di questo tipo, normalmente si misura il tempo che il sistema impiega ad entrare in una fascia ampia circa $\frac{1}{2}$ LSB rispetto al valore finale (fig. 10.14).

Questo tempo viene comunemente detto *tempo di assetto*, ed il costruttore lo fornisce nel worst case, come al solito: il massimo tempo di assetto è quello impiegato per passare da un fondo scala all'altro: passando dal minimo valore rappresentabile al massimo (e/o viceversa). La frequenza massima di conversione dei sistemi spesso è dettata proprio (ma non solo, generalmente) da questo parametro; essa, solitamente, si esprime in campioni su secondo.

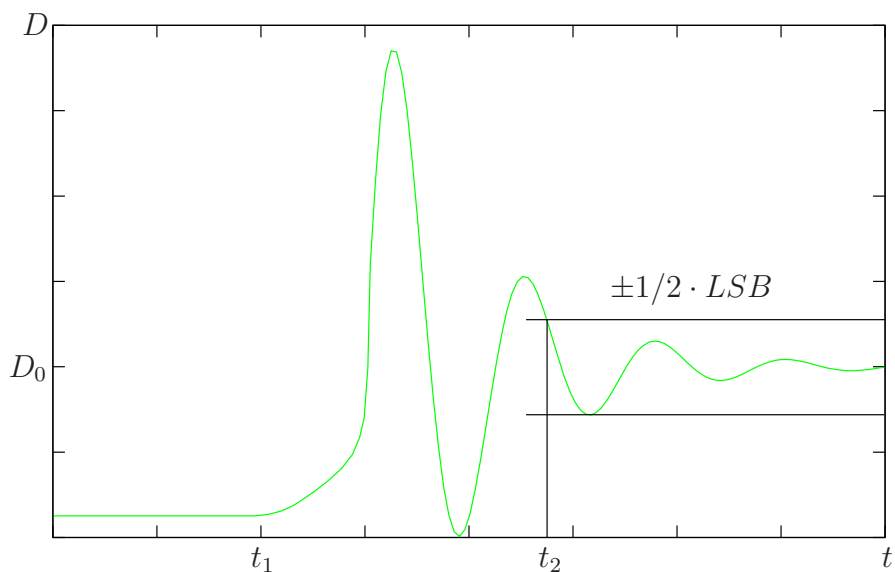


Figura 10.14: Comportamento dinamico dell'uscita del DAC in occasione di una transizione da un valore ad un'altro: il *tempo di assetto* è la differenza $t_2 - t_1$.

Errore di glitch

Altro errore che però ora non si incontra molto spesso è rappresentato graficamente in figura 10.15.

I convertitori, quando passano da un codice ad uno molto vicino, ma con valori binari molto differenti, come 0111 e 1000, potrebbe presentare questo problema: per passare da 1 a 0 ci può impiegare molto meno tempo che per passare da 0 a 1, quindi il sistema entra per un breve istante di tempo nella configurazione 0000, presentando un *picco*.

10.2.4 DAC Potenzimetrico

Abbiamo finora studiato il comportamento della caratteristica di un DAC, e caratterizzato gli errori che più spesso la affliggono; vogliamo ora realizzare in pratica un DAC, mediante uno schema circuitale.

La prima idea che proponiamo è la seguente: sappiamo che in uscita si devono avere 2^N valori di tensione, a partire da 2^N valori digitali in ingresso. Dati dunque N fili in ingresso (corrispondenti ciascuno ad un bit) ed una tensione di riferimento V_R , è possibile ricavare 2^N valori di tensioni differenti, *scalando* V_R . La più semplice idea realizzabile è lo schema 10.16.

Il partitore farà ridurre la tensione per ciascuna resistenza; considerando

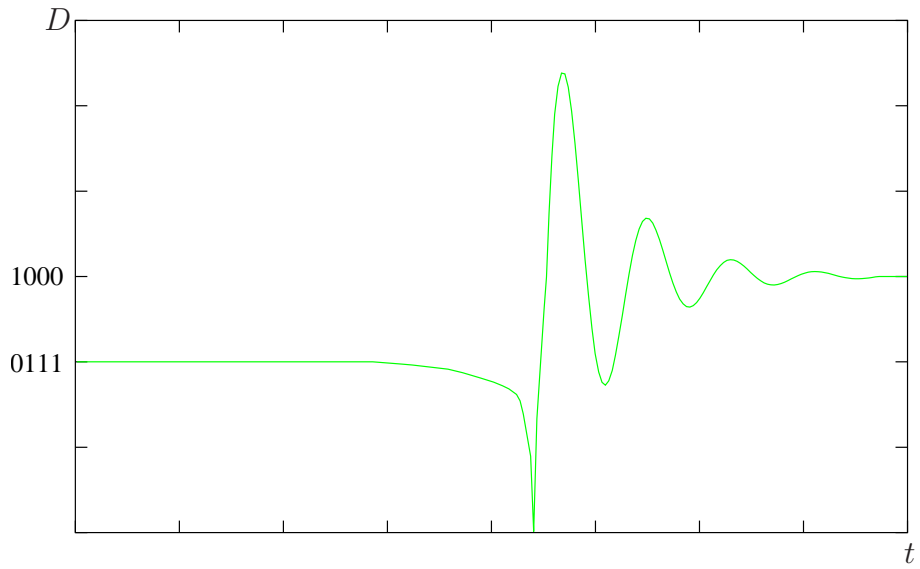


Figura 10.15: Fenomeno del *glitch* nel passaggio da un valore numerico a uno immediatamente successivo ma con tutte le cifre diverse.

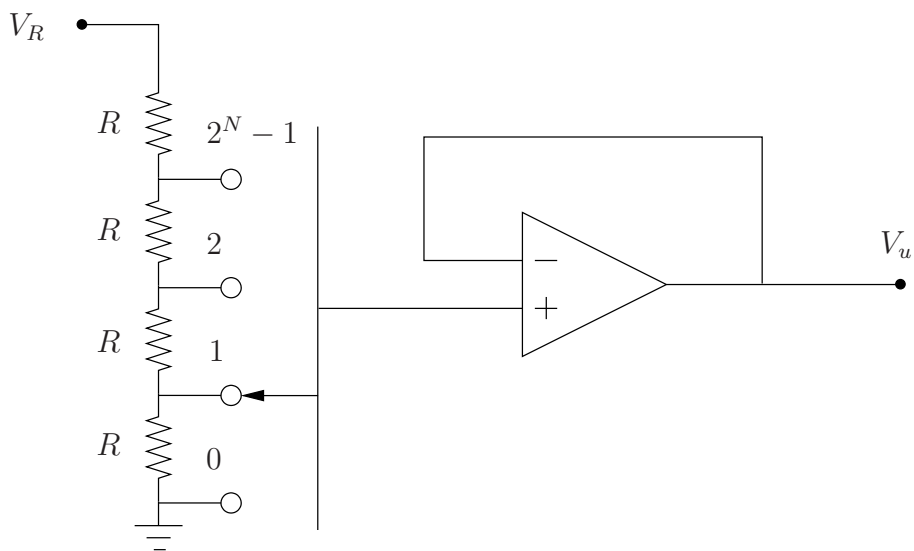


Figura 10.16: Schema circuitale di un convertitore digitale analogico di tipo potenziometrico “a barra”.

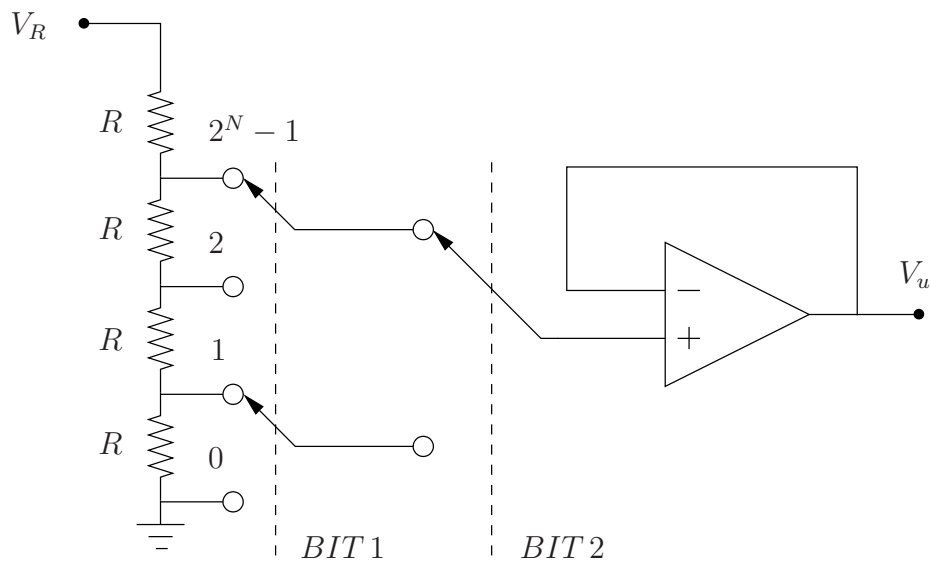


Figura 10.17: Modello circuitale di un DAC “ad albero”.

dunque una differente uscita a seconda della resistenza utilizzata, si potrà ottenere ciascuno dei 2^N valori.

Si può fare qualcosa di meglio: considerare interruttori disposti “ad albero”, in modo da ridurre il numero di interruttori da utilizzare come nello schema 10.17.

Introducendo il voltage follower, inoltre, si disaccoppia il carico dal circuito, in modo da evitare di modificare il partitore di tensione. Questo circuito è detto *DAC potenziometrico* e ha un pregio ed un difetto.

Il pregio è il fatto che con esso è possibile ottenere convertitori di qualsiasi tipo, dimensionando in modo idoneo le resistenze (lineari, logaritmici, generici).

Il difetto è che per 2^N valori servono 2^N resistenze e un grosso numero di interruttori, cosa che non ci piace moltissimo, a meno che non si debbano fare convertitori molto particolari.

10.2.5 Convertitore a resistenze pesate

Esistono idee che, al prezzo di rendere meno versatile il convertitore, riescono a semplificare notevolmente il circuito rispetto a quello appena analizzato e ridurre il numero di componenti necessari (resistenze e interruttori).

Supponiamo di avere in ingresso il numero 321. Esso si può scomporre e pensare come:

$$321 = 3 \cdot 10^2 + 2 \cdot 10^1 + 1 \cdot 10^0$$

In altre parole, esso è pensabile come la somma di tre grandezze differenti (come si fa alle scuole elementari) con *pesi* diversi che sostanzialmente sono le potenze di dieci.

Questo discorso è stato introdotto in base dieci, ma ovviamente è valido per qualsiasi base; in particolare a noi interessa la base due. Volendo convertire il numero 110101, ad esempio, si avrebbe:

$$110101 = 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

Generalizzando, un qualsiasi numero binario D si può scrivere come:

$$D = \sum_{i=0}^{N-1} C_i \cdot 2^i$$

D sarebbe il numero in ingresso al convertitore in questione, ma esso è anche proporzionale alla tensione che si vuole produrre in uscita dal sistema! Quello che si può dire dunque è considerare D uguale ad un certo C_i , uguale a 0 o a 1, e moltiplicato per la potenza di 2 corrispondente al peso del bit.

Come circuito di base si dovrebbe impiegare un sommatore che costruisca la tensione di uscita a partire dalle diverse tensioni delle cifre del numero digitale binario. Ci sono tanti ingressi quante sono le componenti di tale numero, ognuna con un peso diverso dalle altre.

In particolare si sceglie di utilizzare un *sommatore invertente* con amplificatore operazionale perché se volessimo utilizzarne uno non invertente (amplificatore non invertente), avremmo a che fare con il guadagno di forma:

$$A_+ = \left(1 + \frac{R_2}{R_1} \right)$$

Ciò significa che ogni volta che si toglie un ramo si influenzano tutti gli altri, mentre noi vogliamo che ogni cifra si sommi o no *indipendentemente dalle altre*.

Come funziona il circuito di figura 10.18? Beh, a seconda della resistenza che attiveremo, vi sarà una corrente sempre minore con l'aumentare della resistenza, dunque un'uscita minore; si può dire che la resistenza più in alto sia quella su cui vi è la corrente maggiore, dunque quella associata al MSB; dualmente, quella più in basso sarà associata al LSB. Il numero di resistenze è il logaritmo in base due delle resistenze necessarie al precedente convertitore: esso coincide, sostanzialmente, con il numero di bit utilizzati nel convertitore: $N!$

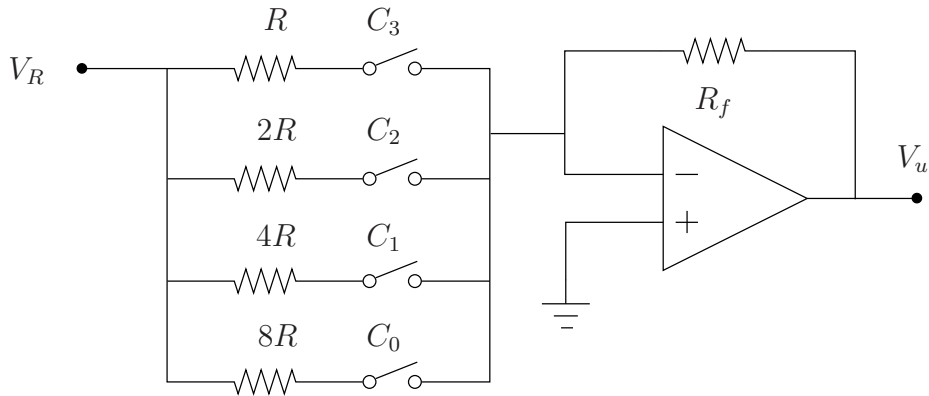


Figura 10.18: Schema circuitale del DAC a resistenze pesate. Si faccia il confronto con gli schemi 10.16 e 10.17 per il numero di componenti utilizzati e l'insieme di valori rappresentabili.

Questo dispositivo è detto convertitore D/A *a resistenze pesate*. Studiamone la transcaratteristica, partendo dall'analisi di valori noti, per poi generalizzarla.

Abbiamo detto che:

$$V_{u,LSB} = -V_R \cdot \frac{R_F}{2^{N-1} \cdot R} \cdot C_0 \cdot \frac{2^0}{2^0}$$

Quindi il guadagno è quello di un amplificatore invertente e semplificando:

$$\frac{V_u}{V_i} = -\frac{R_2}{R_1}$$

In questo caso la tensione di ingresso al sistema è quella di riferimento, V_R ; R_F è la resistenza di feedback utilizzata, mentre $2^{N-1}R$ rappresenta la resistenza del ramo più in basso, quella più elevata, quella sulla quale dunque scorre la corrente minore. C_0 sarebbe il C_i , considerando il fatto che si sta utilizzando il bit meno significativo, che consideriamo con $i = 0$; per questo motivo, il tutto andrà moltiplicato per la potenza 2^0 !

Proviamo a fare lo stesso discorso per quanto riguarda il MSB:

$$\begin{aligned} V_{u,MSB} &= -V_R \frac{R_F}{R} \cdot C_{N-1} \cdot \frac{2^{N-1}}{2^{N-1}} = \\ &= -V_R \frac{R_F}{R \cdot 2^{N-1}} \cdot C_{N-1} \cdot 2^{N-1} \end{aligned}$$

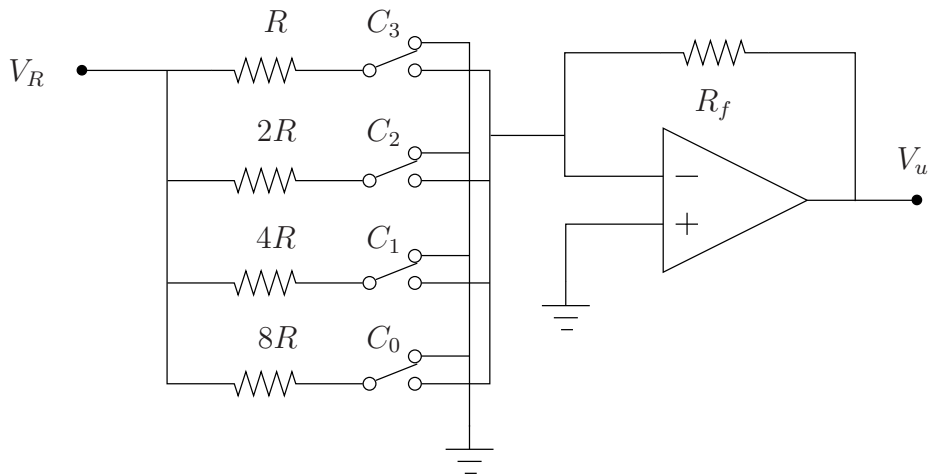


Figura 10.19: Schema circuitale della variante al DAC a resistenze pesate. Il deviatore è meglio di un interruttore per mantenere sempre costante la corrente proveniente da V_R , che invece sarebbe nulla con l'interruttore aperto.

Semplicemente, mediante il trucchetto algebrico mostrato, si può notare che, qualsiasi sia l' i -esimo punto che si consideri, la transcaratteristica si può ricondurre a qualcosa contenente il termine:

$$-V_R \frac{R_F}{R \cdot 2^{N-1}}$$

Per il resto, semplicemente, si avrà il C_i e il 2^i , corrispondente all' i -esimo punto; si può dunque pensare che V_u sia la somma di tutti i contributi di ciascun i -esimo segnale, e dunque che:

$$V_u = -V_R \frac{R_F}{2^{N-1} \cdot R} \sum_{i=0}^{N-1} C_i 2^i$$

Ma... non ci dice niente questa espressione? Beh, vediamo che la sommatoria, di fatto, coincide con D , ossia con la definizione del numero binario precedentemente presentata, a partire dagli esempi; si può dunque dire che:

$$V_u = -V_R \frac{R_F}{2^{N-1} \cdot R} \cdot D$$

Sono possibili varianti di questo circuito; quello che possiamo fare è modificare l'input dello schema, considerando la figura 10.19.

Se invece di usare degli interruttori utilizzassimo dei deviatori verso 0 V, sostanzialmente nella transcaratteristica non cambierebbe nulla, ma cambierebbe la realizzazione circuitale: potremmo infatti realizzare il pilotaggio

mediante le uscite di porte logiche a pMOS. Inoltre la corrente proveniente dal generatore di tensione reale V_R sarebbe sempre la stessa sia che il deviatore sia collegato a massa che alla massa virtuale.

A questo punto, potremmo dire di aver trovato il convertitore *perfetto*. . . e invece no! Questo è un ottimo convertitore discreto, ma è pessimo da integrare: le resistenze devono essere molto differenti tra loro, e ciò non è realizzabile (se non sprecando enormi quantità di substrato), dal momento che in un layer semiconduttivo la resistività è costante, dunque bisognerebbe utilizzare grossissimi spazi solo per le resistenze.

10.2.6 Convertitore con rete a scala

Abbiamo capito che quello che serve ora è qualcosa di meglio sotto il punto di vista dell'integrazione; ciò che si può fare, potrebbe essere studiare uno schema a partire dall'uso di resistenze uguali tra loro (o quasi) e possibilmente di valore ridotto.

Ci viene incontro l'Elettrotecnica classica. Consideriamo i circuiti di figura 10.20 e le seguenti equivalenze tra essi, si ha una corrente I quantificabile come:

$$I = \frac{V_R}{R}$$

Si può continuamente ripetere questo schema, iterativamente aggiungendo una resistenza per ogni ramo, terminando il circuito con una resistenza in parallelo alla penultima.

Si ha dunque un certo numero di rami, in ciascuno dei quali si ha una determinata corrente, più un resto pari alla corrente del penultimo ramo. L'unico problema di questo circuito è dunque il fatto di dover introdurre un "tappo", costituito dalla resistenza in parallelo alla penultima per gestire il resto della corrente.

La costruzione della generica rete a scala è il punto di partenza per il circuito convertitore che si intende realizzare: di tutte le correnti, se ne vorrà amplificare solo una, selezionandola mediante la chiusura del relativo deviatore; al fine di non "sbilanciare" la rete a scala, tuttavia, sia che la corrente venga utilizzata, sia che essa sia "scartata" temporaneamente, il potenziale di riferimento del sistema deve essere sempre lo stesso, generalmente 0 V; ciò che si farà, dunque, sarà utilizzare dei deviatori in due possibili posizioni come nella variante al DAC a resistenze pesate. Un morsetto a 0 V reale, ed uno a 0 V virtuale: si preserva il potenziale di riferimento, e al contempo si può sfruttare o meno una delle correnti in questione.

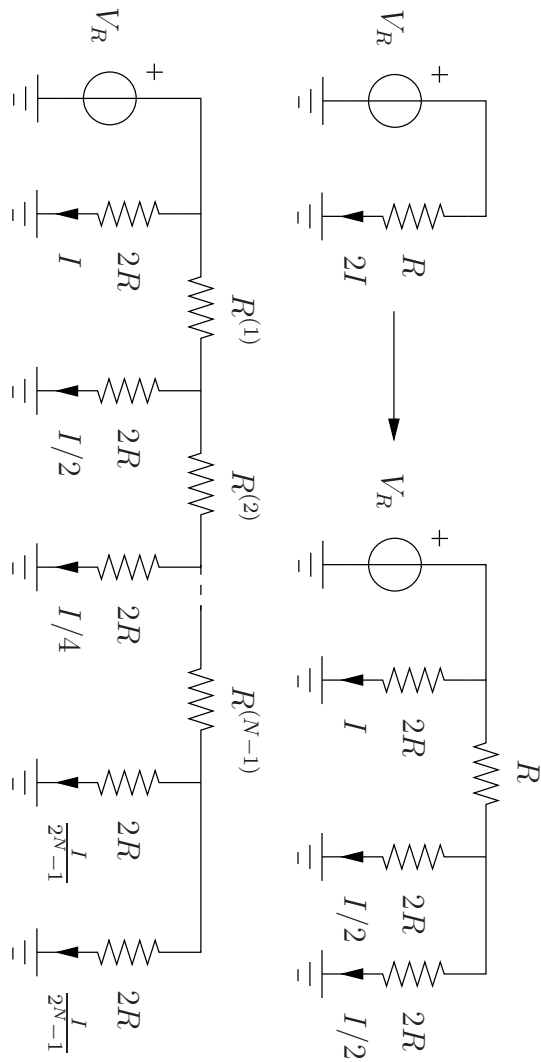


Figura 10.20: Equivalenze tra alcune reti resistive: la resistenza vista dal generatore è sempre la stessa, ma si ottengono frazioni della corrente $2I$ fornita da esso.

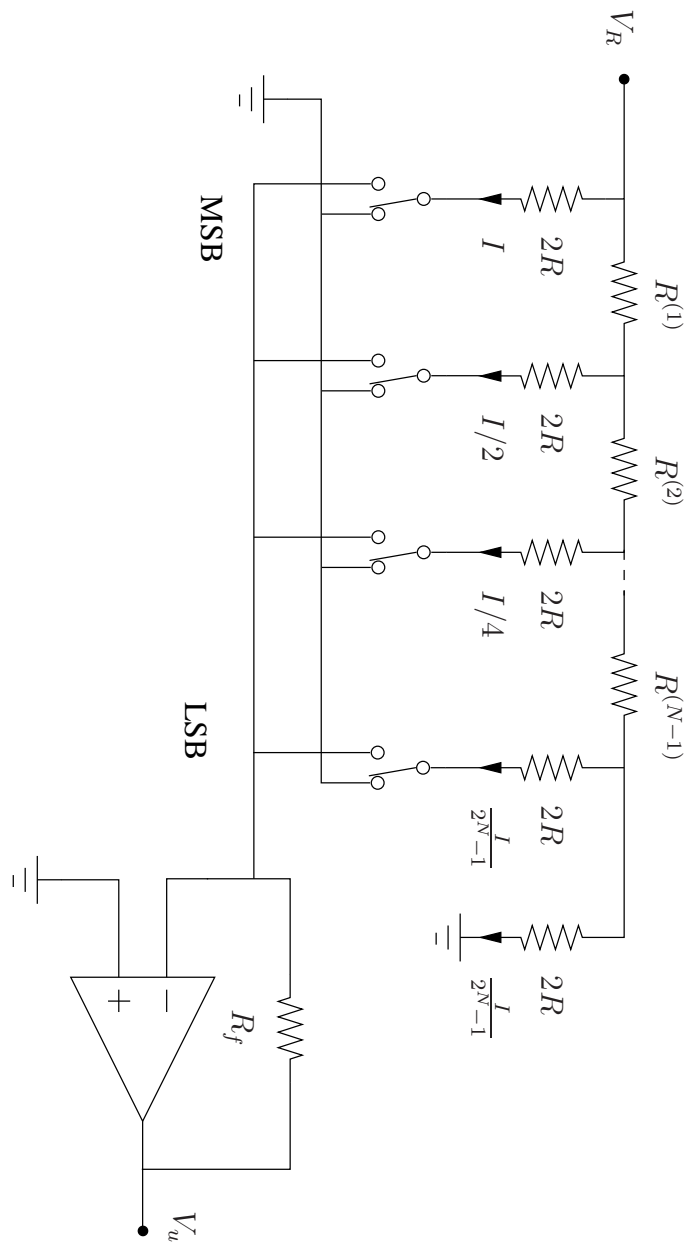


Figura 10.21: Schema circuitale del DAC a scala.

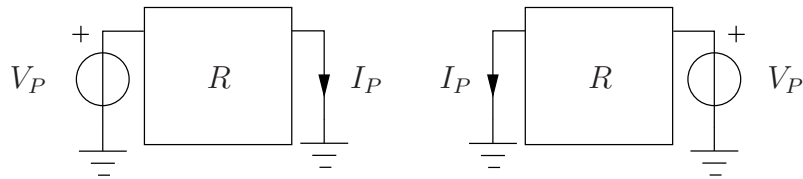


Figura 10.22: Teorema di reciprocità applicato alla rete passiva R .

La struttura risultante si chiama *convertitore a scala*, o *$R - 2R$ Ladder* (da scala in inglese). Si può vedere che il LSB del circuito sia:

$$\text{LSB} = \frac{I}{2^N} = \frac{V_R}{2^N \cdot R}$$

Si può ottenere, ragionando in maniera piuttosto simile rispetto a prima, il fatto che:

$$V_u = -V_R \cdot \frac{R_F}{2^N \cdot R} \cdot D$$

Per come sono disposti i deviatori, dal momento che ognuno corrisponde alla divisione per una certa potenza di due della corrente, un ragionamento molto simile a quello precedentemente visto, che non viene considerato nel dettaglio.

Il circuito può essere ulteriormente migliorato: si noti che i deviatori utilizzati, sono low-side, quindi il risultato è abbastanza buono, o almeno dovrebbe esserlo, se non fosse che essi sono interruttori di corrente tra 0 V reale e virtuale; la cosa potrebbe provocare alcuni problemi, dal momento che il pilotaggio mediante dispositivi logici (CMOS ad esempio) in questo caso non è possibile, dal momento che si devono mantenere equipotenziali i nodi delle possibili uscite.

Quello che si può fare è sfruttare un noto teorema di elettrotecnica, ossia il *teorema di reciprocità*: si può dire che, data una rete di soli elementi passivi, collegando un generatore di prova in un ingresso e misurando la corrente di uscita, si ottiene la stessa corrente collegando il generatore all'uscita e rilevandola all'ingresso (schema 10.22).

Quali nodi conviene scambiare? Beh, semplicemente, invece che introdurre V_R nell'ingresso della rete a scala, lo si potrebbe fare nell'uscita, ottenendo il fatto che da un lato si potrebbero deviare le correnti da un potenziale pari a 0 V a uno pari a V_R , senza però toccare le correnti, grazie al teorema di reciprocità; inoltre, con un risultato di questo genere, il pilotaggio degli interruttori potrebbe essere realizzato mediante dispositivi logici CMOS, che, a seconda del fatto che essi abbiano 0 o 1 logico in uscita, provocheranno un

collegamento a 0 V o alla tensione di riferimento, attivando o meno una delle correnti.

Questo schema di partenza è molto utile non solo al fine di realizzare circuiti finalizzati alla conversione D/A; ciò che si potrebbe ad esempio realizzare, è un VGA (Variable Gain Amplifier), ossia un amplificatore a guadagno variabile; dal momento che si ha una caratteristica del tipo:

$$V_u = V_R \cdot K \cdot D$$

Dove D è un parametro variabile, modificando l'ingresso è possibile ottenere un dispositivo con un guadagno variabile comandato dall'utente!

10.3 ADC: Analog/Digital Converter

Una volta esaurito l'argomento DAC, passiamo al circuito che svolge il compito complementare: l'ADC. La transcaratteristica di questo circuito è riportata in figura 10.24.

Dall'asse delle ascisse, questa volta analogico, si intende ricavare, sull'asse delle ordinate, questa volta digitale, un'uscita numerica a partire da un ingresso continuo. Innanzitutto è necessario definire sull'asse analogico un intervallo di ampiezze, S , che il segnale analogico può assumere, ossia la dinamica di ingresso di funzionamento del convertitore analogico/digitale. Per ogni punto dell'asse A , dunque si dovrà stabilire una relazione univoca con un certo numero, un certo *codice* identificante un'uscita del sistema di conversione.

Supponendo di utilizzare un convertitore uniforme, suddividiamo in 2^N sezioni la dinamica S , e definiamo come valori significativi, per quanto riguarda la conversione, *il centro* di ciascuno dei sotto-intervallini: la relazione tra i centri dei sotto-intervalli e il numero (valore digitale) rappresentante l'uscita è *biunivoca*, mentre tra *i diversi punti* appartenenti all'intervallo e i numeri è solo *univoca*. Ogni qual volta si ha un segnale appartenente all'intervallo, il processo di quantizzazione, come già spiegato, approssima il valore del segnale analogico a quello del punto centrale dell'intervallo, perdendo il resto dell'informazione contenuta nel segnale.

Se il convertitore è uniforme, la curva congiungente i centri di ciascun segmento orizzontale, rappresentante il valore dell'uscita in risposta ad un certo ingresso analogico, è una retta, anche chiamata *retta ideale*, in corrispondenza con quanto già visto per quanto riguarda il DAC. Nella realtà, tuttavia, si avranno effetti molto simili a quelli già osservati per il DAC: in particolare, il fatto che gli intervallini potrebbero avere diverse ampiezze (graf. 10.25).

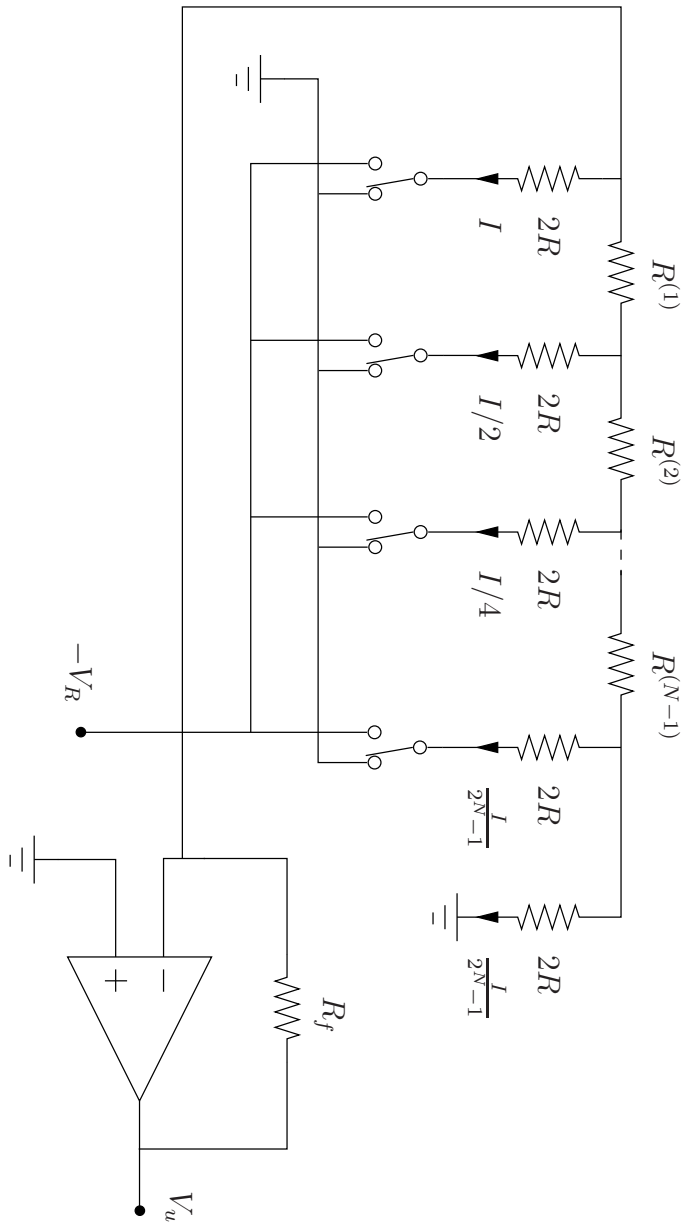


Figura 10.23: Schema circuitale del DAC a scala.

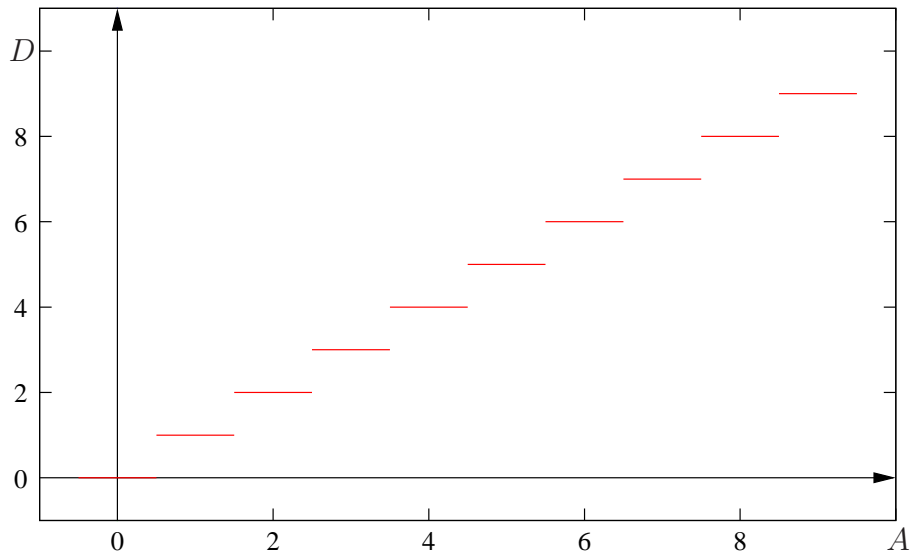


Figura 10.24: Transcaratteristica del convertitore A/D.

Anche in questo caso, dunque, si può definire, mediante il metodo dei minimi quadrati, una retta nota come *retta migliore approssimante*; inoltre si possono definire gli stessi errori lineari, ossia di guadagno e di offset, sui quali non vale la pena di fare molte osservazioni.

Invece qualche osservazione in più si può spendere per quanto riguarda gli errori di non linearità; essi, in questo ambito, derivano dal fatto che gli intervalli possono essere di dimensioni diverse; utilizzando come riferimento la retta di regressione, come già fatto in precedenza è possibile rielaborare le definizioni precedentemente fornite:

- L'errore INL (errore di non linearità integrale) si definisce come distanza tra il punto reale, per quanto riguarda il codice i -esimo, ed il punto effettivamente presente sulla retta di regressione lineare;
- L'errore DNL (errore di non linearità differenziale) si definisce come la differenza tra l'ampiezza del segmento medio del convertitore (del segmento utilizzato per determinare la retta migliore approssimante) e quella del segmento che produce il codice i in uscita:

$$\text{DNL}_i = A_{di} - \text{LSB}_i$$

Un errore di non linearità troppo grande tende a trasformare un certo codice in rumore: se $\text{DNL} = 4 \text{ LSB}$, gli ultimi due bit non hanno più significato, ossia non sono più utilizzabili, dal momento che sentono solamente il

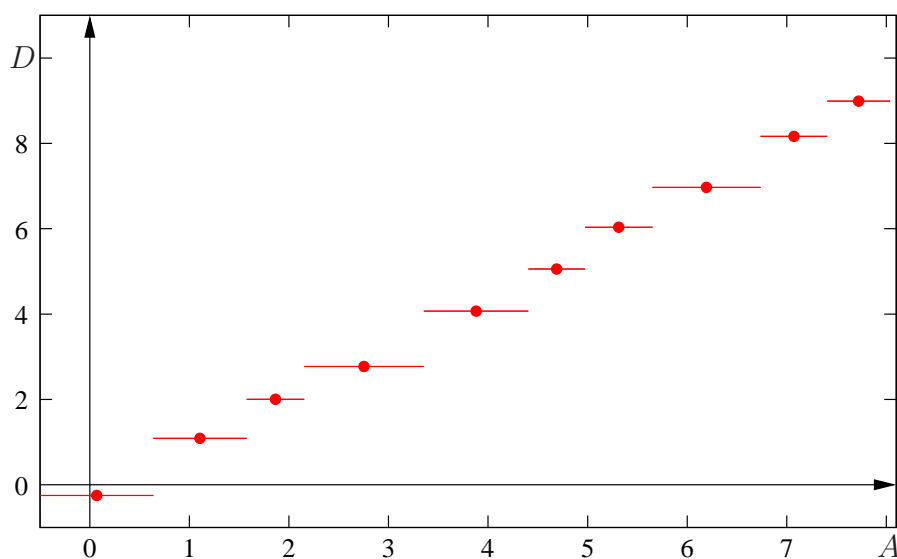


Figura 10.25: Transcaratteristica del convertitore A/D.

rumore. Esiste una misura in grado di tenere conto di questo ed altri errori, ossia il ENOB (*Effective Number Of Bits*).

Esiste una corrispondenza anche per quanto riguarda la non-monotonicità. Potrebbe capitare il seguente fatto: dati tre intervalli e i relativi tre codici di uscita, se gli intervalli legati al primo e al terzo sono eccessivamente grandi, di fatto le loro dimensioni sono a scapito dell'intervallino centrale e potrebbe capitare che si “mangino” l'intervallo questo poveraccio, provocando un errore detto di *missing out*. Non esisterà nessun valore del segnale analogico in grado da attivare, di fatto, il codice assegnato all'intervallino mangiato dagli altri due!

10.3.1 Comportamento dinamico

Sotto il punto di vista del comportamento dinamico, non si hanno problemi simili a quelli precedentemente visti, per un motivo abbastanza semplice: non si ha, propriamente, un tempo di assetto.

Ciò che si ha in questo caso è un limite sul massimo numero di campioni che il sistema riesce a trattare, limite dettato soprattutto dal campionamento; ciò che si definisce dunque è un errore chiamato SFDR (*Spurious Free Dynamic Range*): esso si misura sostanzialmente mandando in ingresso al dispositivo una sinusoide pura, di ampiezza pari alla dinamica del dispositivo (al fine di non avere rapporti segnale/rumore bassi), si prelevano le uscite,

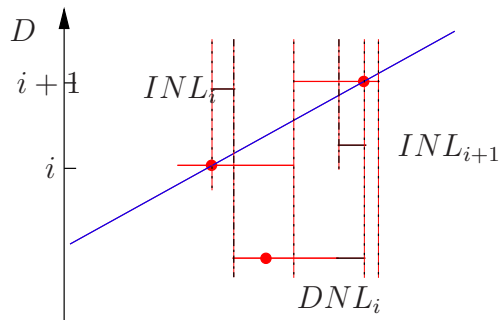


Figura 10.26: Determinazione degli INL_i , INL_{i+1} e DNL_i . È rappresentata anche la retta migliore approssimante (in blu). I centri ideali dei sottointervalli sono tracciati con linea tratto-punto.

se ne studia la FFT (Fast Fourier Transform), e si contano le righe spettrali presenti: più ce ne sono e peggio è!

Idealmente dovrebbe esserci solo una riga, ma ciò è praticamente impossibile, dato che comunque vi sono tempi di propagazione non nulli che deformano la sinusoide; quello che si definisce come SFDR è il rapporto in dB tra la frequenza fondamentale e la più alta delle frequenze secondarie: parte dell'errore deriverà dagli errori di quantizzazione, parte dal numero massimo di campioni trattabili.

10.3.2 Convertitore Flash

Proviamo a questo punto, mettendo insieme le teorie finora viste, a realizzare circuitalmente la transcaratteristica appena proposta.

La prima idea che può venirci in mente è la seguente: abbiamo una tensione in ingresso e vogliamo riconoscere a quale *range* (sottointervallo) appartenga; un'idea, dunque, è quella di *comparare* la tensione con un certo numero di soglie, e verificare quali si superano.

Allora alla base della nostra idea ci saranno sostanzialmente dei comparatori di soglia: a seconda di quanti comparatori di soglia hanno un'uscita alta, e quanti un'uscita bassa, si può determinare a quale range di segnali appartenga il nostro dispositivo. Un circuito, dunque, potrebbe essere quello di figura 10.27.

In uscita i comparatori producono una parola di bit, espressa in “codice termometrico”: tutti i comparatori che commutano sono 1, tutti gli altri 0.

Questo codice è molto inefficiente, dal momento che occupa molti bit per esprimere un'informazione che ne richiederebbe molti meno; ciò che si utilizza al fine di comprimere questo codice è il priority encoder, dispositivo

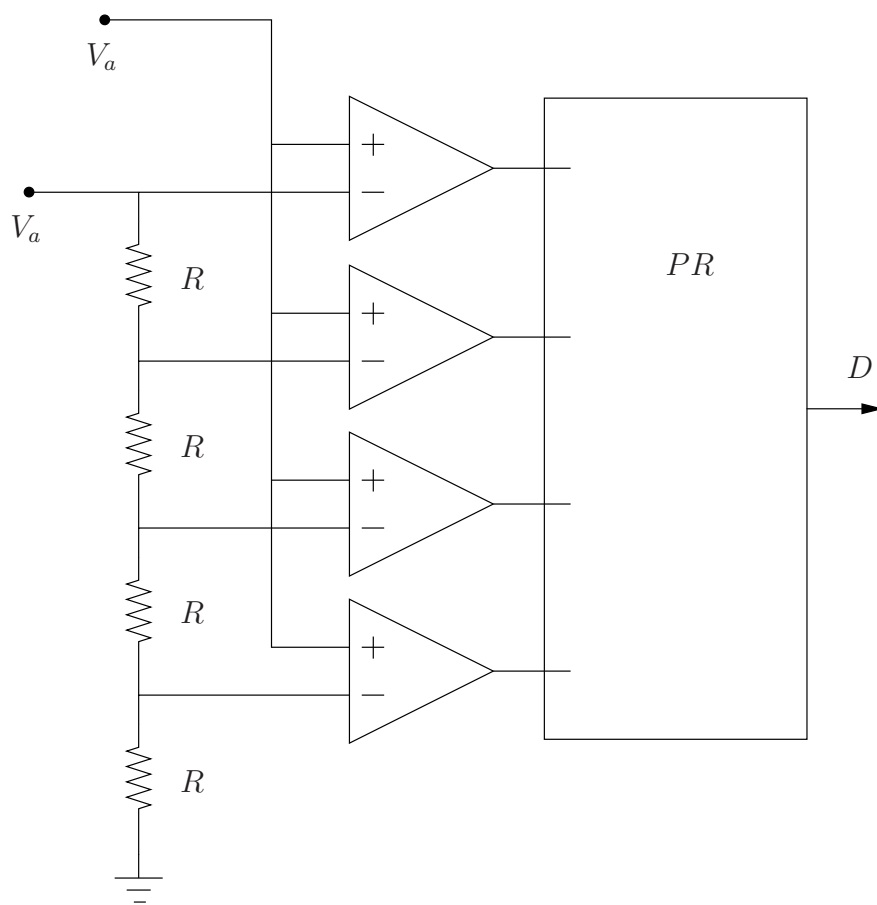


Figura 10.27: Schema di un convertitore A/D tipo *flash* che può distinguere tra quattro livelli di tensione. Il blocco *PR* è un *priority encoder*.

combinatorio comunemente utilizzato in informatica. Questo dispositivo ha bisogno di 2^N amplificatori operazionali, dunque risulta essere molto costoso, ma d'altra parte è detto **flash** in quanto rappresenta in assoluto il dispositivo di conversione più veloce che si possa attualmente realizzare.

Esiste un “fratellastro” di questo dispositivo, ossia un suo duale, detto *convertitore pipeline*, che, anziché utilizzare in parallelo i comparatori, li utilizza in cascata aumentando la latenza.

10.3.3 Convertitori A/D con D/A in reazione

Dal momento che la velocità di conversione può essere non troppo elevata, si potrà semplificare il circuito, riducendo il numero di comparatori di soglia: sostanzialmente, si potrebbe fare una comparazione per volta, ossia utiliz-

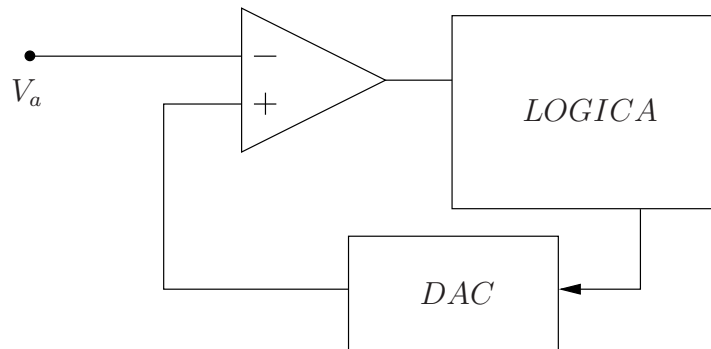


Figura 10.28: Schema generale a blocchi del convertitore A/D con DAC in retroazione.

zare un solo comparatore di soglia, modificando, per ogni comparazione, la tensione di riferimento utilizzata. Una volta rilevata la tensione giusta per la comparazione, si sarà rilevato il range di appartenenza del segnale.

Il principio alla base del quale si può effettuare una comparazione per volta, “scambiando” le tensioni di riferimento, è riportato nello schema 10.28.

Il comparatore da un lato ha l’ingresso tradizionale, dall’altro ha qualcosa in grado di generare, a seconda di cosa gli sia richiesto, tante tensioni differenti: un DAC, pilotato da un certo blocco logico che riceve l’uscita del comparatore di soglia al fine di pilotarlo.

Cosa c’è in questo blocco logico? Beh, vi sono diverse possibilità, a partire dalle quali si possono definire diversi tipi di convertitori A/D.

10.3.4 Convertitori ad inseguimento (up/down)

Un’idea potrebbe essere quella di utilizzare, come blocco logico, un contatore con un ingresso UP/DOWN: a seconda del segnale esprime il risultato della comparazione, si può stabilire *se aumentare o diminuire l’uscita* del contatore. Questa uscita del sistema viene anche inviata al DAC, che quindi comanda la tensione di riferimento del comparatore di soglia, per la successiva comparazione.

Come funziona quindi questo circuito? Beh, il comparatore studia il segnale di ingresso V_A e lo confronta con il segnale V_B prodotto dal DAC; se il segnale V_A è maggiore di V_B , l’uscita del comparatore è alta, quindi il contatore riceve un segnale up, e aumenta il proprio valore. Conseguentemente all’aumento del valore vi è un aumento della tensione prodotta dal DAC, dunque si ripeterà il confronto con una tensione V_B maggiore della precedente. Dal momento che il confronto tra V_A e V_B va a pesare a favore di

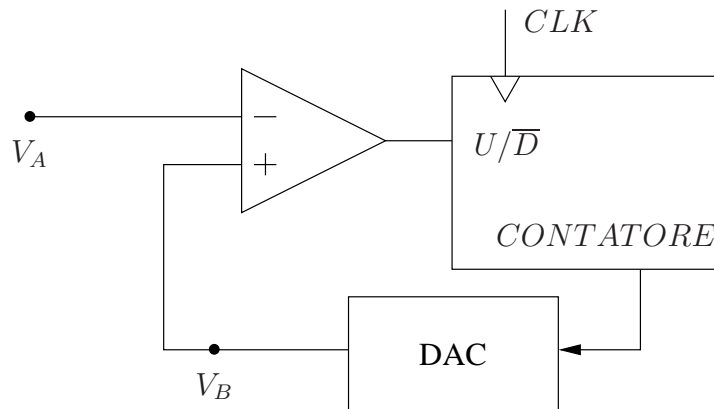


Figura 10.29: Schema del convertitore A/D a inseguimento con DAC in retroazione.

V_B , ossia da quando $V_B > V_A$, il comparatore di soglia propone in uscita un segnale basso, che dal contatore viene interpretato come un down che farà decrescere il segnale, e la conseguente tensione prodotta dal DAC; da qui in poi, se il segnale rimane costante, esso sarà **agganciato**: ad ogni colpo di clock si avrà una commutazione del contatore e della tensione del DAC, che resterà sempre ad un livello prossimo a quella del segnale V_A (a meno che esso non incominci a variare in modo strano).

La retroazione deve essere complessivamente negativa, dunque, dal momento che il DAC è non-invertente, esso verrà collegato al morsetto invertente del comparatore di soglia!

Si noti che dunque V_A non deve crescere *più velocemente* di quanto possa crescere il segnale del convertitore (e neanche andare fuori dinamica!), altrimenti l'inseguimento è impossibile: non vi sarà mai un aggancio del segnale.

L'unica cosa che si può dire è che, per spazzolare l'intera dinamica di ingresso, servono 2^N colpi di clock; a seconda delle caratteristiche del segnale, quindi, sarà possibile o meno l'agganciamento.

Il fatto che ci sia questa oscillazione sull'uscita, ineliminabile per come è costruito il convertitore, è detto *idle noise*: è sostanzialmente un "rumore" rispetto al valore effettivo della tensione di uscita.

La condizione che permette di avere un valore in uscita corretto ad ogni colpo di clock, è sostanzialmente riconducibile ad un parametro ben noto: lo *slew rate*. La pendenza massima della rampa accettabile al fine di agganciare il segnale, quindi, coincide con lo slew rate del sistema:

$$S_{R,V_A} < \frac{1 \text{ LSB}}{T_{CLK}}$$

Questa è la condizione che il segnale deve soddisfare affinché l'aggancio possa mantenersi. Se non si riesce a mantenere il suddetto aggancio, si entra in una condizione di *overload* (sovraccarico) del convertitore. Il limite imposto dallo slew rate è ben più limitante di quello imposto dal teorema di Nyquist, dunque possiamo immaginare che i segnali in grado di essere agganciati debbano essere particolarmente “tranquilli”.

Convertitori differenziali

Piccolissima variante sul tema è rappresentata dalla possibilità di prendere, anziché le N uscite del contatore, la singola uscita del comparatore di soglia: trasmettendo unicamente il clock e il segnale di up/down sull'uscita, si riesce a limitare il numero di bit necessari per la ricostruzione dell'andamento dell'uscita, ma al contempo rappresentare un segnale del tutto analogo a quello appena presentato. Convertitori basati su questa idea vengono chiamati *convertitori differenziali*: essi infatti trasmettono esclusivamente la differenza tra il segnale in uscita ad un certo colpo di clock e quello in uscita al colpo di clock precedente.

Convertitori ad approssimazioni successive

Un modo di migliorare le prestazioni rispetto ai circuiti finora analizzati si basa su di un'idea particolare: utilizzando un algoritmo ad approssimazioni successive per determinare il livello del segnale, è possibile ridurre notevolmente il tempo impiegato per effettuare l'aggancio del segnale.

Supponendo di avere come valore V_A qualcosa di prossimo tra 11100 e 11101, si può effettuare il seguente ragionamento: partendo dall'analisi del valore binario circa a metà tra gli estremi 00000 e 11111, ossia 10000, si verifica se V_A sia maggiore o minore di esso; determinato che V_A è maggiore, si “scartano” tutti i valori inferiori a 10000, e dunque si fissa il MSB a 1.

Si considera dunque il punto centrale tra 10000 e 11111: 11000 ! Si verifica il fatto che V_A è maggiore di 11000, dunque il secondo bit più significativo è confermato 1.

Procedendo di cifra in cifra in questo modo *dicotomico*, si arriva molto più rapidamente che con la tecnica up/down ad agganciare il segnale!

Come è possibile realizzare questo sistema di bisezione per numeri binari? Esiste un circuito logico, detto SAR, in grado di realizzare esattamente questa

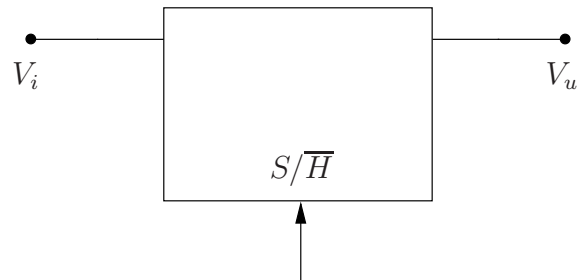


Figura 10.30: Simbolo del blocco di S& H.

funzione logica; al posto di un contatore, dunque, un'idea è quella di sfruttare questo tipo di logica, al fine di migliorare le prestazioni del circuito.

Cenni ai convertitori sigma-delta

Se al posto di convertire il segnale si convertisse l'*integrale del segnale*, si potrebbero migliorare ulteriormente le condizioni (finora alquanto restrittive) e semplificare notevolmente il circuito (che sarebbe sostanzialmente basato su di un anello di reazione basato sull'uso di un integratore!). Il convertitore *sigma-delta* è basato su questa idea: è un convertitore a 1 bit che, a partire dall'analisi (a frequenza molto superiore a quella richiesta da Nyquist), può ottenere risultati equivalenti a quelli di convertitori a 16 o 24 bit che lavorano alla frequenza di Nyquist, ma riducendo notevolmente la spesa.

10.4 Sample and Hold

Ultimo “mattoncino” da studiare per quanto riguarda i sistemi di acquisizione dati è il *sample and hold* (detto anche *track and hold*).

Cosa dovrebbe essere? Ma prima: cosa dovrebbe fare? Beh, semplicemente, è un oggetto con un ingresso e un'uscita analogiche e un terzo ingresso digitale, in grado di stabilire quale deve essere il modo di funzionamento del dispositivo; a seconda del valore del segnale digitale, il circuito può comportarsi come una memoria analogica, o come una sorta di corto-circuito.

Un'idea un po' primordiale per la realizzazione di questo dispositivo, potrebbe essere quella di figura ???. Sostanzialmente, il fatto che la capacità sia in grado di immagazzinare energia sotto forma di carica e tensione, dovrebbe far in modo da *mantenere* la tensione ai capi del circuito quando l'interruttore è aperto; da qua il nome *condensatore di mantenimento* C_M , attribuito al dispositivo implementante la capacità nel circuito.

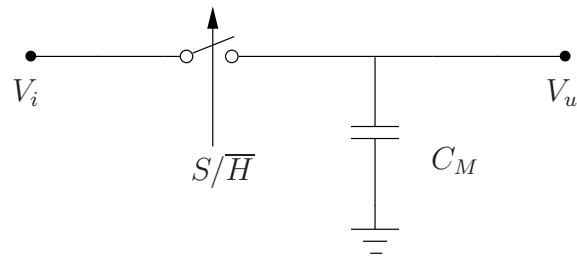


Figura 10.31: Una possibile semplice implementazione del circuito S& H. Purtroppo non funziona correttamente.

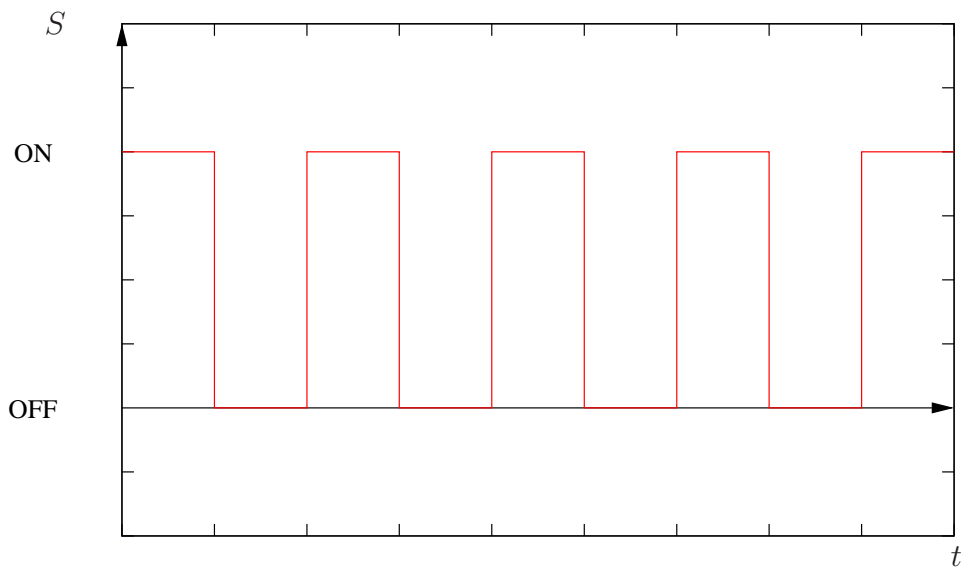


Figura 10.32: Transcaratteristica del circuito S& H. Il livello alto corrisponde alla fase di SAMPLE mentre quello basso alla fase di HOLD.

Questo circuito purtroppo così come è stato presentato non funziona bene: se si inserisce un carico, la capacità si svuota immediatamente, dunque non mantiene proprio niente!

10.4.1 Transcaratteristica

Studiamo la transcaratteristica del sample and hold, al fine di determinare, al variare del tempo, come si deve comportare questo circuito (fig. 10.32).

Quando siamo in fase di SAMPLE, la tensione di uscita segue la tensione di ingresso: l'interruttore è chiuso, e le due tensioni di fatto coincidono; in

fase di hold, la tensione rimane costante fino a quando non si torna in fase di sample.

Questo sistema sostanzialmente ha 2 fasi statiche, e 2 fasi dinamiche: quelle statiche sono la fase di *sample* e la fase di *hold*, mentre quelle dinamiche sono la transizione da sample a hold e quella contraria.

Analizziamo ora, per ciascuna delle fasi, i problemi che vi si celano in agguato ai progettisti ed utilizzatori.

Fase di sample

I problemi legati alla fase di sample sono in realtà già ben noti: errori di guadagno, errori di offset, errori legati alla banda passante e allo slew rate; dal momento che il circuito in questa fase si comporta come una sorta di amplificatore a guadagno circa unitario, poichè semplicemente presenta sull'uscita ciò che ha in ingresso, gli errori che si possono avere in questa fase sono gli stessi che potrebbe avere un *voltage follower*.

Transizione da sample a hold

Il dispositivo deve portarsi in fase di hold, fase nella quale la tensione si deve mantenere per un tempo utile nell'uscita. Tempo utile potrebbe essere nell'ordine dei microsecondi, ossia il tempo di lavoro di un comune convertitore A/D!

Quelle che capitano sono cose piuttosto spiacevoli, in questa fase: l'interruttore ha una latenza non nulla per "aprirsi", quindi il segnale campionato potrebbe non coincidere con quello che effettivamente intendiamo campionare: vi saranno dei ritardi! Essi, inoltre, non saranno costanti al variare del tempo: a forza di utilizzare il meccanismo di cambio di stato, i ritardi potrebbero di fatto aumentare, e dunque si potrebbero avere tempi molto irregolari, cosa che peggiora ulteriormente questo tipo di problema.

Quello che si potrà fare, di fatto, è modellizzare il ritardo con un *tempo medio di apertura*, al quale si sovrappone un'incertezza, detta *jitter di apertura*. Il jitter di apertura si definisce dunque come il massimo errore (la massima variazione) del tempo di apertura dell'interruttore.

Qual è l'errore massimo sulla tensione campionata? Beh, per calcolare questo fattore, è necessario tradurre in tensione i nanosecondi di ritardo, ma per far ciò sarebbe necessario conoscere le caratteristiche del segnale che stiamo mantenendo.

Si suol definire l'errore di apertura come il prodotto tra lo slew rate di V_A e per τ_{JA} , dove τ_{JA} è il massimo tempo di apertura:

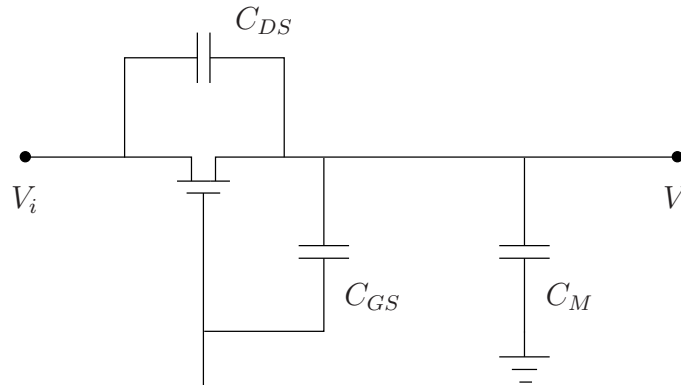


Figura 10.33: Impiego di un MOSFET a canale n (con le rispettive capacità parassite) in un circuito S& H.

$$\varepsilon_A = S_{R,V_A} \cdot \tau_{JA}$$

Sono finiti i problemi, per quanto riguarda questa fase? No: esiste un altro errore, causato dalle caratteristiche intrinseche dell'interruttore. Un interruttore viene infatti realizzato mediante un MOSFET (fig. 10.33).

Variando la tensione di gate per accendere o spegnere il circuito, bisogna tenere conto del fatto che vi è una capacità parassita di giunzione tra gate e source, C_{GS} : essa di fatto varia la tensione sul nodo, e sottrae parte della carica di C_M . Si definisce *errore di piedistallo* l'errore dovuto a questo fenomeno, dal momento che provoca un "gradino" in salita (o discesa, a seconda del MOS in uso), pari alla variazione di tensione sul gate moltiplicata per il partitore di capacità:

$$\varepsilon_p = \Delta V_{GS} \cdot \frac{C_{GS}}{C_M + C_{GS}}$$

Per alcuni sistemi sample and hold spesso si fornisce, nel datasheet, il valore di carica che viene sottratta dalla capacità C_M .

Questo problema, a differenza del precedente, è compensabile in modo abbastanza semplice: utilizzando, anziché un singolo MOSFET come interruttore un pass-transistor, si riesce a sfruttare un "trucco":

Le due capacità si compensano tra di loro: per spegnere il pMOS infatti è necessario far salire la tensione, mentre per spegnere il nMOS è necessario farla scendere, e viceversa per accendere; il fatto che le due capacità si carichino o scarichino con tensioni diverse, riesce in qualche modo ad equilibrare, seppur non in maniera esatta, la tensione al nodo.

Possiamo dunque dire che, per passare dalla fase di sample alla fase di hold, si avrà una somma dei due errori appena descritti:

$$\varepsilon_{S \rightarrow H} = \varepsilon_A + \varepsilon_p$$

Fase di hold

In fase di hold, il sistema si presenta come un qualcosa in grado di mantenere costante la tensione ai propri capi. In realtà, ovviamente, questa non sarà costante, dal momento che vi saranno errori di diverso tipo:

- Errore di decadimento: il condensatore avrà piccole correnti di perdita, quindi vi sarà una lenta diminuzione della carica;
- Il condensatore di mantenimento verrà collegato a componenti attivi, come amplificatori operazionali, che hanno correnti di polarizzazione! Quello che potrebbe succedere, dunque, è il fatto che le correnti carichino il condensatore, modificando la tensione al suo interno;
- Tra le svariate capacità parassite del MOSFET, ve ne è anche una tra drain e source: C_{DS} ! Essa crea un percorso tra segnale di uscita e segnale di ingresso, anche quando non vi dovrebbe essere conduzione, creando il cosiddetto *errore di feedthrough*. L'errore di feedthrough è quantificabile:

$$\varepsilon_{FT} = \Delta V_A \cdot \frac{C_{DS}}{C_M}$$

Transizione da hold a sample

Una volta terminata la fase di hold, si vuole ricominciare ad entrare in fase di sample; sotto il punto di vista del lavoro del convertitore, ce ne dovrebbe importare poco, degli effetti di transizione: il convertitore in questo istante di transizione dovrebbe aver già finito di lavorare, dunque non dovremmo avere grossi problemi sotto questo punto di vista.

La cosa che ci preoccupa sostanzialmente di questa fase è la seguente: *quanto tempo ci impiega il sample/hold a ri-aggianciare l'ingresso?* Il tempo impiegato nella transizione è detto *tempo di acquisizione*, e si quantifica come il tempo impiegato ad entrare in una fascia pari a $\pm \frac{1}{2}$ LSB: in tale condizione il segnale si può ritenere riaggianciato e il dispositivo effettivamente in fase di sample. Questo tipo di errore dipende sostanzialmente dallo slew

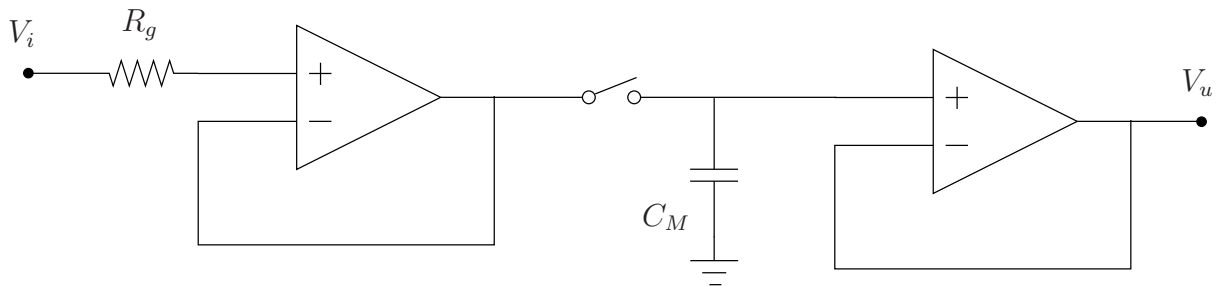


Figura 10.34: Implementazione del circuito S& H con un paio di *voltage followers*.

rate dell'amplificatore: più la capacità di C_M è piccola, più velocemente essa potrà caricarsi, e dunque più si ridurrà questo errore; si noti che ridurre troppo la capacità comunque provoca un aumento dell'errore di feedthrough, quindi si tenga conto del fatto che bisogna comunque considerare un buon compromesso tra i due fatti.

10.4.2 Realizzazione pratica di un Sample / Hold

Come si realizza in pratica il circuito che abbiamo finora discusso in termini teorici? Beh, un'idea è quella di riprendere lo schema primordiale finora proposto come esempio, ed introdurre *due voltage follower*, uno all'ingresso e uno in uscita (fig. 10.34).

Questo schema dovrebbe funzionare decisamente meglio: ora un carico resistivo non è più in grado di prelevare carica dal condensatore, dal momento che esso è *disaccoppiato* dal resto del circuito, quindi l'introduzione di questi due dispositivi di buffer dovrebbe aver migliorato notevolmente le prestazioni.

Questo schema funziona abbastanza bene, se non sotto il punto di vista della *banda passante*: essendo elevata la resistenza introdotta dalle non idealità dell'interruttore, sarà elevata anche la costante di tempo del condensatore, dunque la banda passante del sistema piuttosto ridotta. Esistono tecniche di compensazione di questo errore, che noi non intendiamo introdurre, preferendo introdurre un altro tipo di circuito di S/H.

Un'idea sarebbe quella di sfruttare un *condensatore ideale*, la cui impedenza di uscita è molto bassa e più facile da gestire: stiamo parlando di un *integratore* (fig. 10.35).

L'anello di reazione, che deve essere rigorosamente negativo, deve fare in modo da pilotare in corrente l'integratore, in modo da avere tensione di errore nulla. La tensione di uscita dell'integratore è uguale a quella di ingresso, dal momento che vi è un corto circuito tra il morsetto non invertente del primo

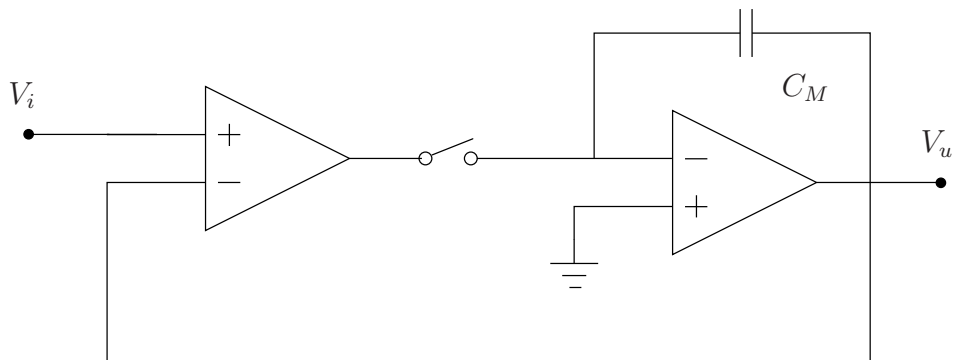


Figura 10.35: Implementazione del circuito S& H basata su un integratore.

amplificatore operazionale e l'uscita del secondo, dunque ad anello chiuso *il dispositivo si comporta come un voltage follower!* Il fatto di aver collegato al \oplus del primo operazionale la reazione dipende dal fatto che, volendo noi una reazione negativa, ed essendo l'integratore notoriamente invertente, è necessario utilizzare questo tipo di collegamento.

Questo circuito ha un problema: *quando si apre l'interruttore, di fatto si apre anche l'anello di reazione del circuito*, e il primo operazionale si trova non reazionato, quindi tende a saturare, andando fuori linearità. Quando si richiude l'interruttore si possono avere dei problemi, e non solo: quando non è più reazionato, infatti, il primo *op-amp* funziona sostanzialmente come un comparatore di tensione; il fatto che l'interruttore abbia effetti capacitivi potrebbe dunque creare problemi sull'uscita, o "rompere" l'operazionale a causa delle correnti troppo ingenti richieste.

Come si risolve questo problema? Beh, "inchiodando" a 0 V l'uscita, mediante l'aggiunta di una coppia di diodi (fig. 10.36).

Capita che, quando l'interruttore è chiuso, i diodi contano poco, dal momento che sono collegati a 0 V, ma d'altra parte si è collegati a 0 V virtuali, dunque l'integratore "attira" di più dei diodi la corrente; se l'anello è aperto, la tensione anziché puntare al massimo della dinamica di uscita deve inchiodarsi a $\pm V_\gamma$ (a seconda dello stato del comparatore), limitando di molto l'errore e rischi legati a ciò che potrebbe capitare.

Che vantaggi ha questo circuito? Beh, l'interruttore si trova nella rete di reazione, dunque la sua R_{ON} è divisa per il guadagno di anello; l'interruttore inoltre ha sempre uno dei due lati 0 V, dunque pilotarlo dovrebbe essere piuttosto semplice.

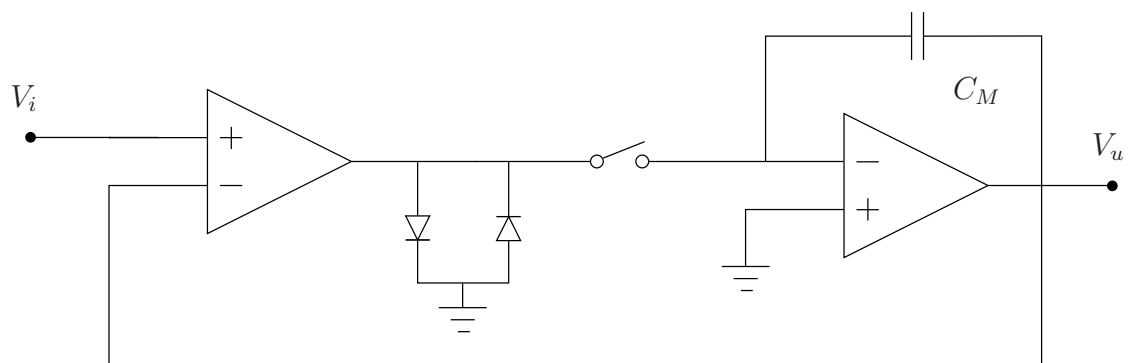


Figura 10.36: Implementazione del circuito S& H basata su un integratore con l'aggiunta di un paio di diodi per risolvere i problemi di apertura e chiusura dell'interruttore.